



Acquisition de données

Exemple de l'expérience LHCb



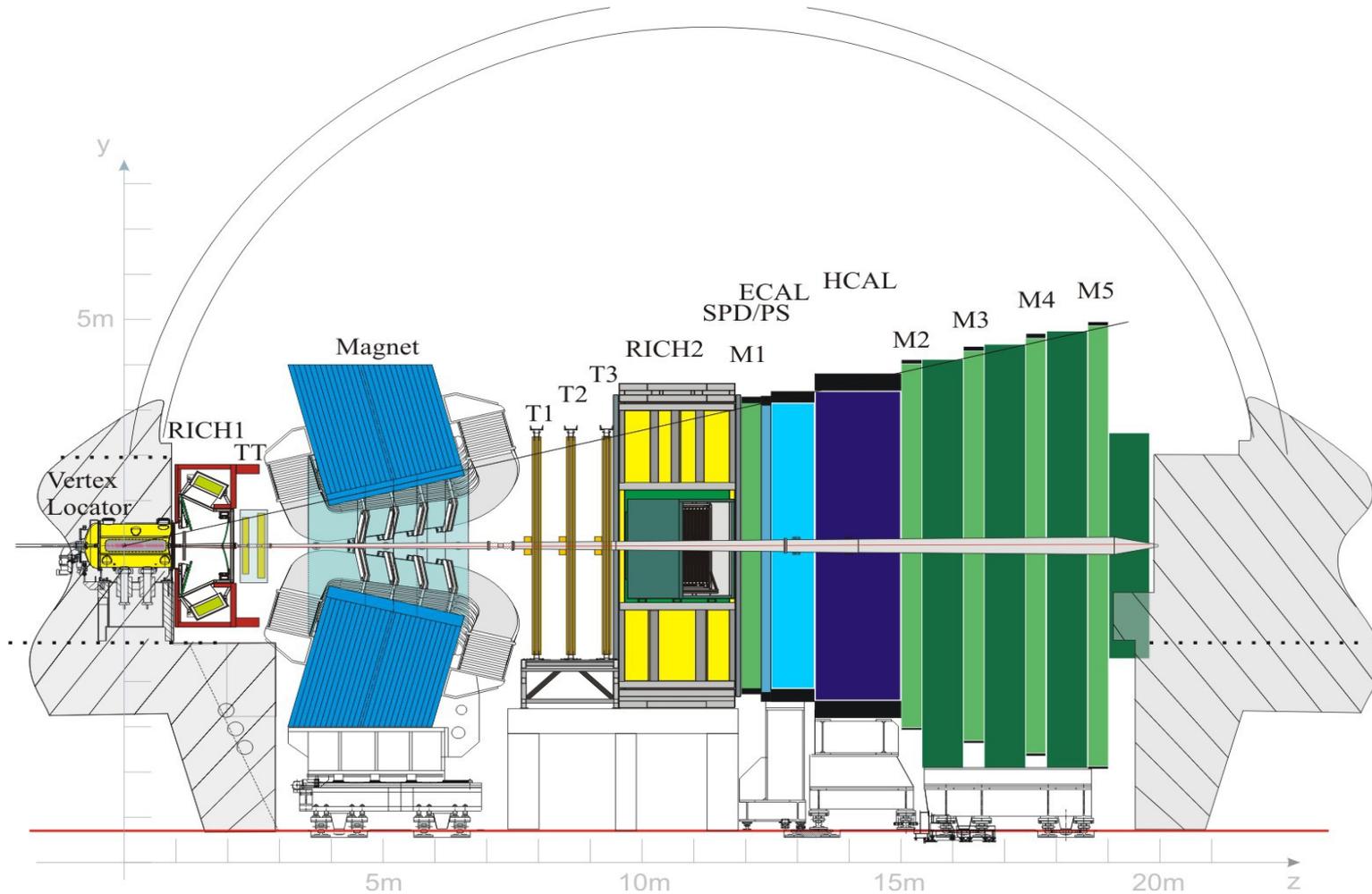
J.P. Cachemiche
Centre de Physique des Particules de Marseille

Plan

- **Présentation du détecteur**
- **Trigger hardware et Readout**
- **Trigger software (High Level Trigger)**
- **Détail de la chaîne muon trigger**
- **Evolution du détecteur : l'upgrade**

Présentation du détecteur

Le détecteur LHCb



Etude des asymétries matière/anti-matière dans la physique du méson B

Fonctions du système

- Lecture d'environ 1 million de canaux
- Production de 100 000 paires $b\bar{b}$ par secondes
- Filtrage des événements non intéressants
- Acquisition
- Identification
- Stockage (quelques kHz)

Decay Modes	Visible Br. fraction	Offline Reconstr.
$B_d^0 \rightarrow \pi^+ \pi^- + \text{tag}$	0.7×10^{-5}	6.9 k
$B_d^0 \rightarrow K^+ \pi^-$	1.5×10^{-5}	33 k
$B_d^0 \rightarrow \rho^+ \pi^- + \text{tag}$	1.8×10^{-5}	551
$B_d^0 \rightarrow J/\psi K_S + \text{tag}$	3.6×10^{-5}	56 k
$B_d^0 \rightarrow \bar{D}^0 K^{*0}$	3.3×10^{-7}	337
$B_d^0 \rightarrow K^{*0} \gamma$	3.2×10^{-5}	26 k
$B_s^0 \rightarrow D_s^- \pi^+ + \text{tag}$	1.2×10^{-4}	35 k
$B_s^0 \rightarrow D_s^- K^+ + \text{tag}$	8.1×10^{-6}	2.1 k
$B_s^0 \rightarrow J/\psi \phi + \text{tag}$	5.4×10^{-5}	44 k

Expected numbers of events reconstructed offline in one year (10' s of data taking) with an average luminosity of $2 \times 10^{32} \text{ cm}^{-2} \text{ s}^{-1}$, for some channels.

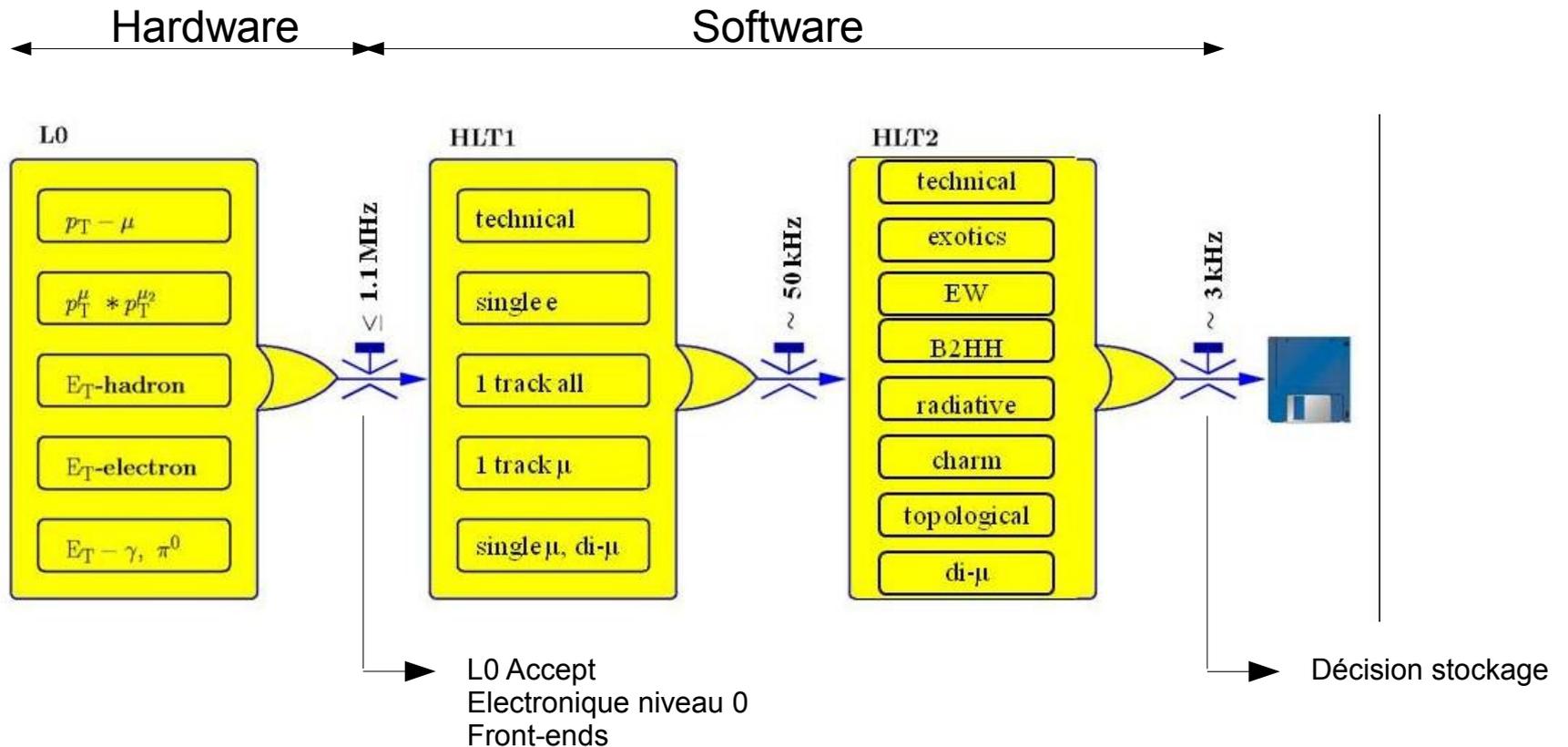
Quelques chiffres

Channels	1 Million
Single ended analog links	6k (Ecal) + 1.5k (Hcal) = 7.5k
Differential analog links	6k (Preshower)
Differential LVDS links	1k (pileup) + 6k (SPD) + 60k(muon) Total: ~ 67 k
ASIC's	3826 Beetle-SCT (Velo + IT + TT + Pileup) 484 Pixel (RICH) 484 Pint (RICH) 484 Analog pilot 6750 ASD (OT) 1688 OTIS (OT) 375 CAL-SPD (SPD) 750 CAL-PRE (Preshower) 2000 CAL-ANA (Ecal + Hcal) 16000 Carioca (Muon) 8000 DIALOG (muon) 3552 SYNC (muon) 5000 GOL 1000 TTCrx Total: ~ 50k
Multiplexed differential analog links	5376 (Vertex)
L0 crates	36
L1 modules	271
L1 crates	19
Optical 1.6 Gbit/s links	8 x 12ribbon Pileup (trg) 204 x 12 ribbon IT+TT 24 x12 ribbon RICH 36 x 12 ribbon OT 208 (trg) CAL. 120 x 12 ribbon (trg) + 148 MUON Total: ~5500
Average event size	~70 kBytes

Trigger hardware

Filtrage des événements

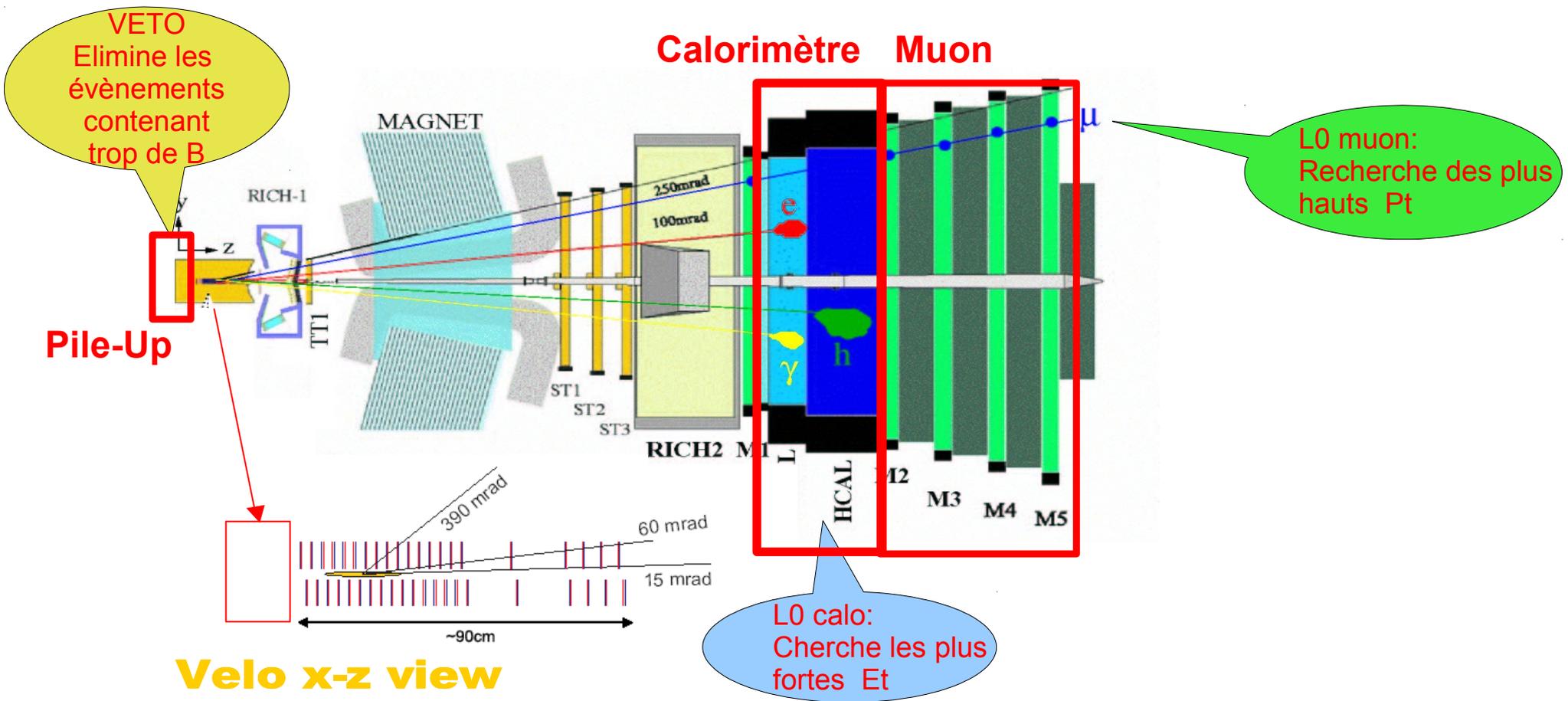
3 étapes de réduction :



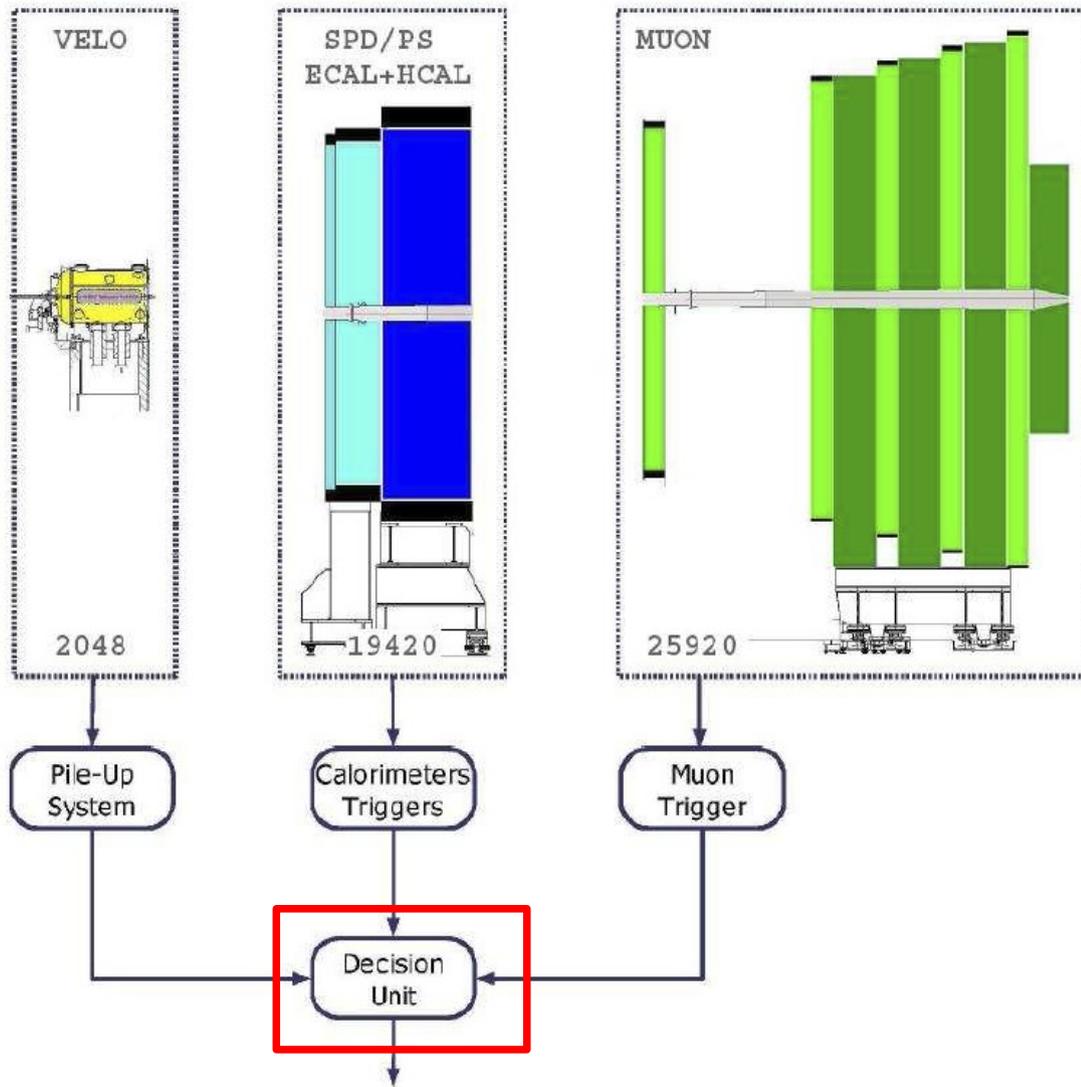
Sous-détecteurs participant au trigger de niveau 0

3 détecteurs

- Calorimètres, muons et pile-up veto

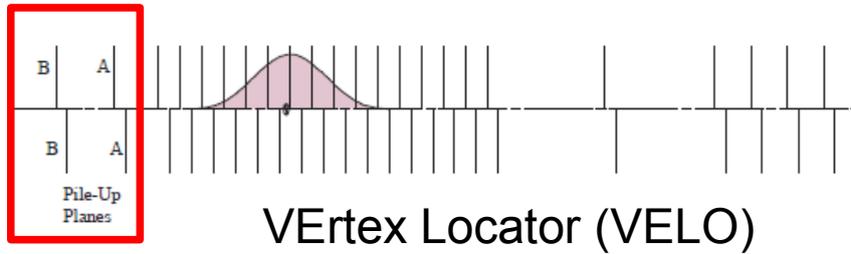


Unité de décision



Trigger final réalisé par l'unité de décision

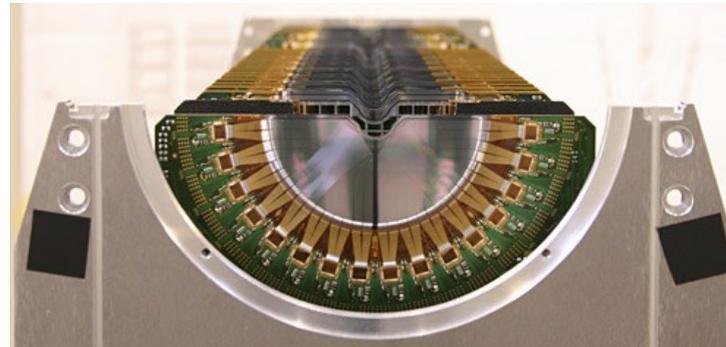
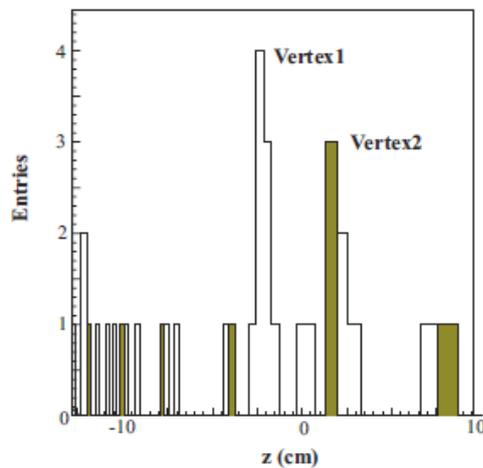
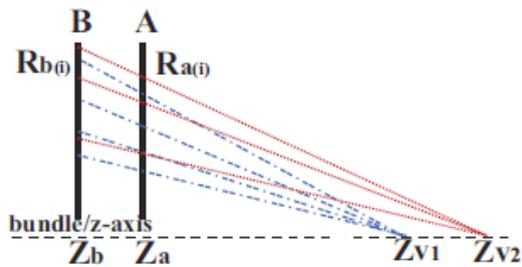
Pile-up veto



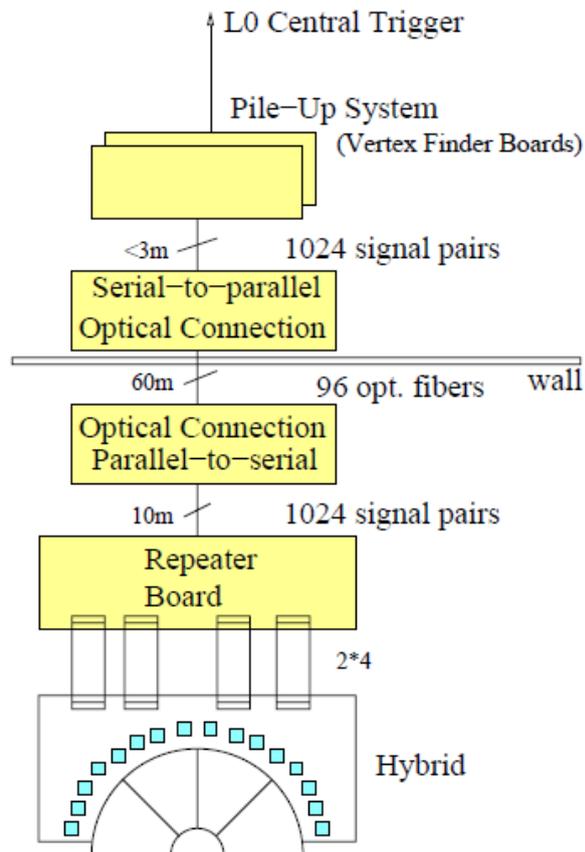
Détection des croisements contenant trop d'interactions

→ Événements trop difficiles à analyser

- Détection de tous les vertex déterminés par les hits des plans A et B
- Elimination des hits correspondant aux 2 vertex de plus grande énergie
- S'il reste un ou plusieurs vertex, élimination de l'événement (VETO)

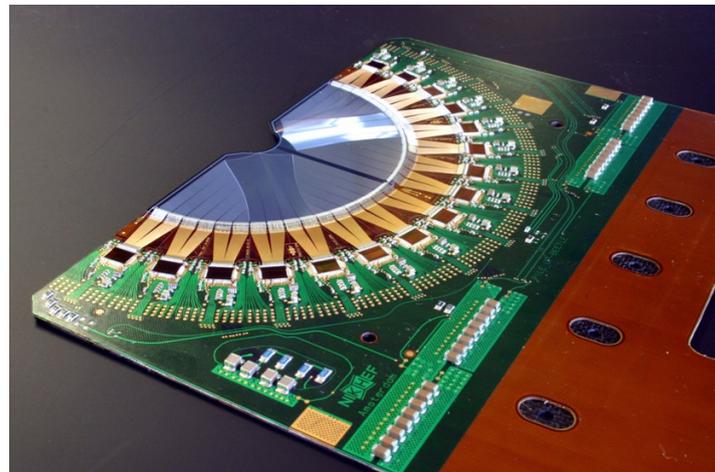


Trigger Pile-up veto



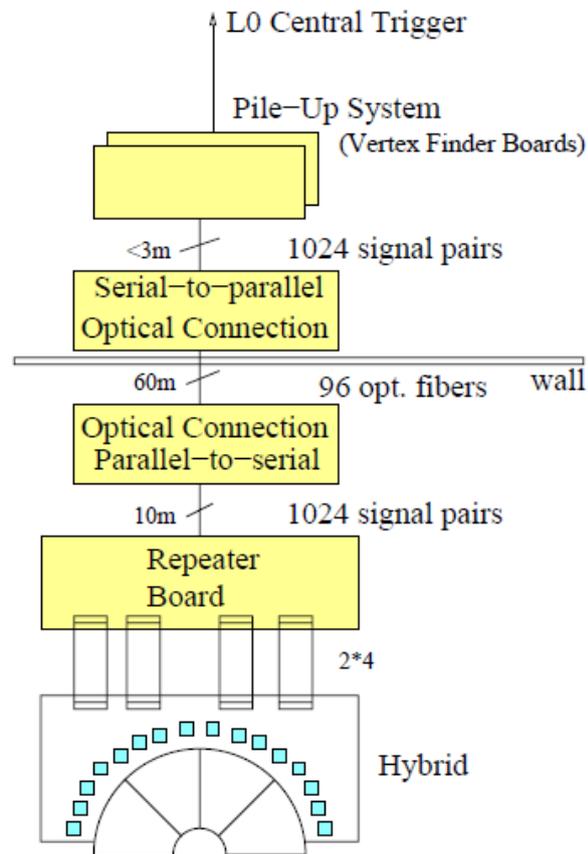
Chaîne de détection

- **Hybrid :**
lecture de la matrice de pixels, envoi informations sur liens LVDS
- **Repeater board**
- **Vertex Finder board :**
élimination des hits



Technologie utilisée dans le trigger Pile-up veto

Technologie



Liens optiques 1.6 Gbits/s (GOL chip – encodage 8B10B)

FPGAs à mémoire (gamme Xilinx)

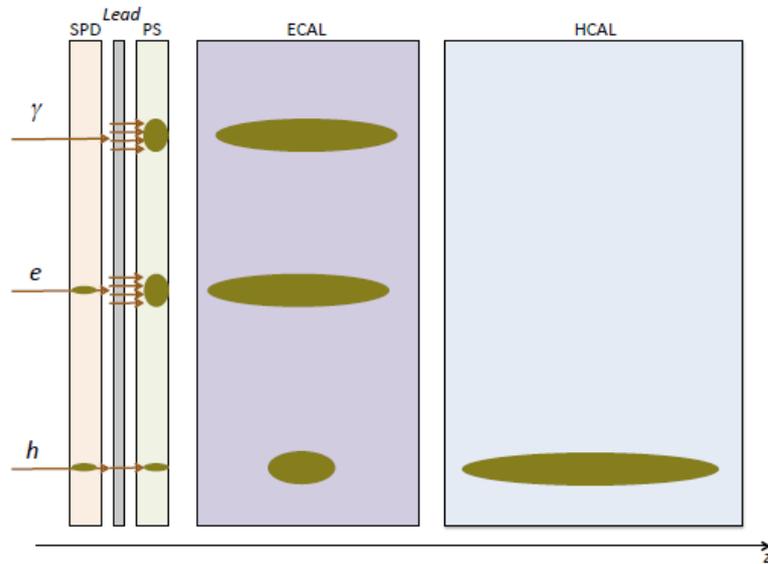
Liens LVDS

Liens optiques 1.6 Gbits/s (GOL chip – encodage 8B10B)

Liens LVDS

ASICs (chip Beetle)

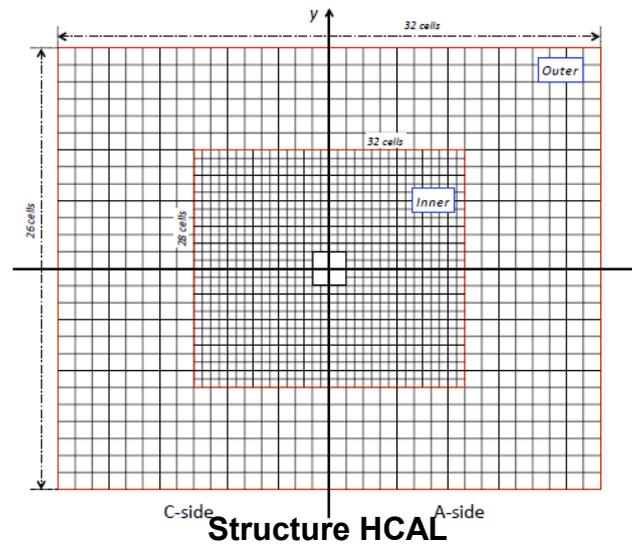
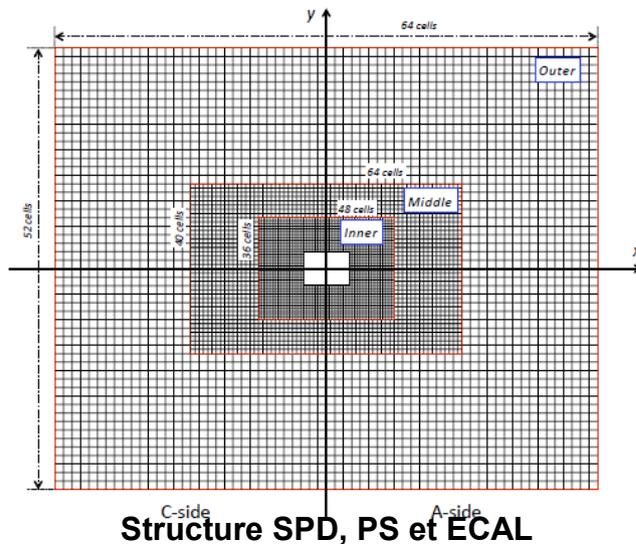
Calorimètres



Détection des particules avec une E_T élevée

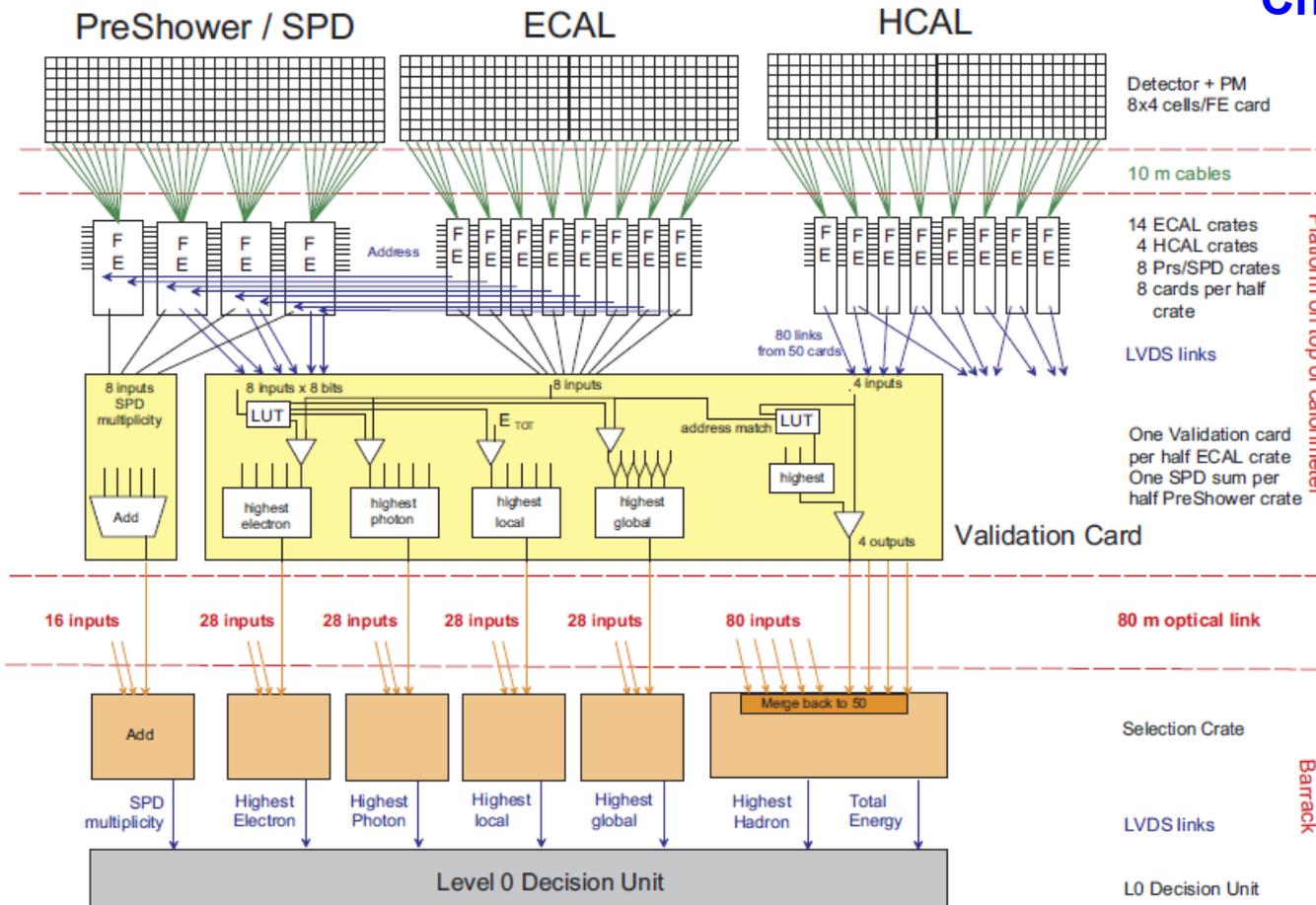
Plusieurs sous-systèmes :

- **SPD** (Scintillator Pad detector)
 - Identifie les particules chargées et sépare les électrons des photons
- **PreShower** (détecteur de pied de gerbes)
 - Identifie les électrons et photons
- **Calorimètre Electro-magnétique**
 - Mesure l'énergie des électrons et photons
- **Calorimètre Hadronique**
 - Mesure l'énergie des hadrons



Trigger de calorimétrie

Chaîne de détection

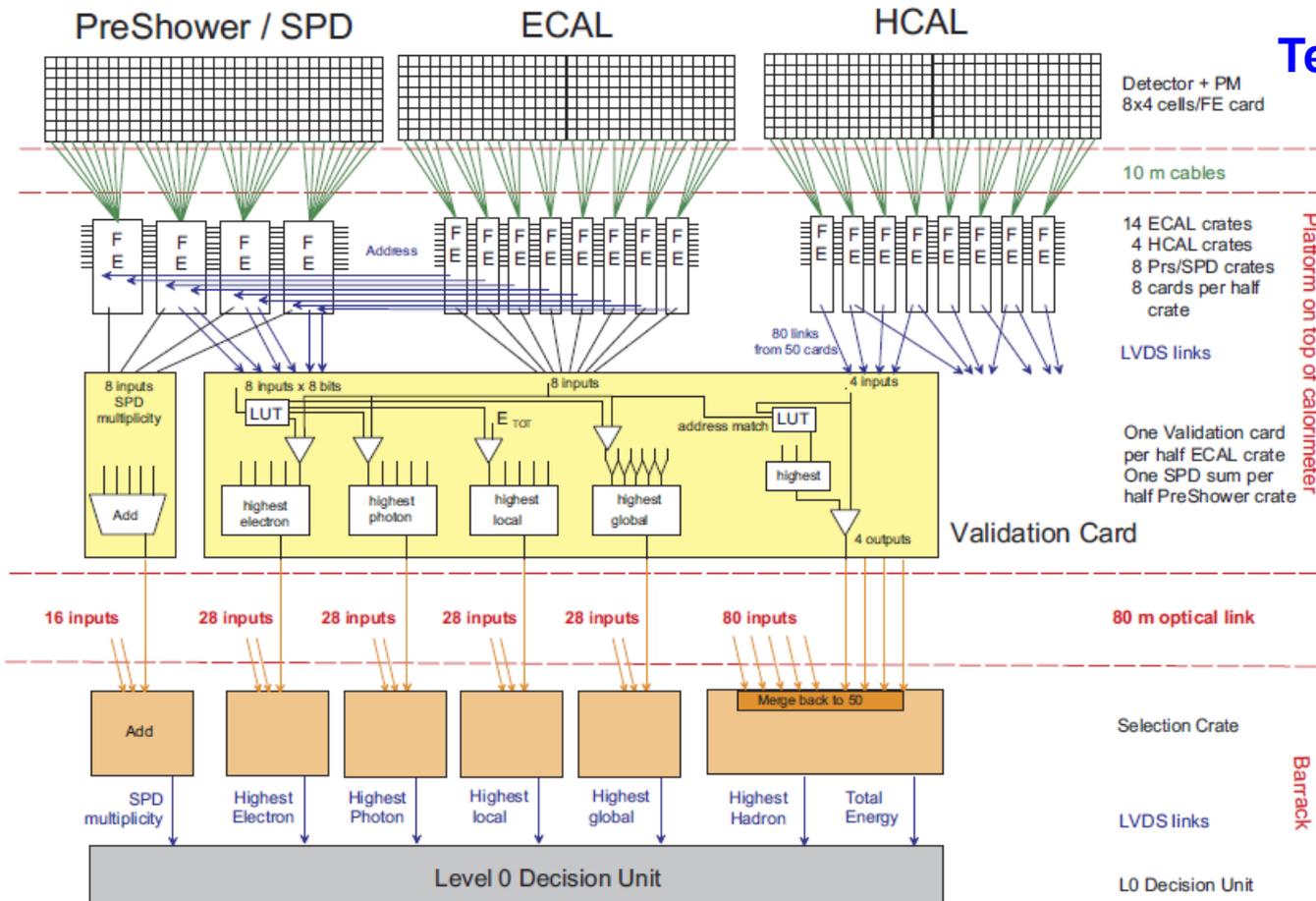


- Au niveau **Front-End**, sélection des particules avec une E_T élevée.
- Identification des particules par la **carte de validation** : électron, photon, π_0 et ajout E_T
- Au niveau Back-End, le **selection crate** retient les candidats de chaque type avec l' E_T la plus élevée



Trigger Validation Board

Technologie utilisée dans le trigger de calorimétrie



Technologie

Liens analogiques

ASiCs

Liens LVDS

FPGAs à fusibles (gamme Actel)

Liens optiques 1.6 Gbits/s (GOL chip – encodage 8B10B)

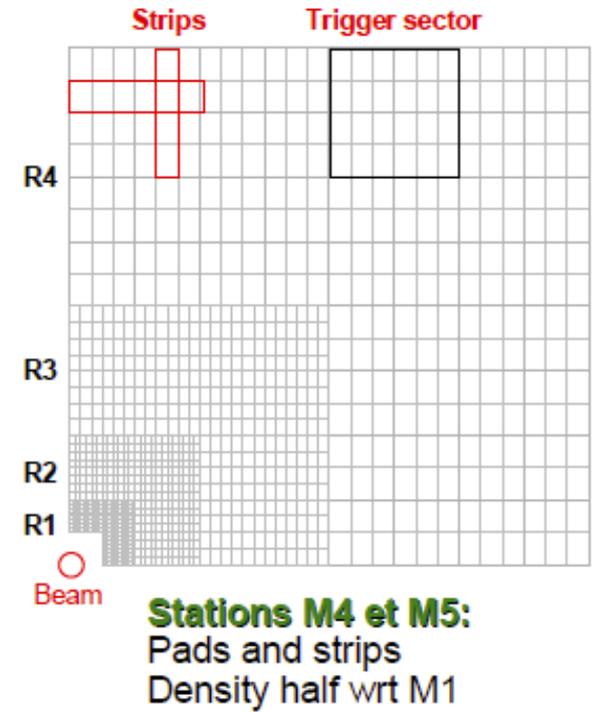
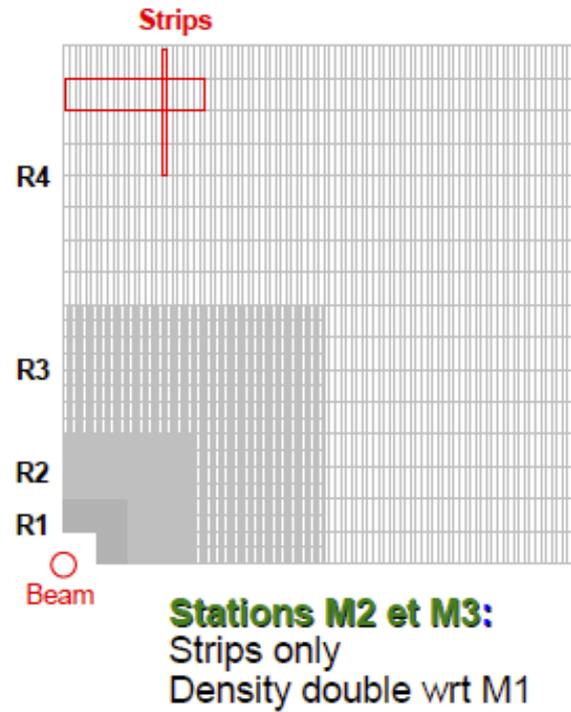
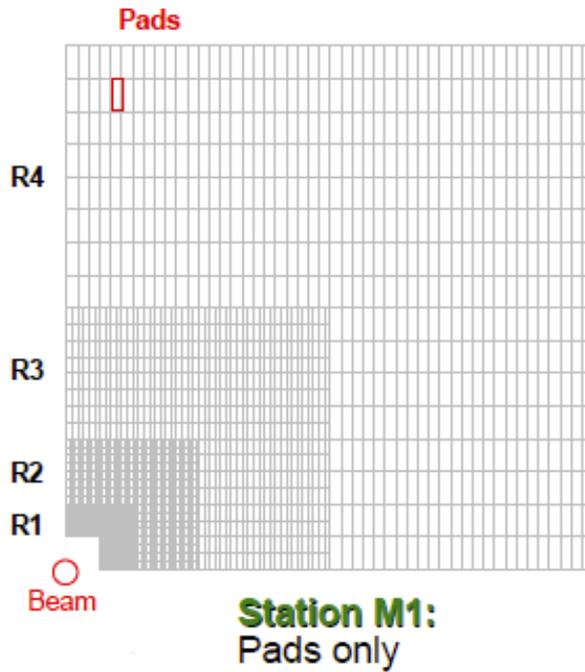
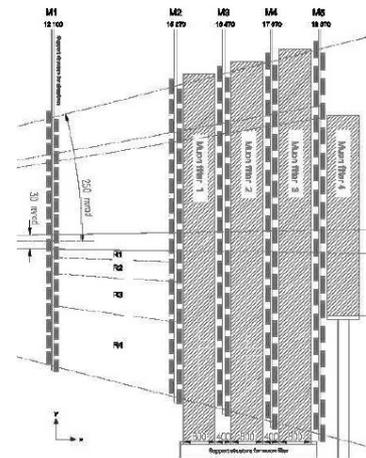
FPGAs à mémoire (gamme Altera)

Liens optiques 1.6 Gbits/s (GOL chip – encodage 8B10B)

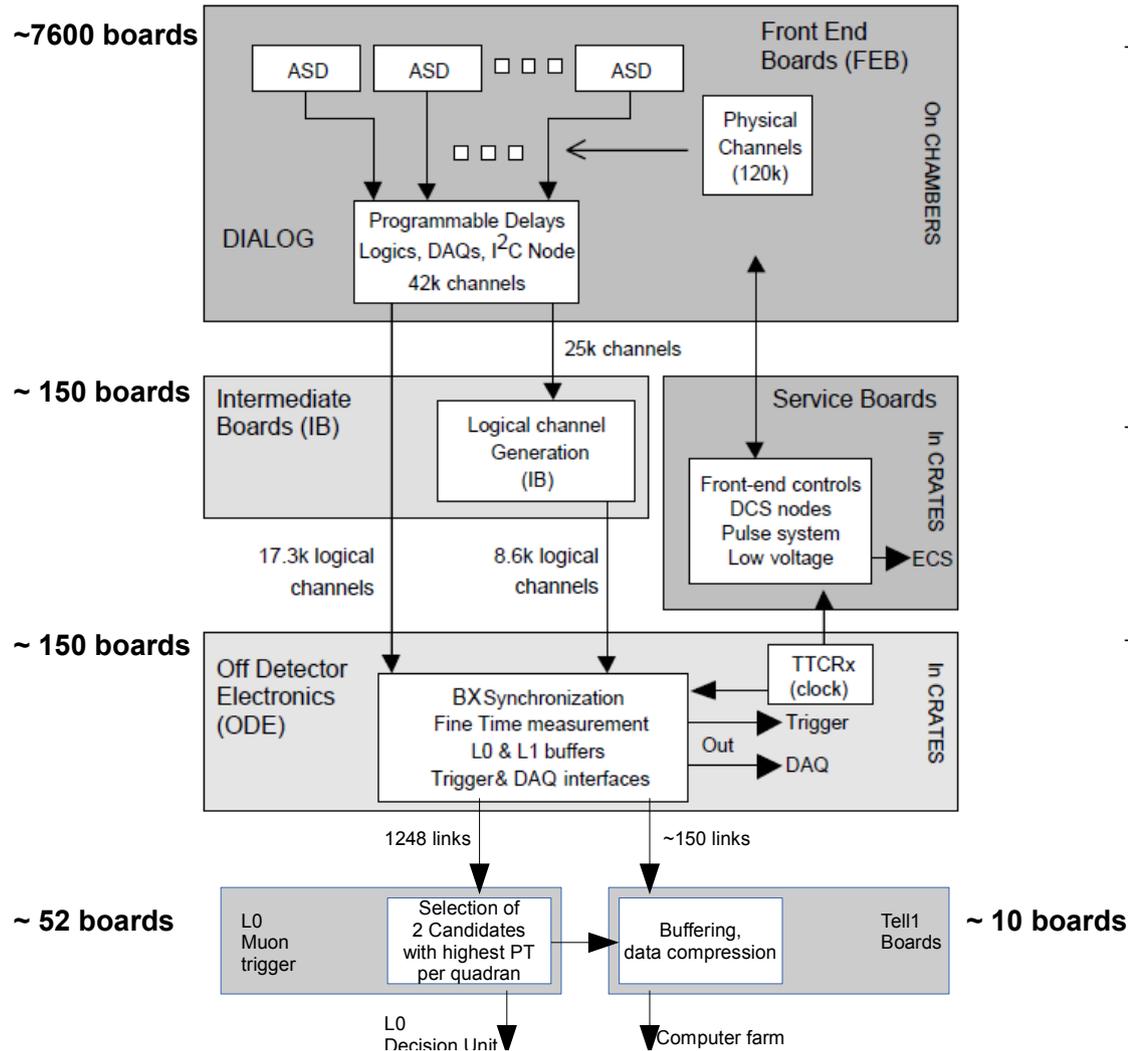
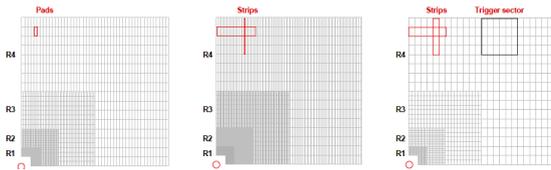
Chambres à muons

5 stations, 4 régions par station :

- Chambres à fils
 - Détection de muons à P_T élevé



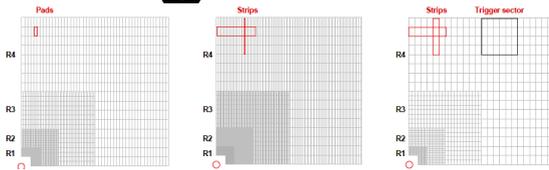
Trigger à muons



Chaîne de détection

- **Cartes Front End et Cartes Intermédiaires :**
compensation temporelle, digitalisation, création de 25920 canaux logiques à partir de 120000 canaux physiques
- **Cartes ODE :**
tagging, bufferisation, interface trigger et DAQ
- **Trigger à muons :**
Sélection des 2 muons de plus fort P_T dans chaque quart du détecteur

Technologie utilisée dans le trigger à muons



Technologie

Liens analogiques

ASICs (chip DIALOG)

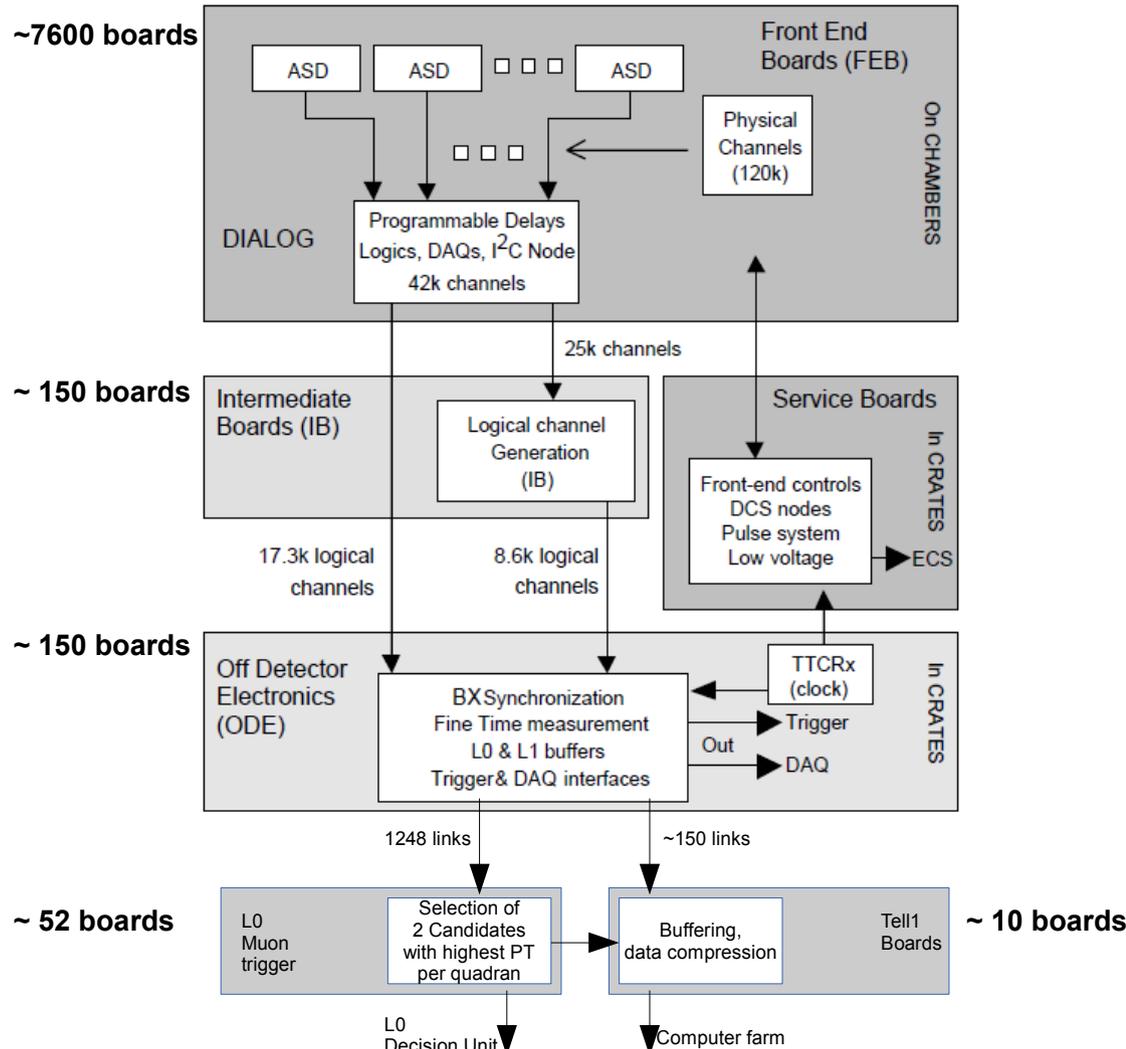
Liens LVDS

ASICs (chip SYNC)

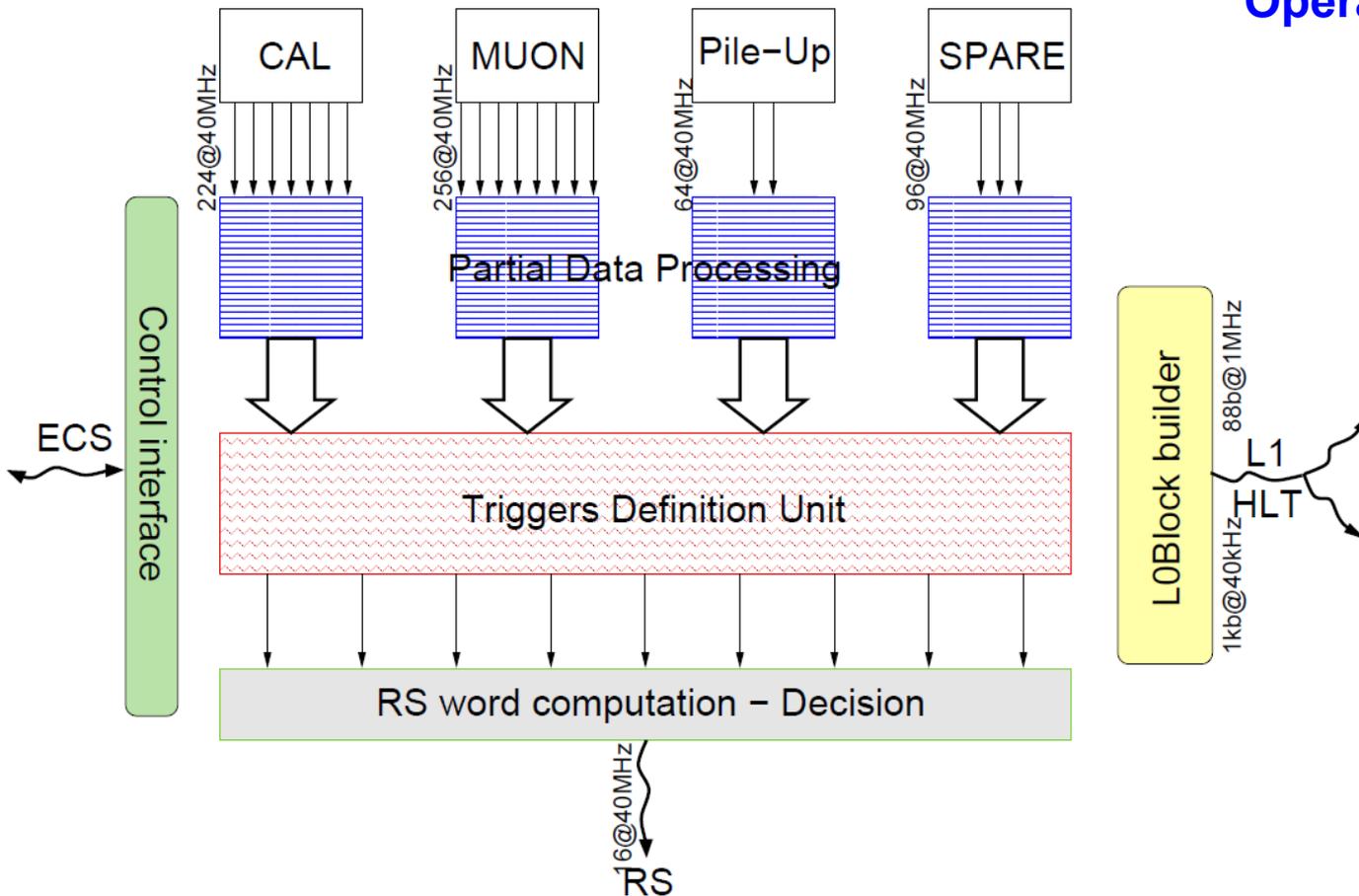
Liens optiques 1.6 Gbits/s (GOL chip – encodage 8B10B)

FPGAs à mémoire (gamme Altera)

Liens optiques 1.6 Gbits/s (GOL chip – encodage 8B10B)



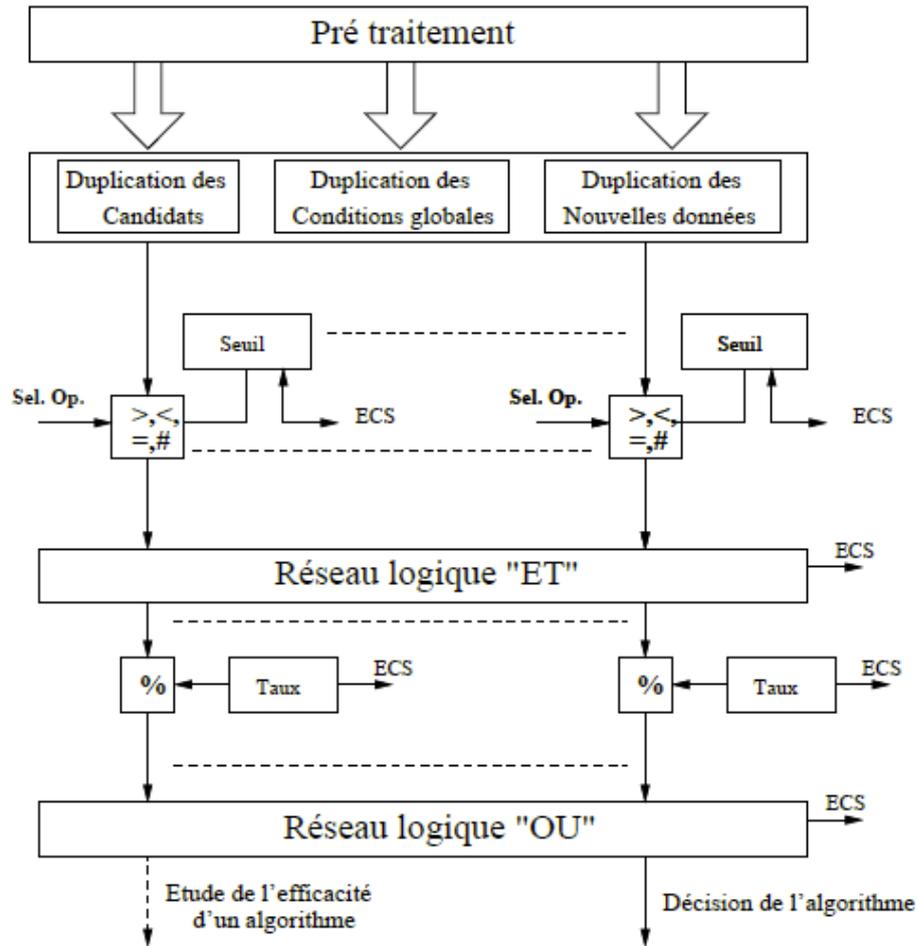
Unité de décision



Opérations

- Mise en temps
- Algorithme trigger global
- Envoi décisions au TFC supervisor
- Envoi décision au readout ainsi qu'au HLT

Unité de décision

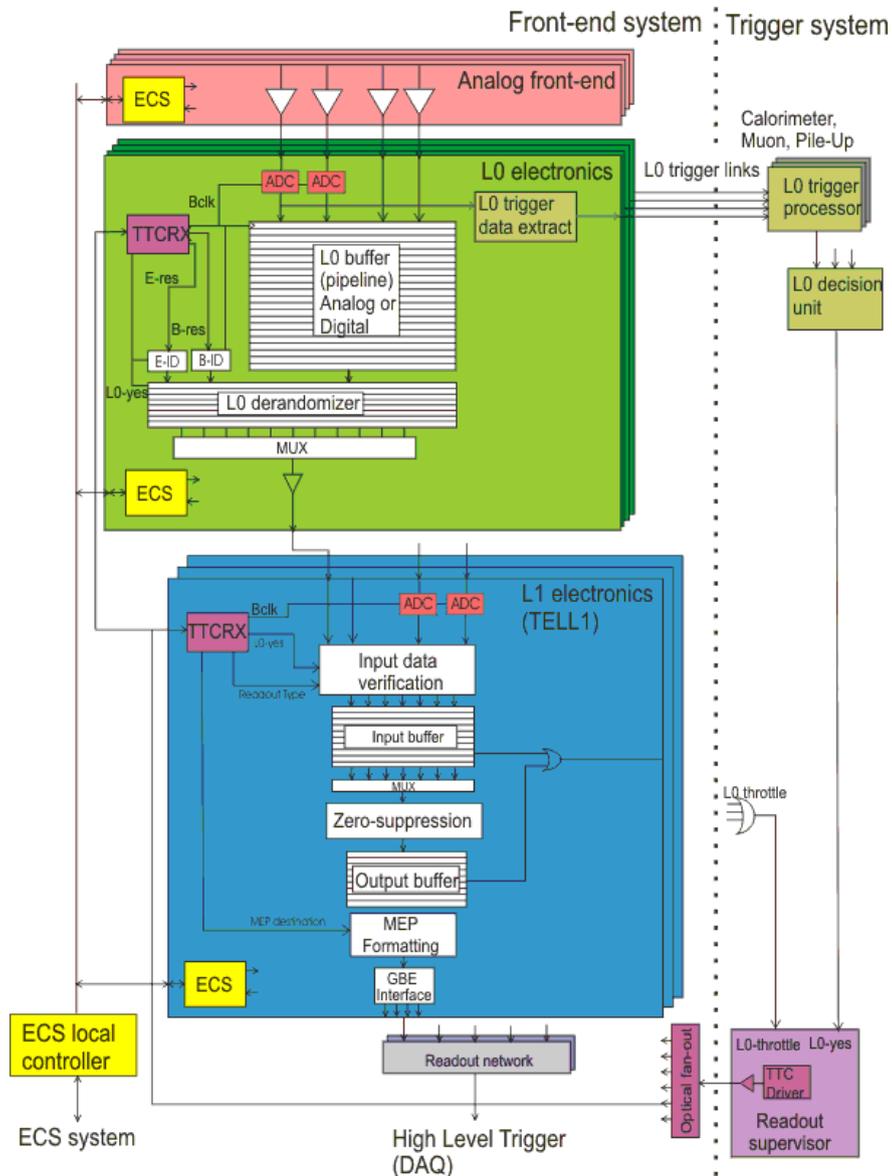


Firmware

- Algorithme programmable par ECS
 - Pas de reprogrammation du FPGA en cas de changement d'algorithme
- Fonctions logiques élémentaires chaînées (ET, OU, comparaisons, ...)

Readout

Carte de readout TELL1



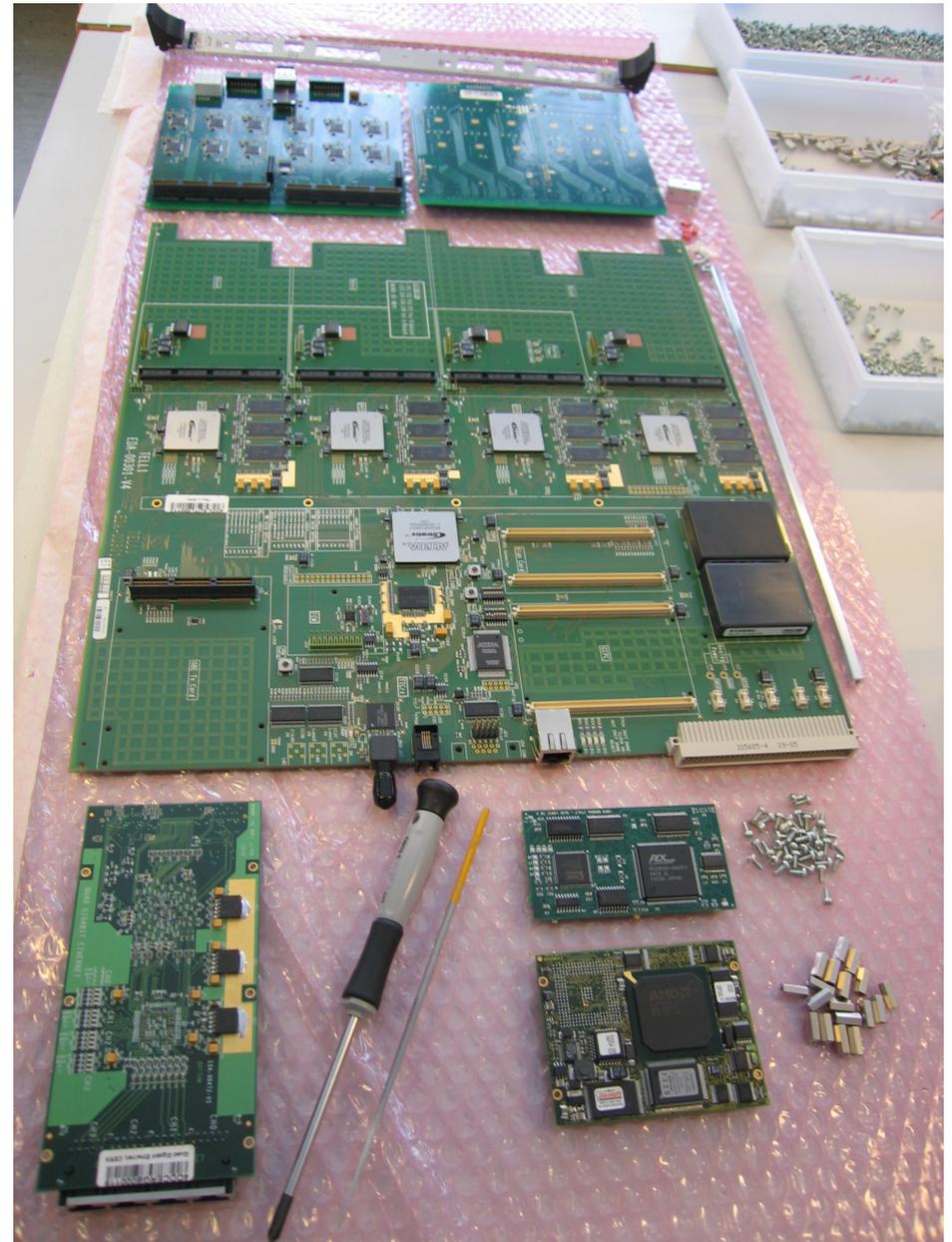
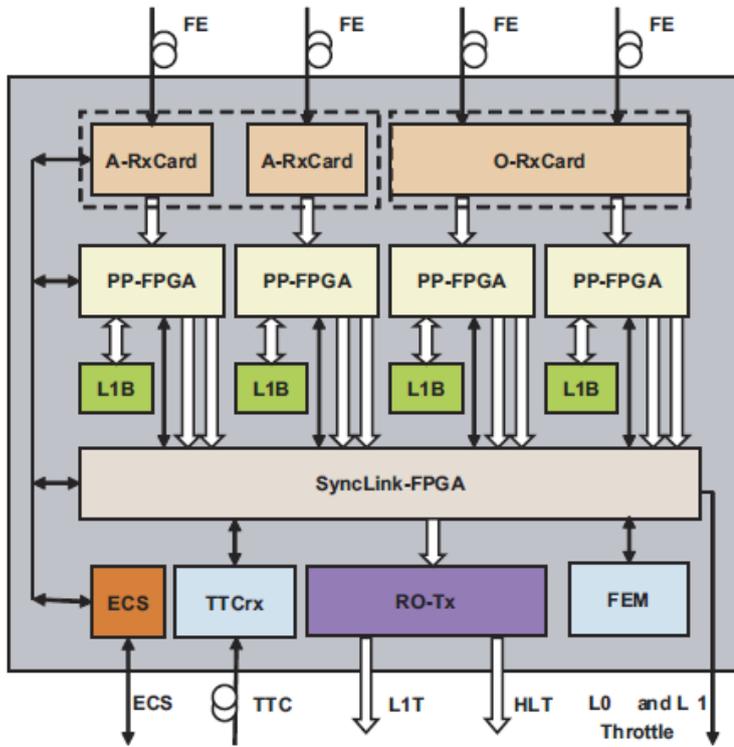
La même carte est utilisée pour tous les détecteurs (sauf un !)

- 313 cartes au total

Fonctionnalités

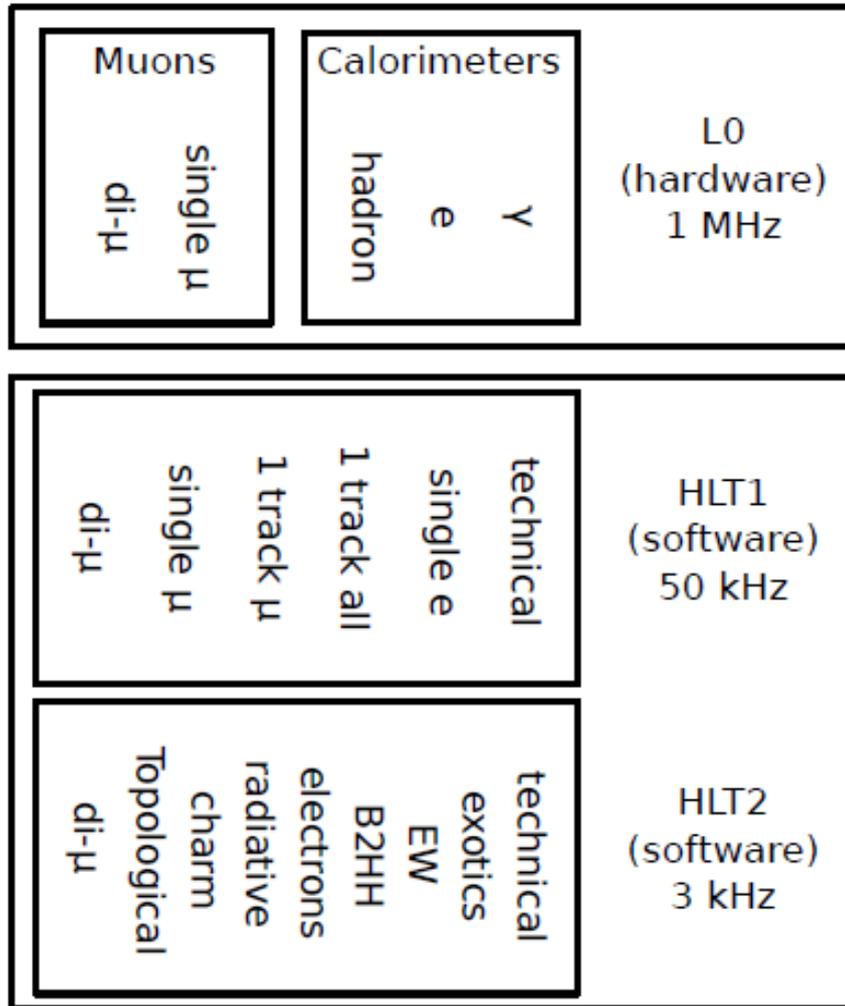
- Interface optique ou analogique avec cartes Front-Ends
- Traitements sur mesure
- Compression des données
- Bufferisation
- Regroupements et formation de MEPs (Multi Event Packets)
- Envoi des événements vers les fermes

Carte de readout TELL1



Trigger dans les fermes : High Level Trigger

HLT



HLT1

- Confirmation des résultats du trigger hardware en associant les traces du calorimètre et du muon avec celles du VELO et du Tracker
 - Reçoit les données du VELO et reconstruit les vertex primaires
 - Utilise les données du tracker pour mesurer le P et le P_T des traces correspondantes
 - Élimination par seuillage
- Réduit le débit de 1 MHz à ~50 kHz

HLT2

- Analyse et identification de la totalité des événement
- Débit sortant 3 à 5kHz

HLT

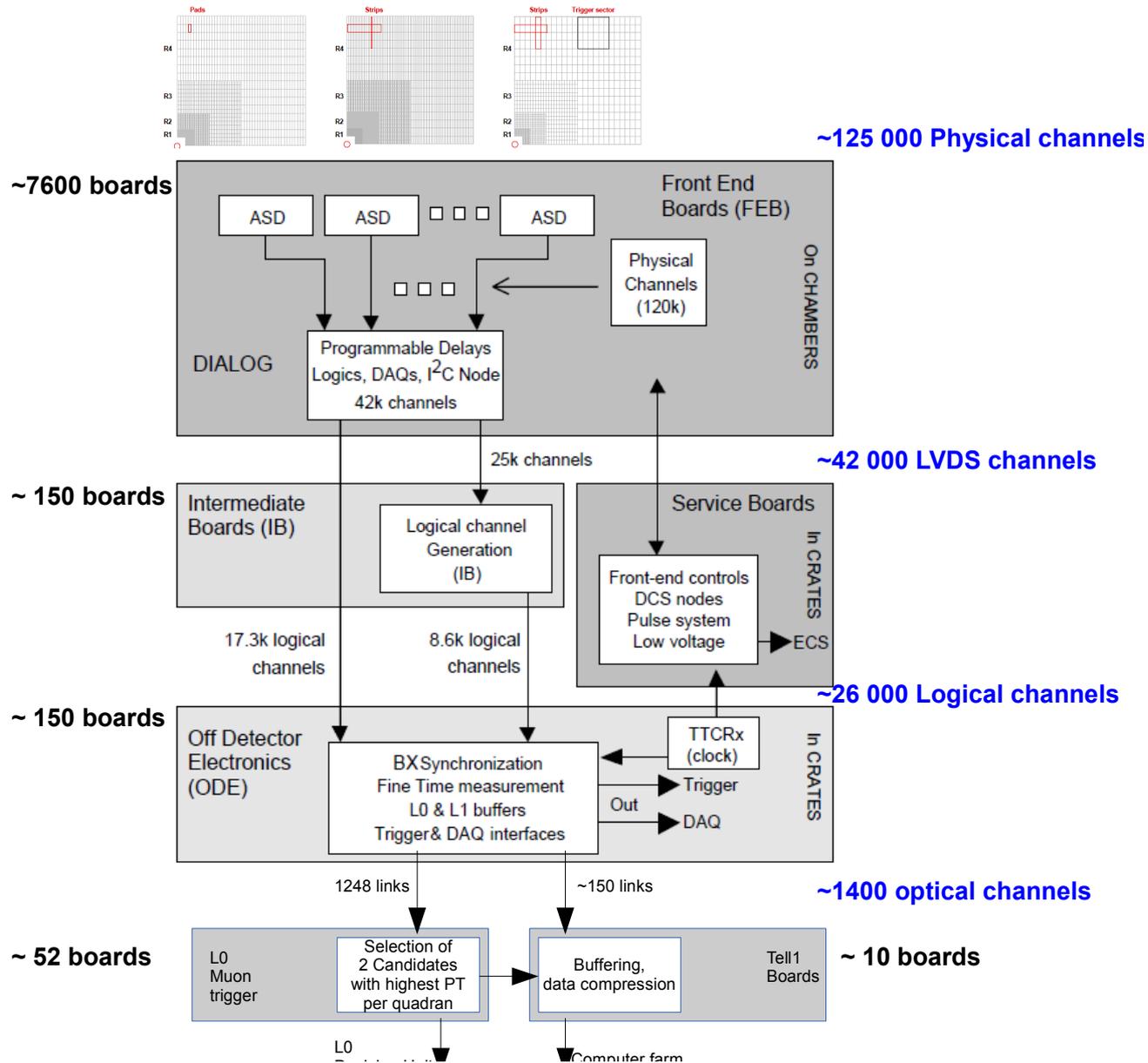


Dimensionnement HLT

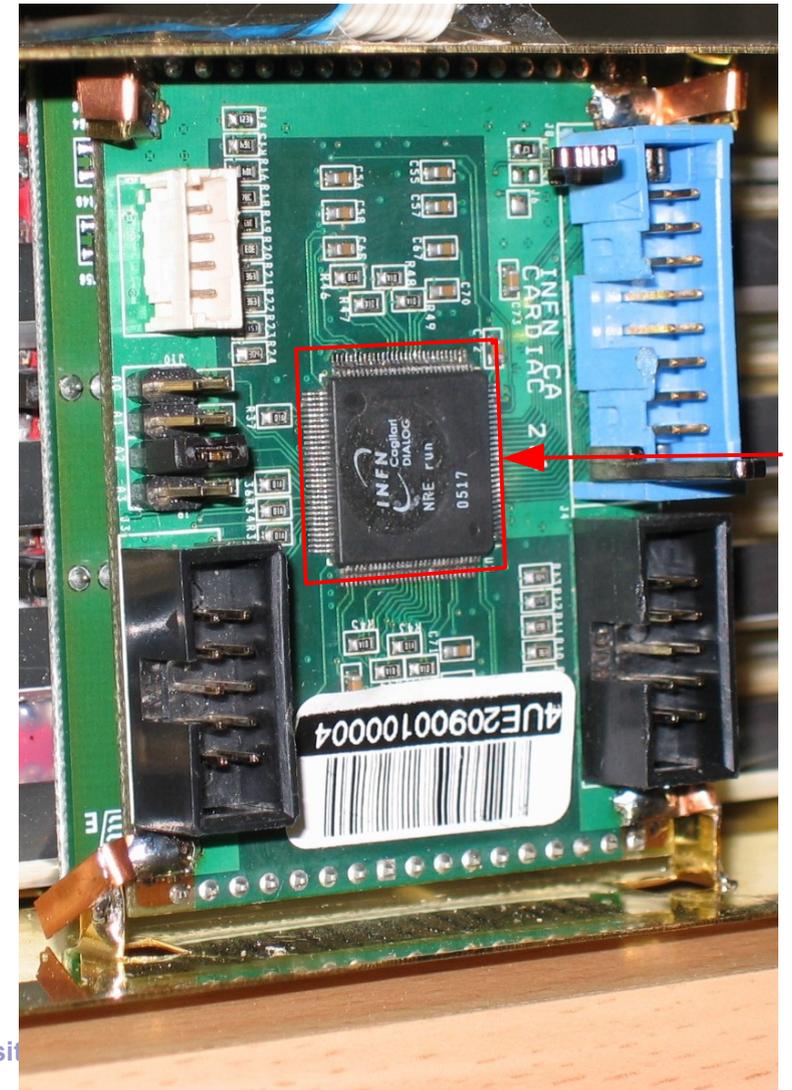
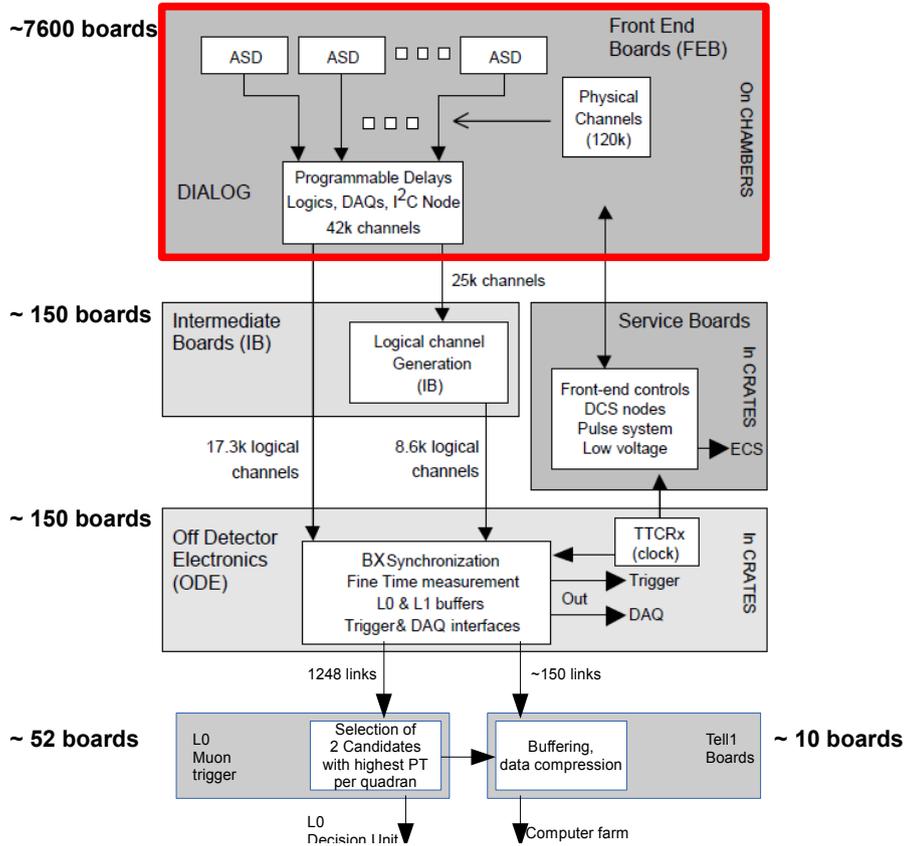
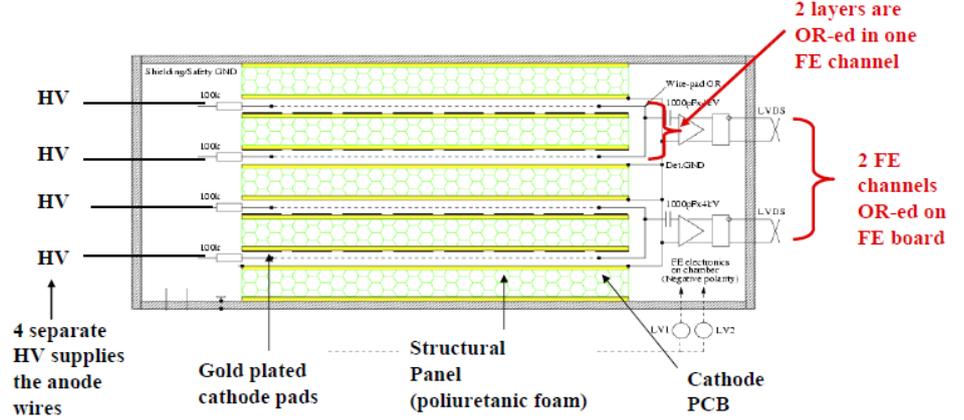
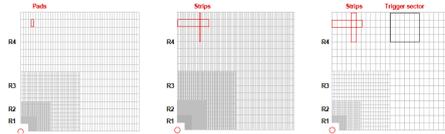
- 1500 processeurs regroupés en 56 sous-fermes

Détail de la chaîne muon trigger

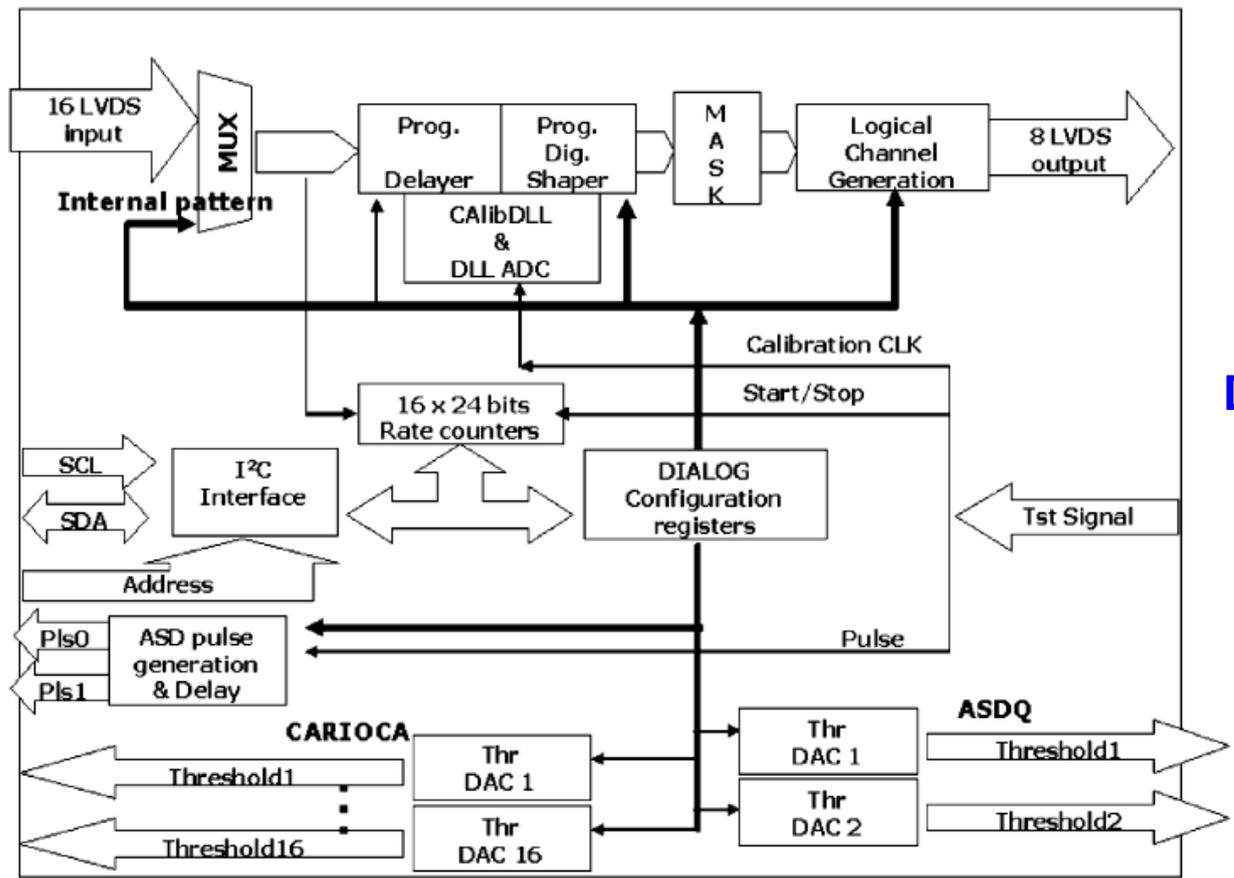
Rappel de la chaine d'acquisition



Carte Front End



Carte Front End



Dialog chip

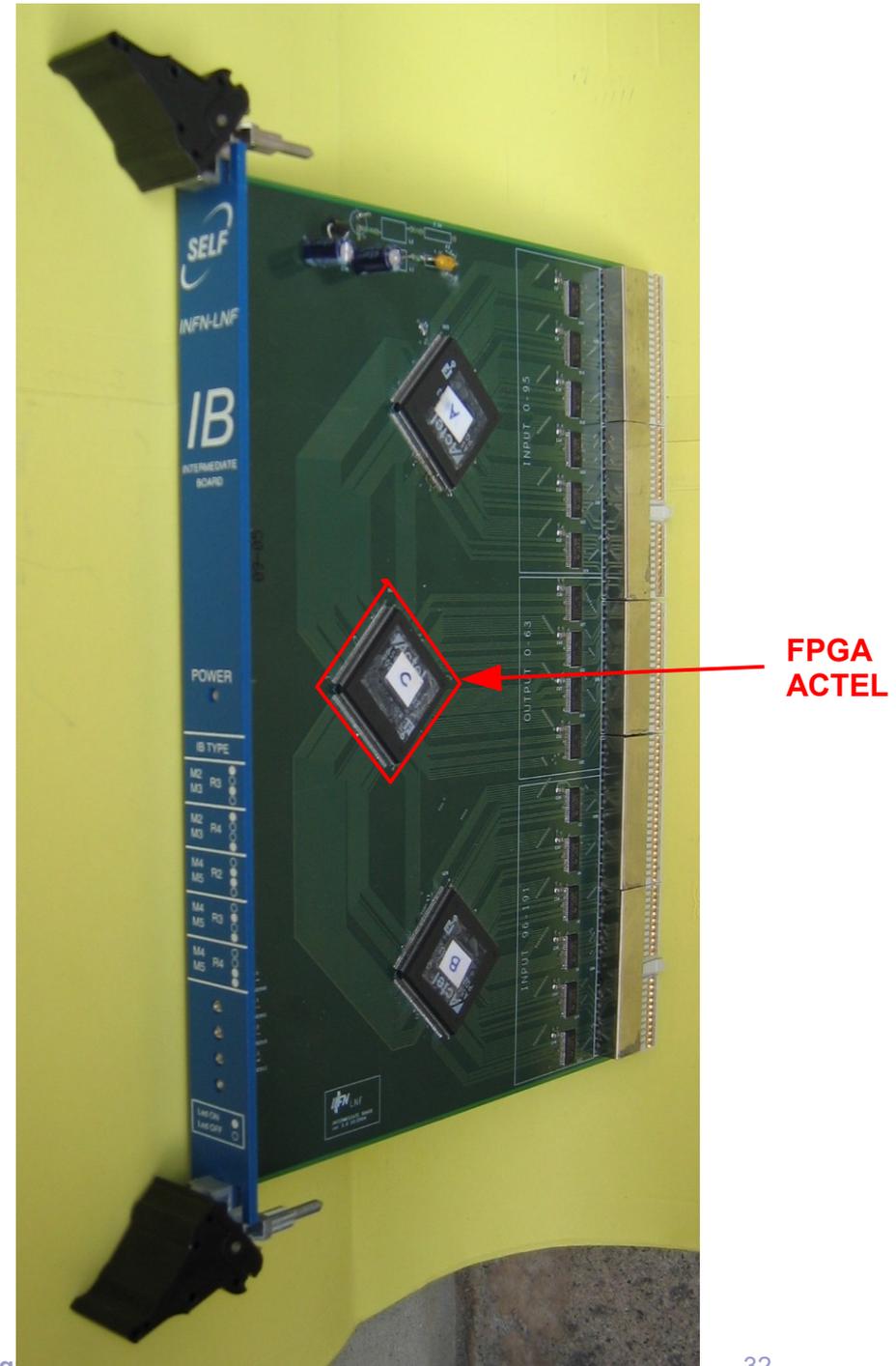
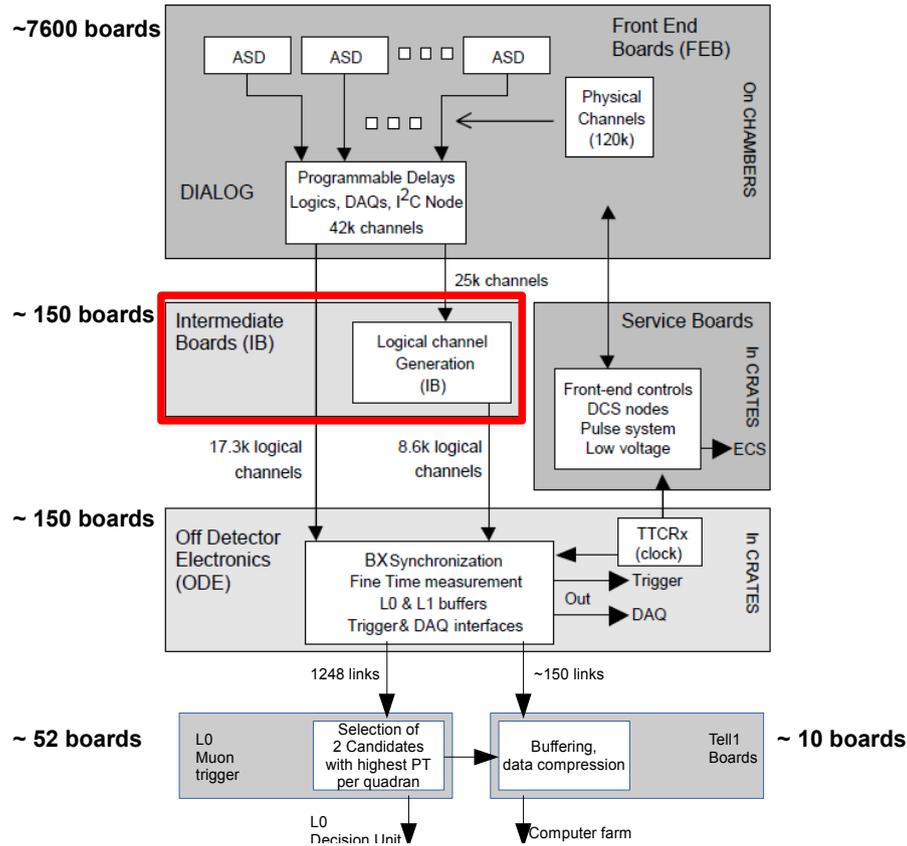
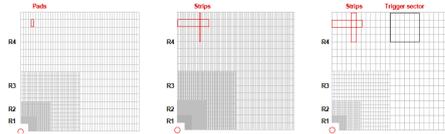
Carioca Chip

- 2 plans de lecture dans les chambres
- Préamplification, shaping et discrimination
- Sortie numérique vers Dialog chip

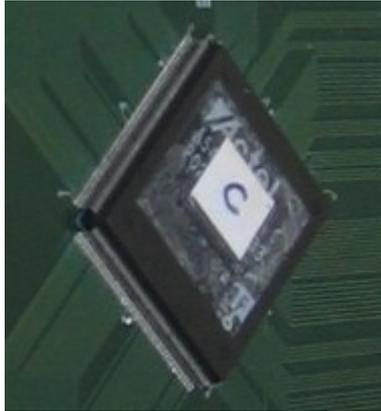
Dialog chip:

- Traite 8 chambres
- OU entre les 2 plans de lecture
- Ajout d'un délai programmable pour ajustement phase
- Réglage des seuils de détection

Carte Intermédiaire

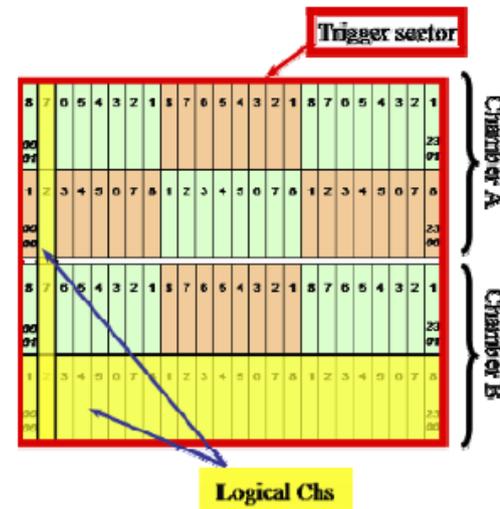


Carte Intermédiaire

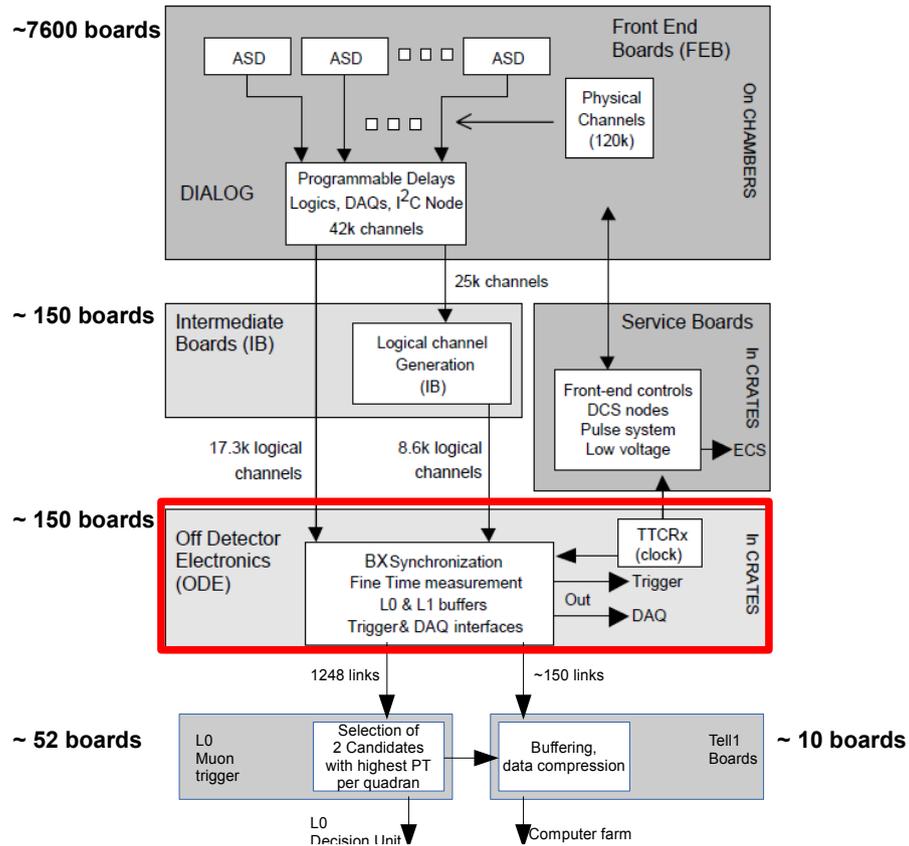
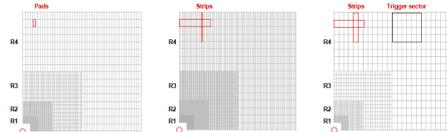


FPGA Actel

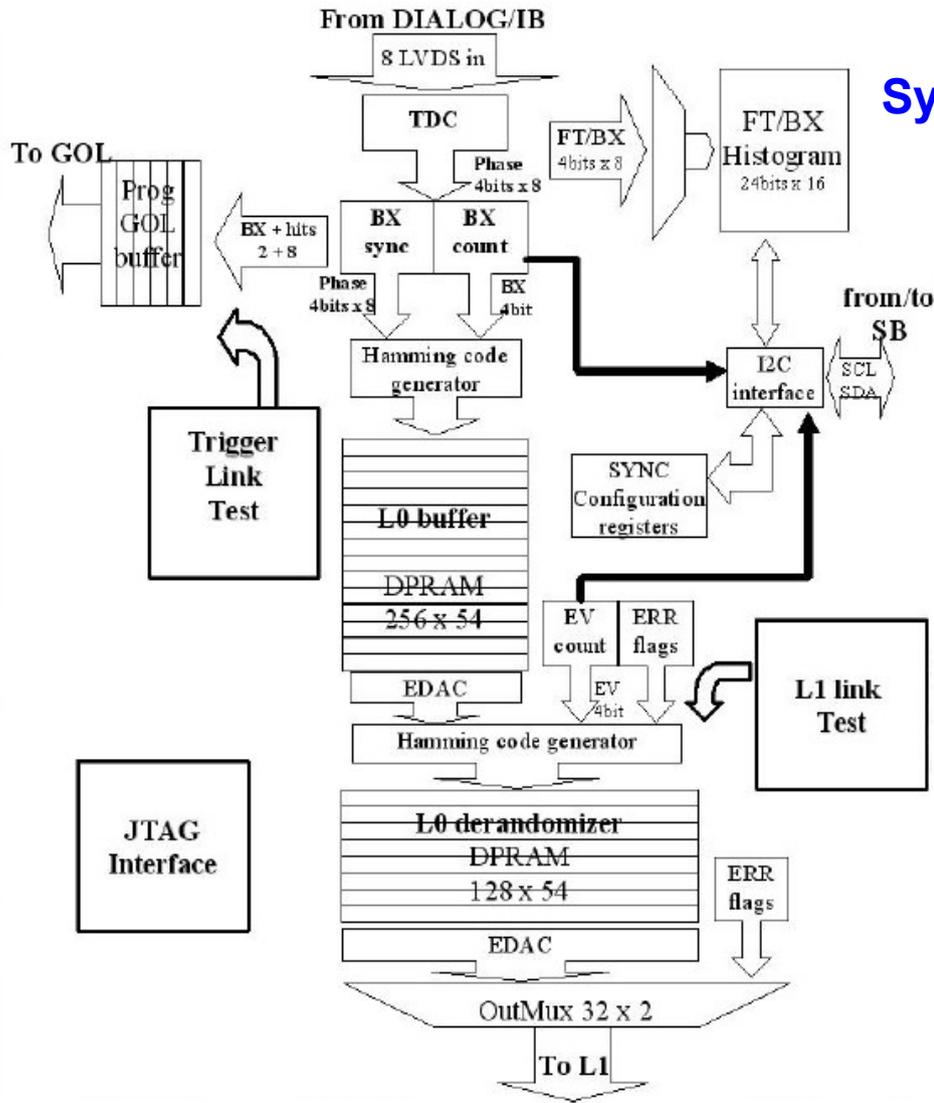
- Réalise le OU des secteurs physiques pour former des secteurs logiques
- Ex : Strips dans M2 ou M3



Carte ODE



Carte ODE

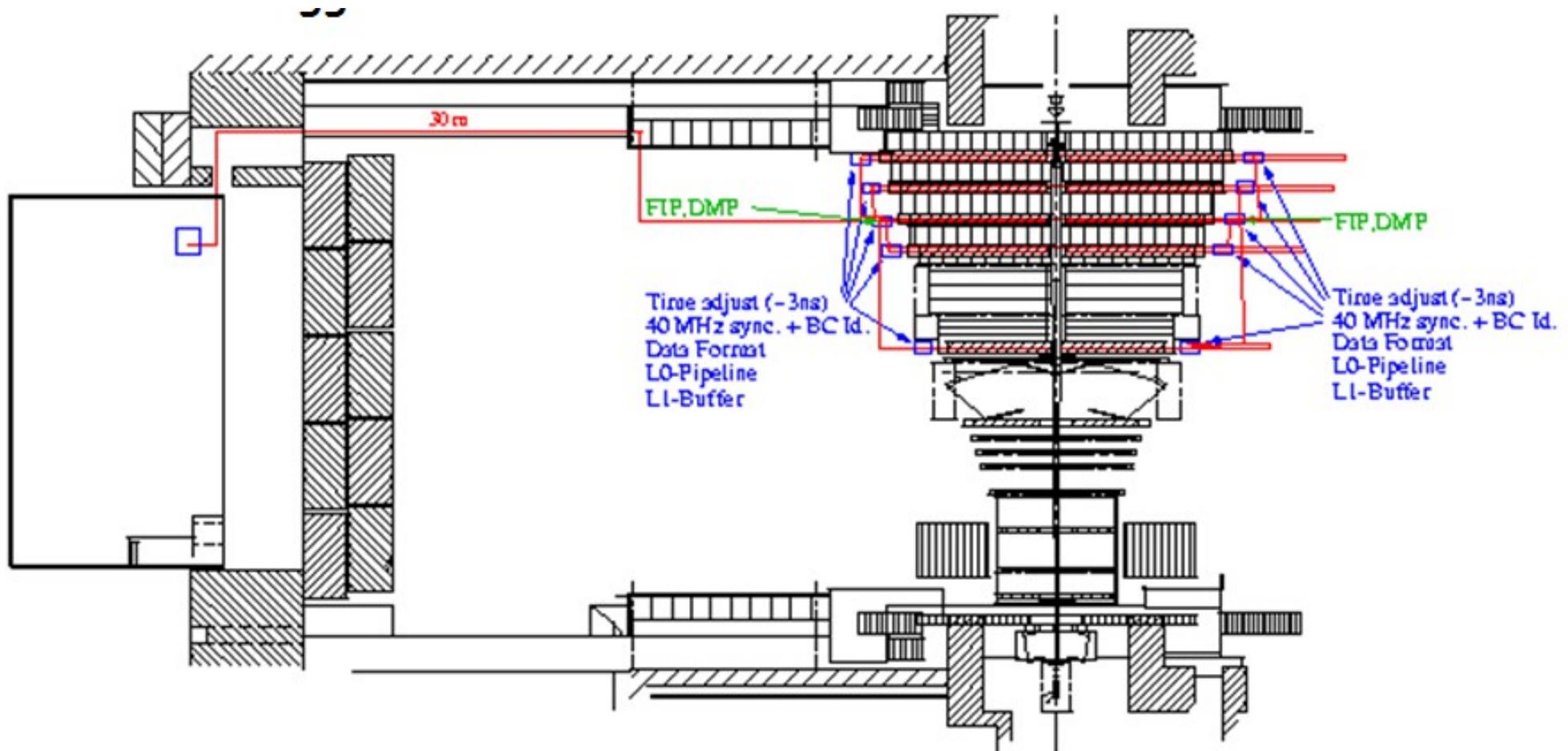


Sync chip:

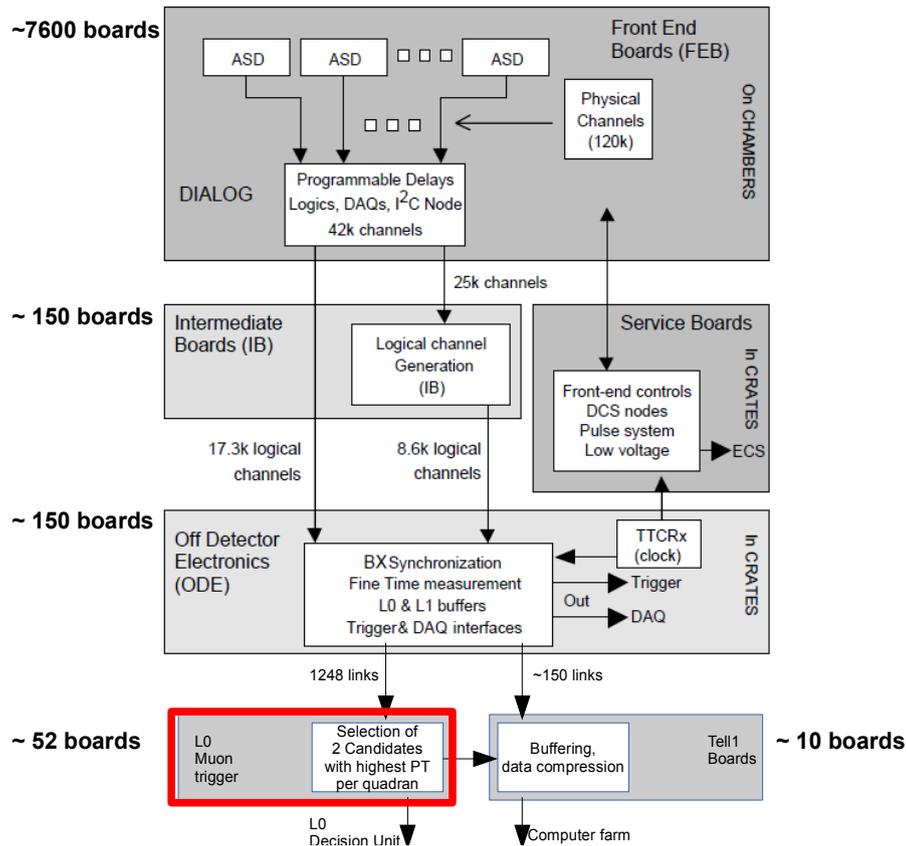
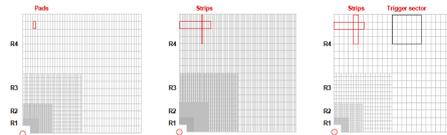
- Implémente le L0 buffer et le derandomizer
- Mémoire : utilisation d'une macro CERN 25 μ

K. Kloukinas, G. Magazzu, A. Marchioro, "A configurable radiation tolerant Dual-Ported Static RAM Macro, designed in a 0.25 μ m CMOS technology for applications in the LHC environment", in *Electronics for LHC experiments*, Colmar, 2004, pp. 319-323.

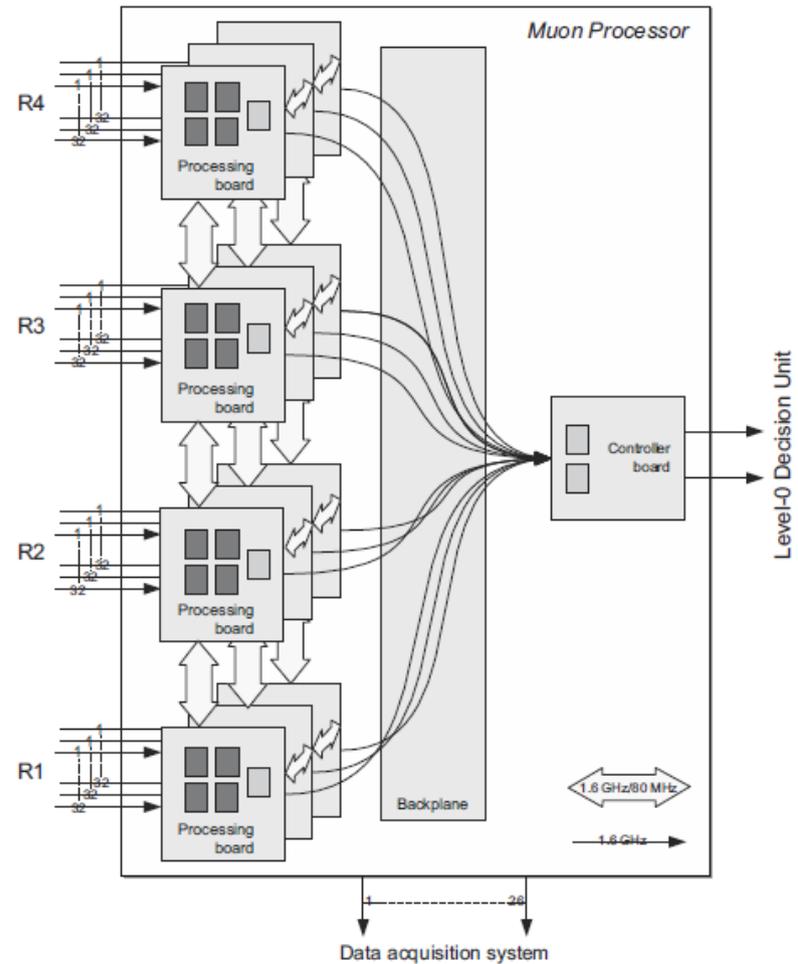
Localisation cartes Front-End



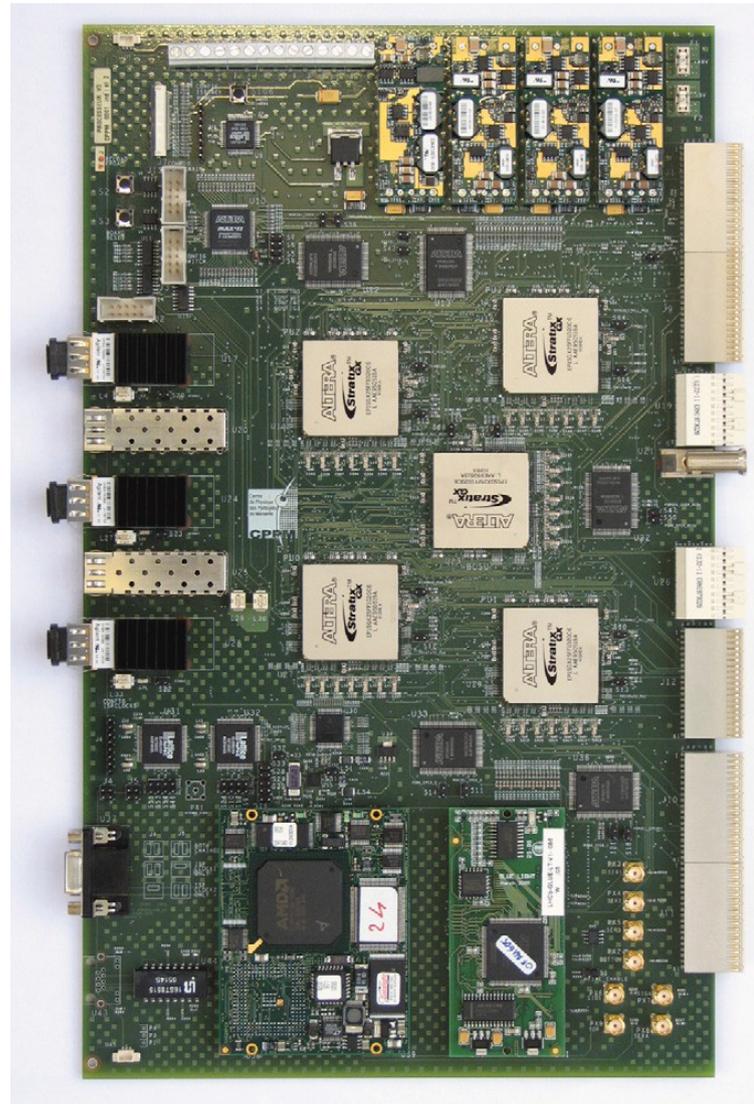
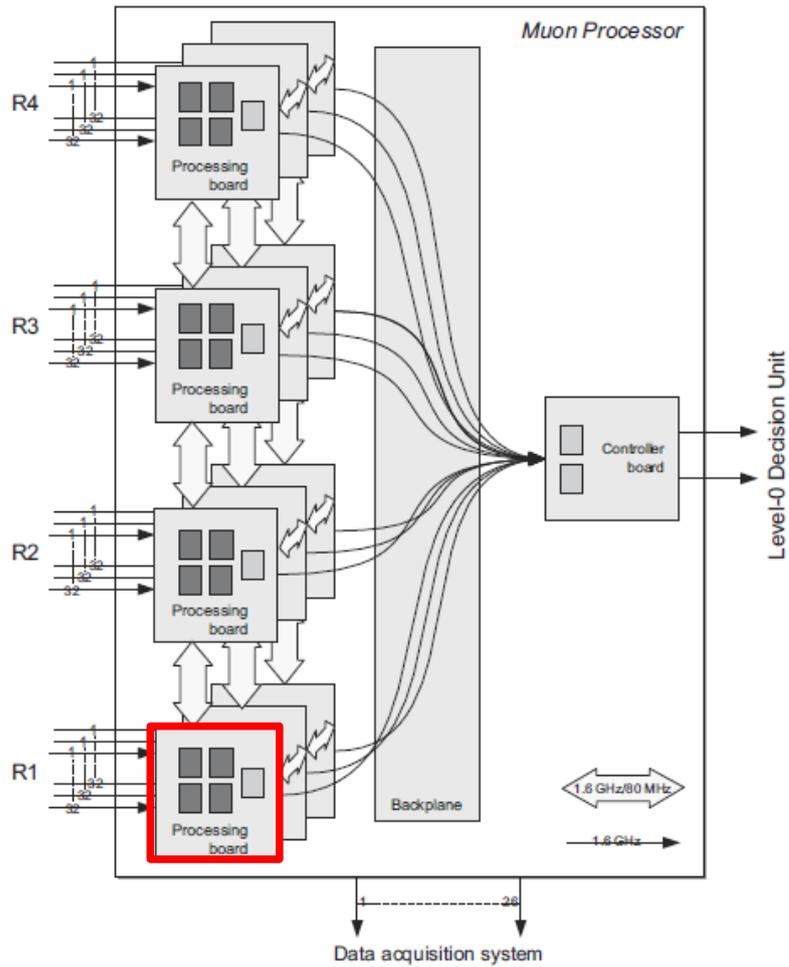
Systeme muon trigger



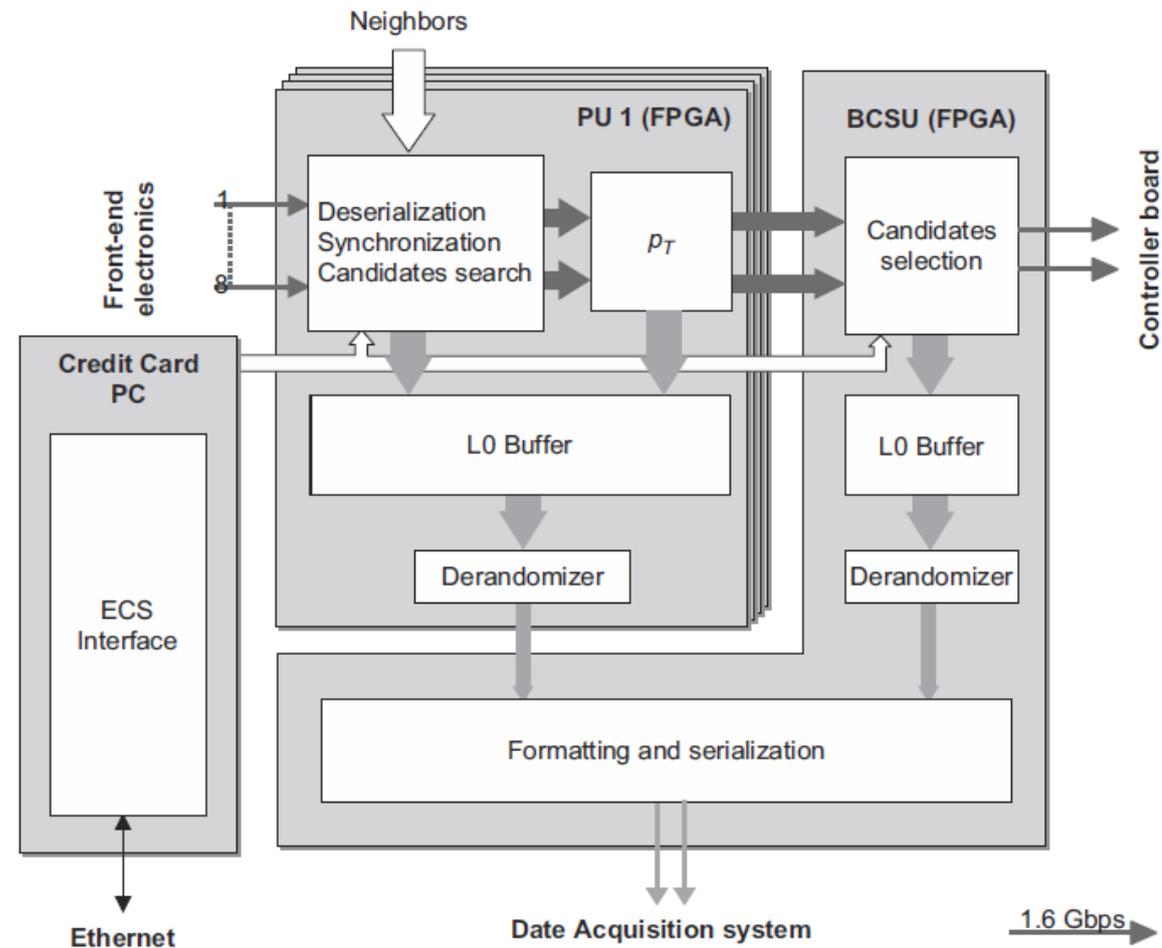
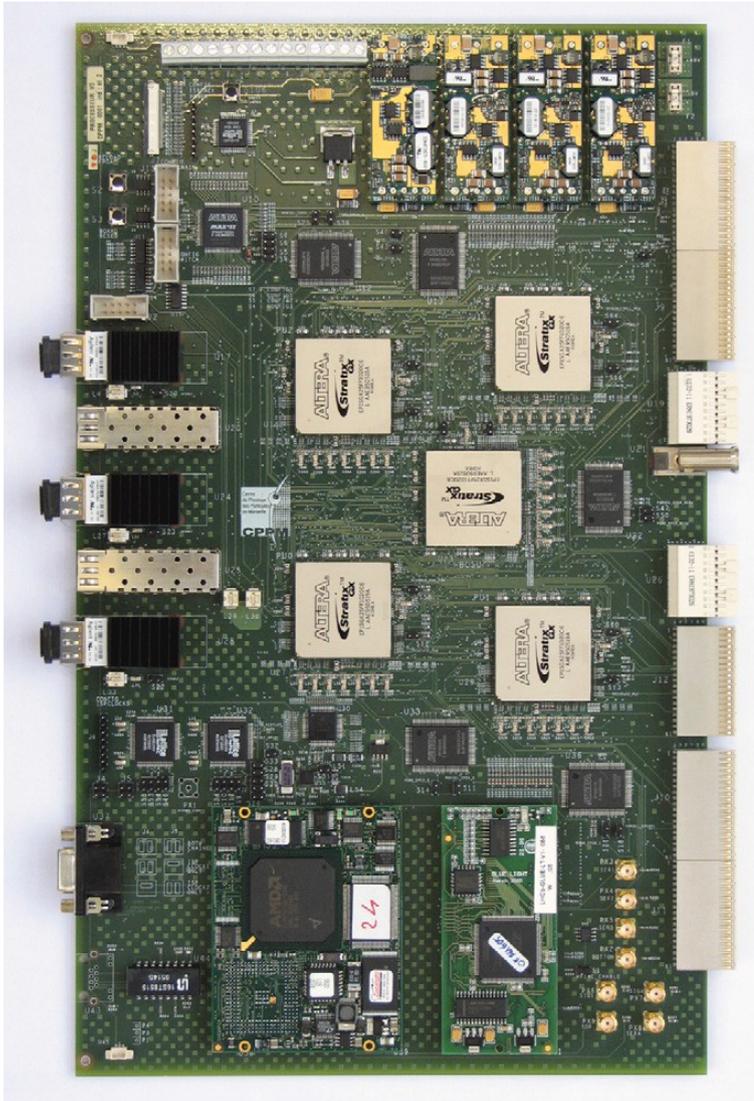
Recherche des 2 candidats avec le plus for P_T dans chaque quart



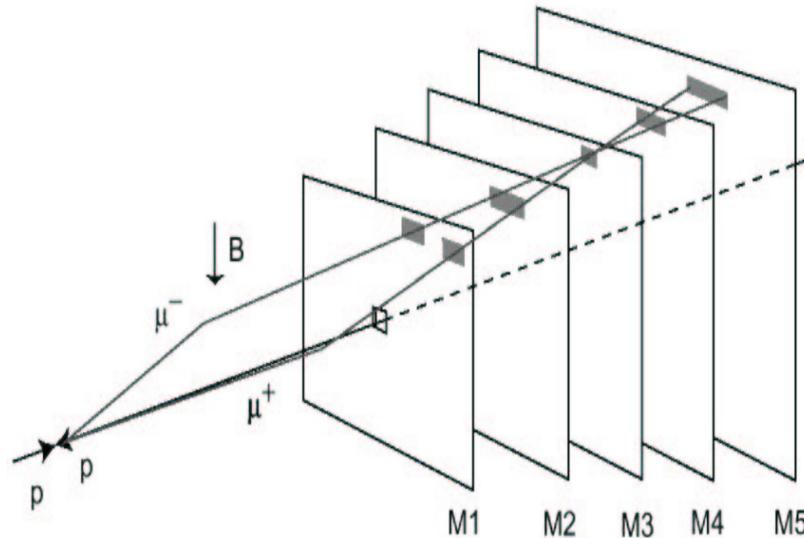
Carte trigger



Carte trigger



Recherche des candidats

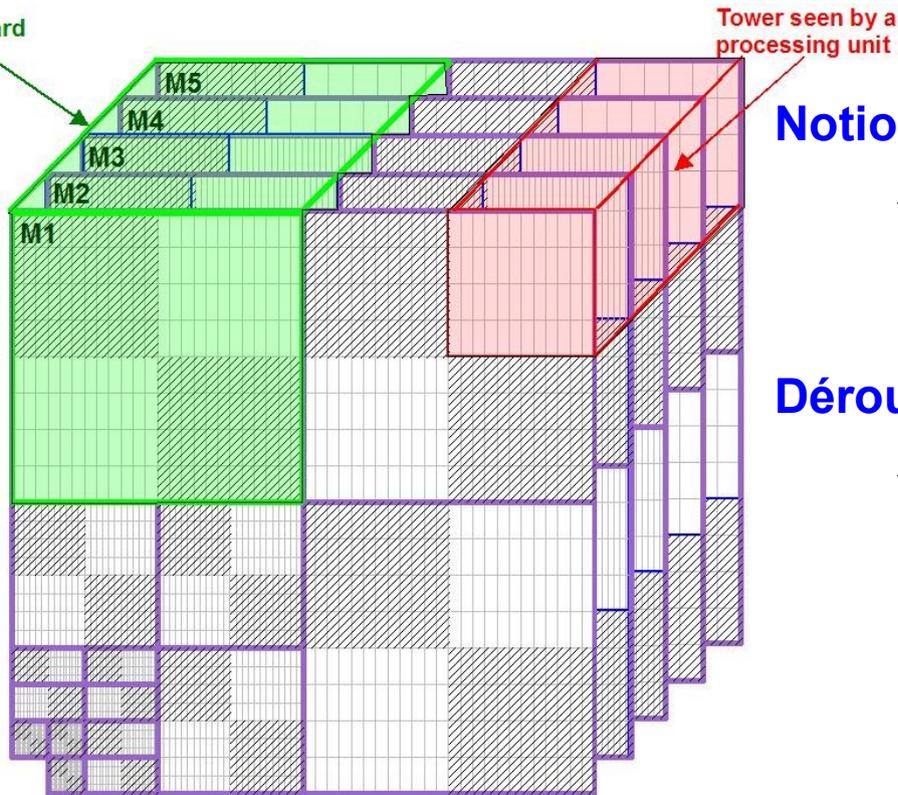


Principe de l'algorithme:

- 1- Trouver un pad touché en M3
- 2- Définir un axe de recherche centré sur le PAD
- 3- Ouvrir 2 cones le long de cet axe
- 4- Sélectionner une trace si un pad est touché dans le couloir dans les plans M5 et M4 et M2
- 5- Le point de passage en M1 est extrapolé en suivant la droite partant de M3 et passant par le pad touché de M2
- 6- Recherche d'un hit dans la zone extrapolée
- 7- Ce point dans M1 donne l'angle de la trace par rapport au faisceau donc P_T (impulsion transverse)

Implémentation

Processing board

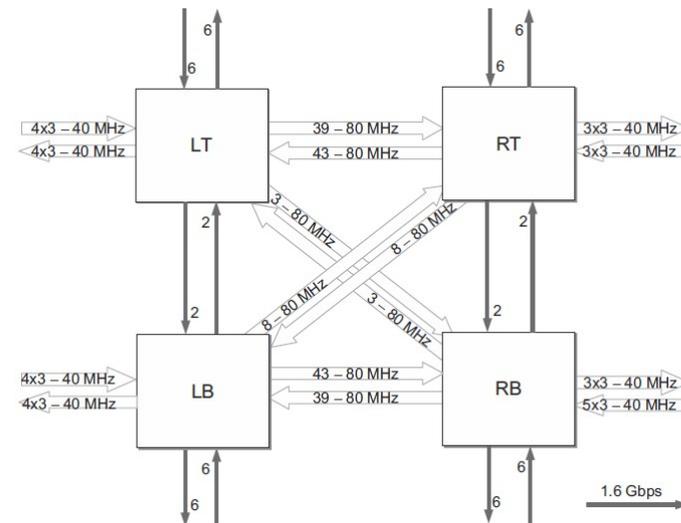


Notion de tours

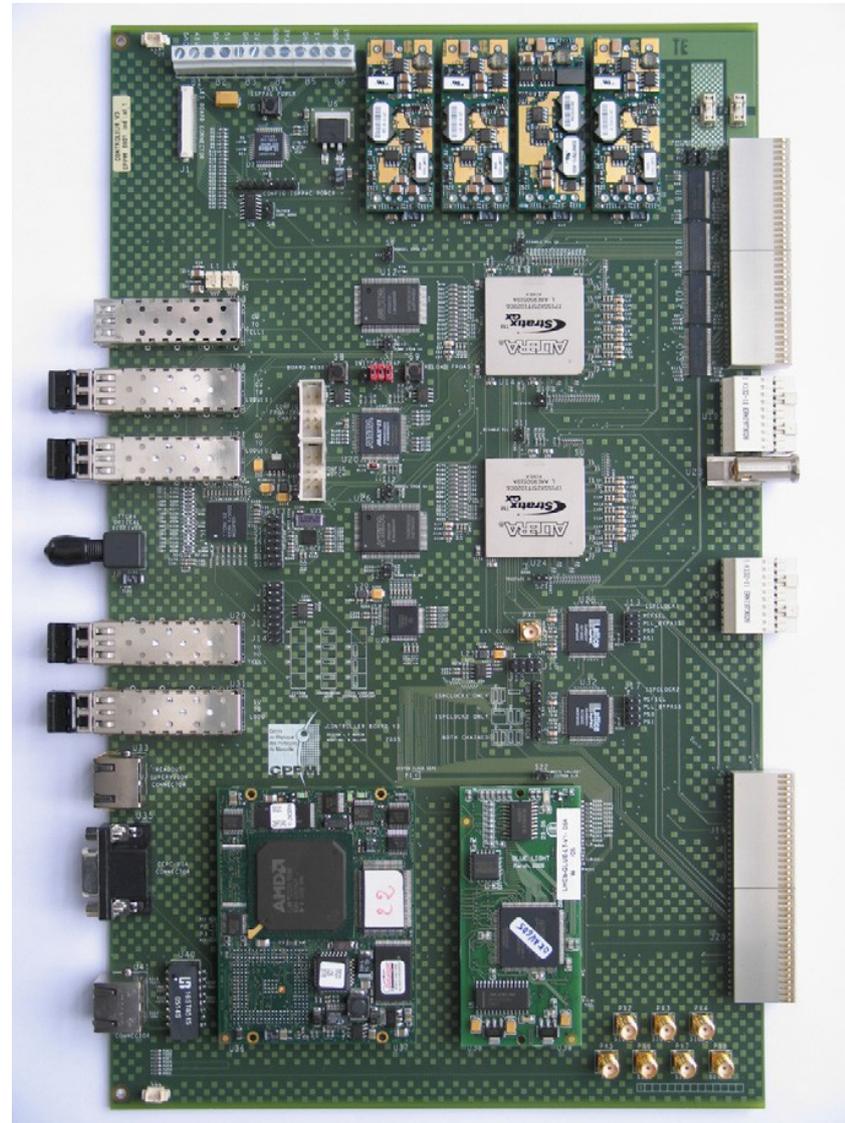
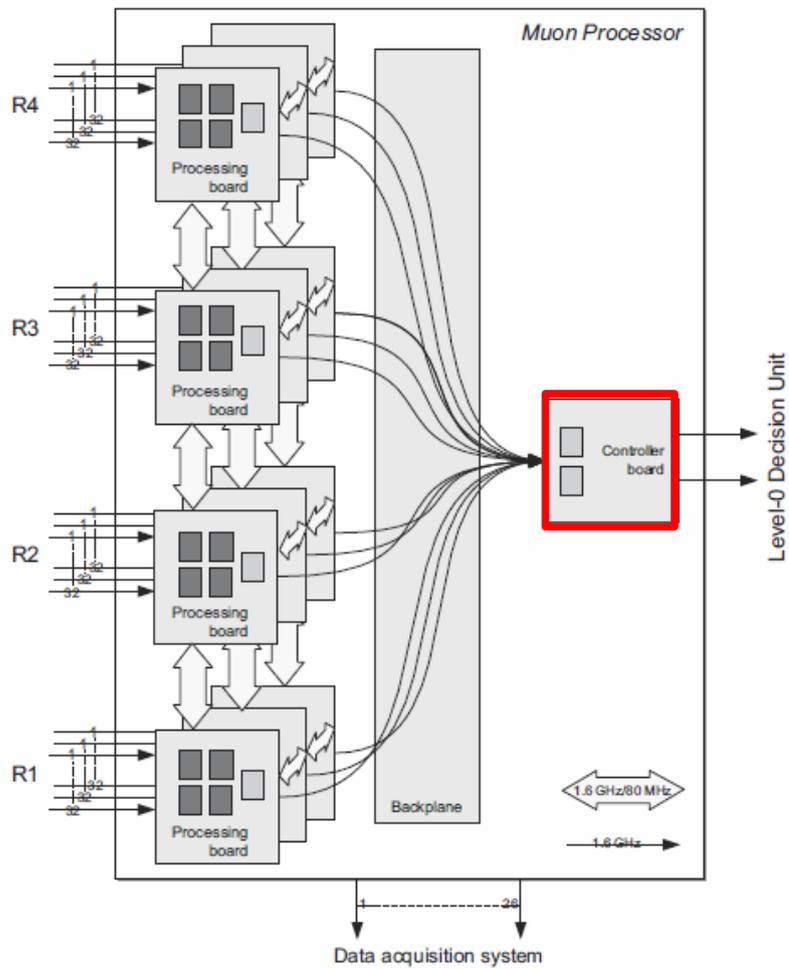
- Pour faire tourner l'algorithme un FPGA doit voir toutes les chambres d'une même zone

Déroulement de l'algorithme aux frontières

- Besoin d'informations de voisinage
 - ➔ Nombreuses communications nécessaires
 - Entre FPGAs
 - Entre cartes

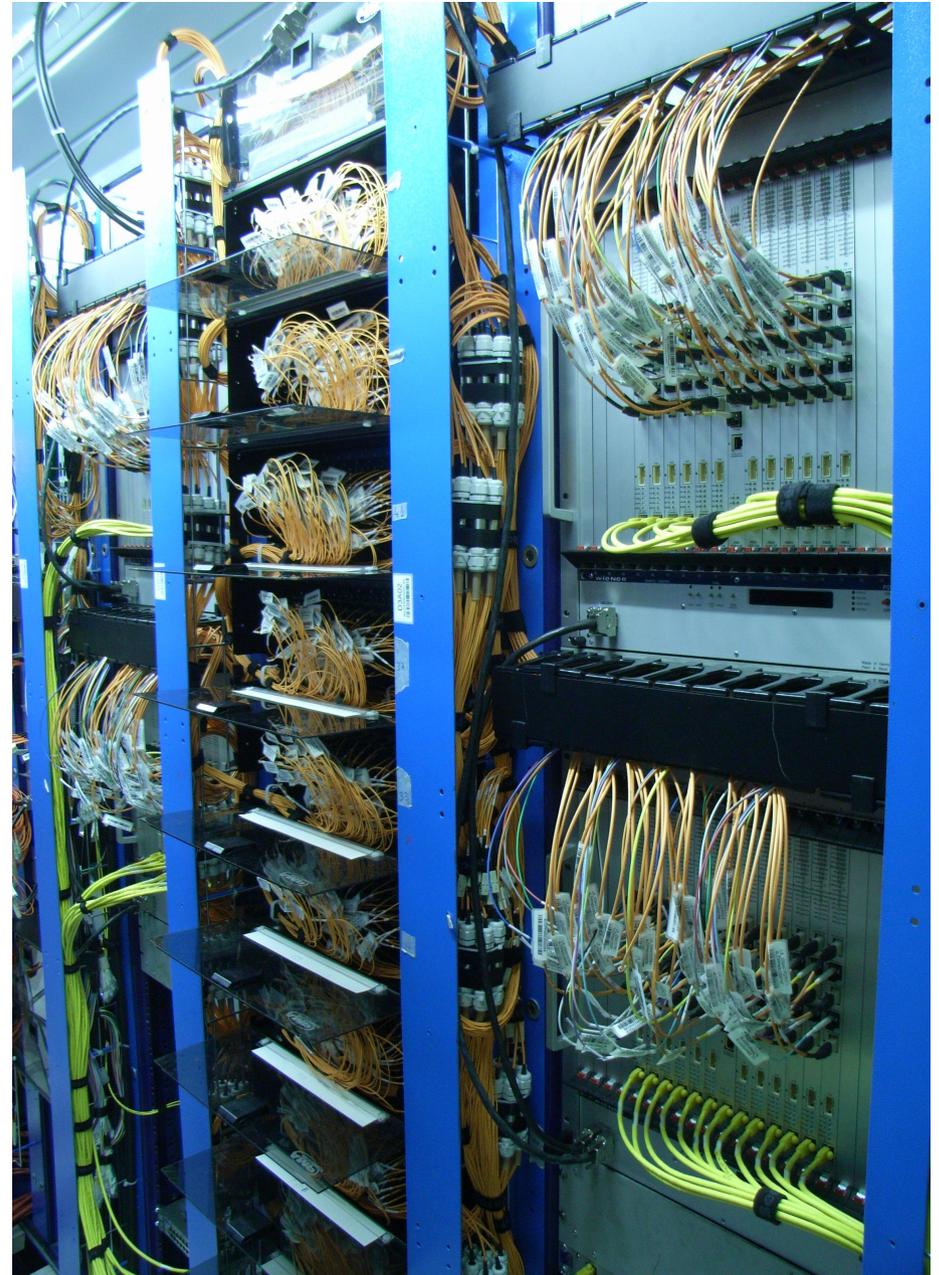


Carte de contrôle

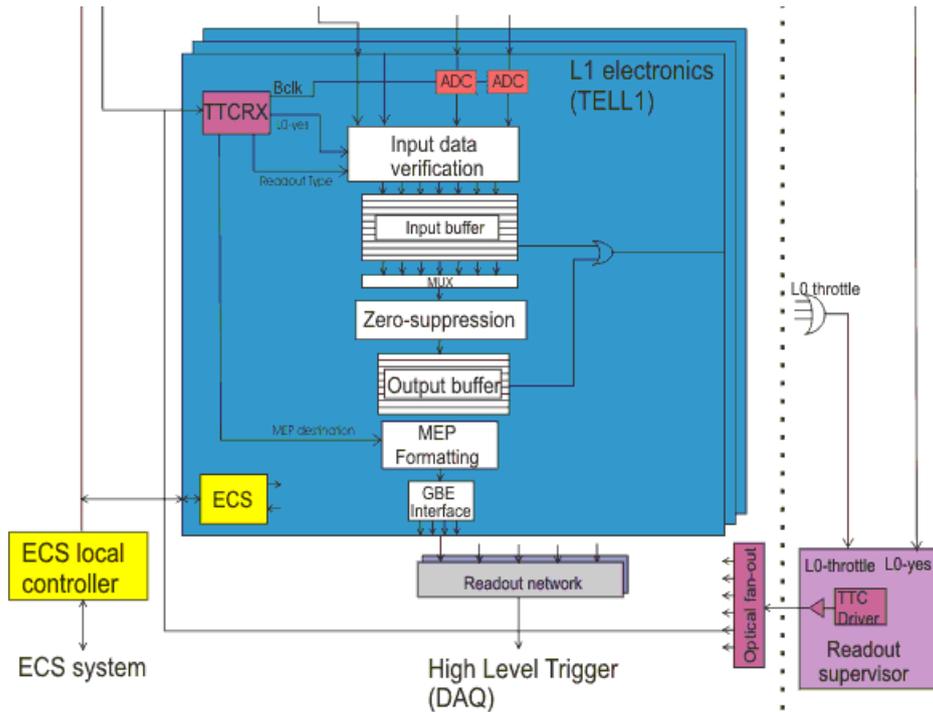


Rack trigger à muons

- Latence $1.2\mu\text{s}$
- 1248 fibres optiques @1.6Gbs en entrée
- 112 en sortie
- 52 cartes de calcul dans 4 chassis.
- 740 milliards d'algorithmes de recherche par seconde



Readout du trigger à muon



- Compression de données par algorithme RLE custom
 → Taux de réduction ~ 10

Initial 32-bits word hex	n('1's)	key	Encoded word code	length
0x00000000	=0	00	-	2
0xFFFFFFFF	=32	011	-	3
0xFFFFXXXX	=16	010	0xXXXX	19
0XXXXXXXXXX	∈[1,5]	10	<n (3b)>+<position of 1st '1' (5b)>+...+<position of nth '1' (5b)>	5+5*n
0XXXXXXXXXX	>5	11	0XXXXXXXXXX	34

- Optimisation du payload Ethernet par concaténation des événements dans des « multi-events packets »
- Envoi vers les fermes

Evolution du détecteur : l'upgrade

LHCb Upgrade

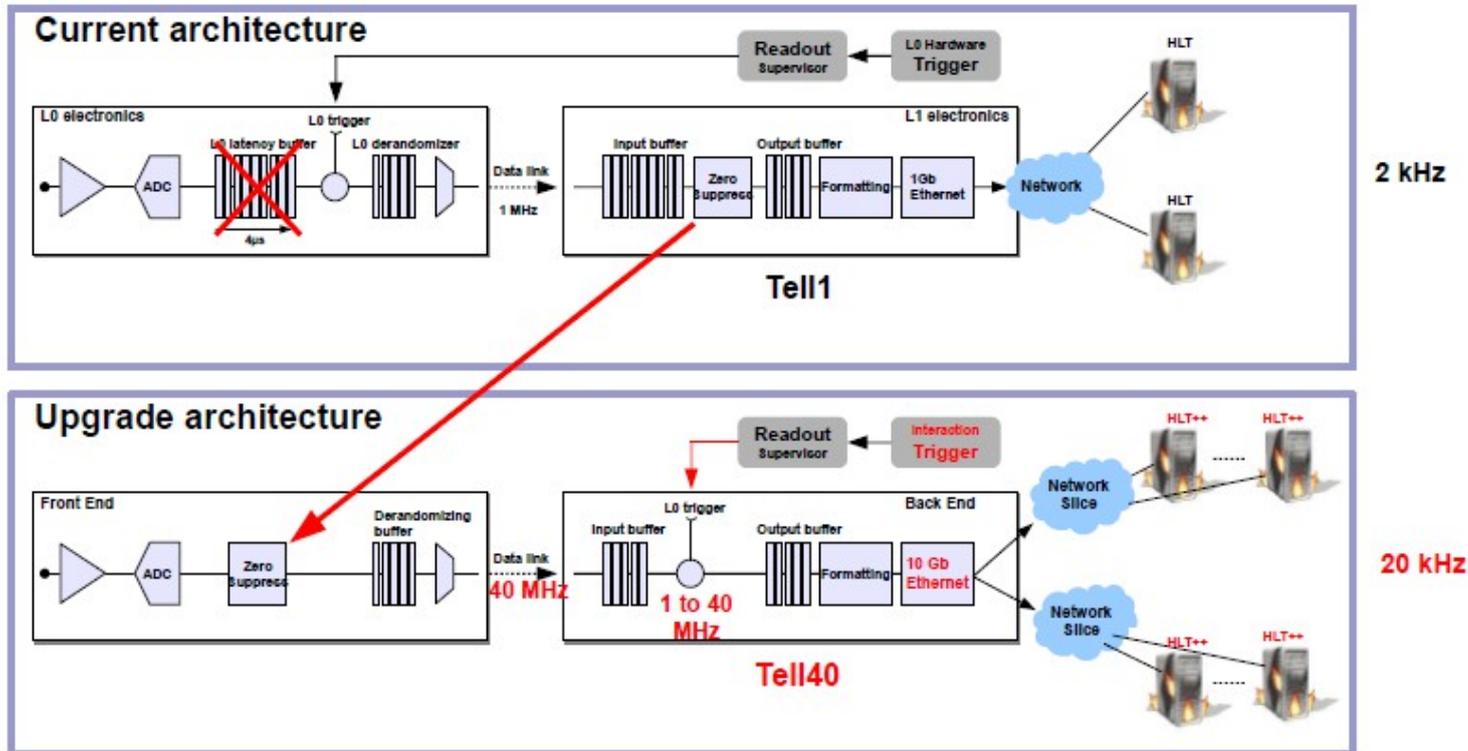
Motivation

- Le système courant peut parvenir à une luminosité cumulée d'environ 5 fb^{-1} dans les 5 ans à venir
- Au delà la précision statistiques des mesures varie très lentement

Le but de l'upgrade est d'augmenter significativement la statistique :

- En augmentant la luminosité de 2×10^{32} à $10^{33} \text{ cm}^{-2}\text{s}^{-1}$
 - Parvenir à une luminosité cumulée supérieure à 50 fb^{-1}
- Améliorer l'efficacité du trigger sur les canaux hadroniques

LHCb readout upgrade

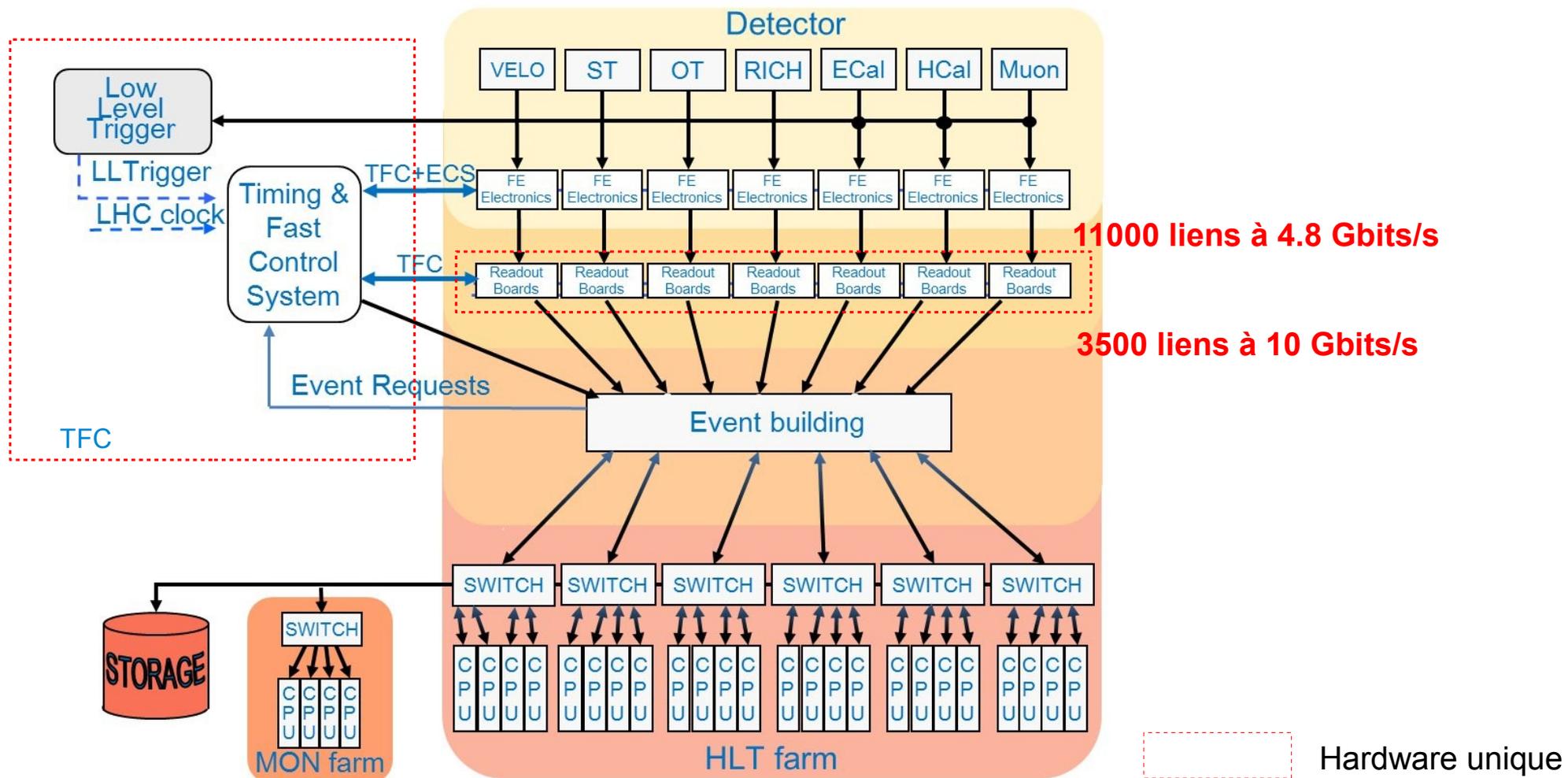


Migration vers une architecture sans trigger hardware

- Fonction trigger réalisée dans la ferme
 - ➔ Relecture à 40 MHz au lieu de 1 MHz
- Compression dans les front-ends pour diminuer le nombre de liens optiques
- Liens à 10 Gbits/s vers les fermes

Architecture

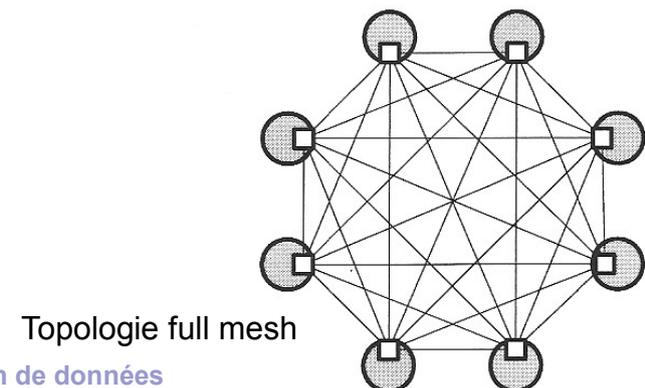
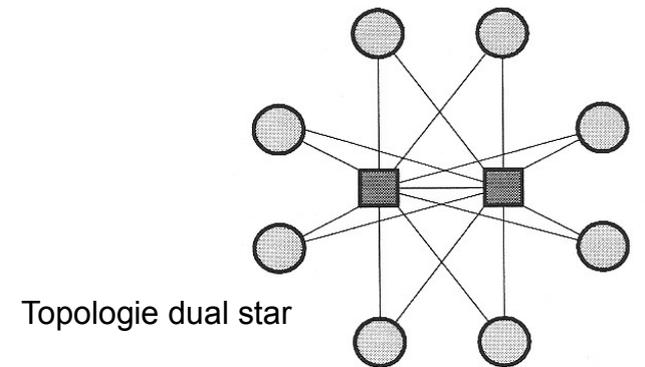
Une carte de readout commune et reconfigurable



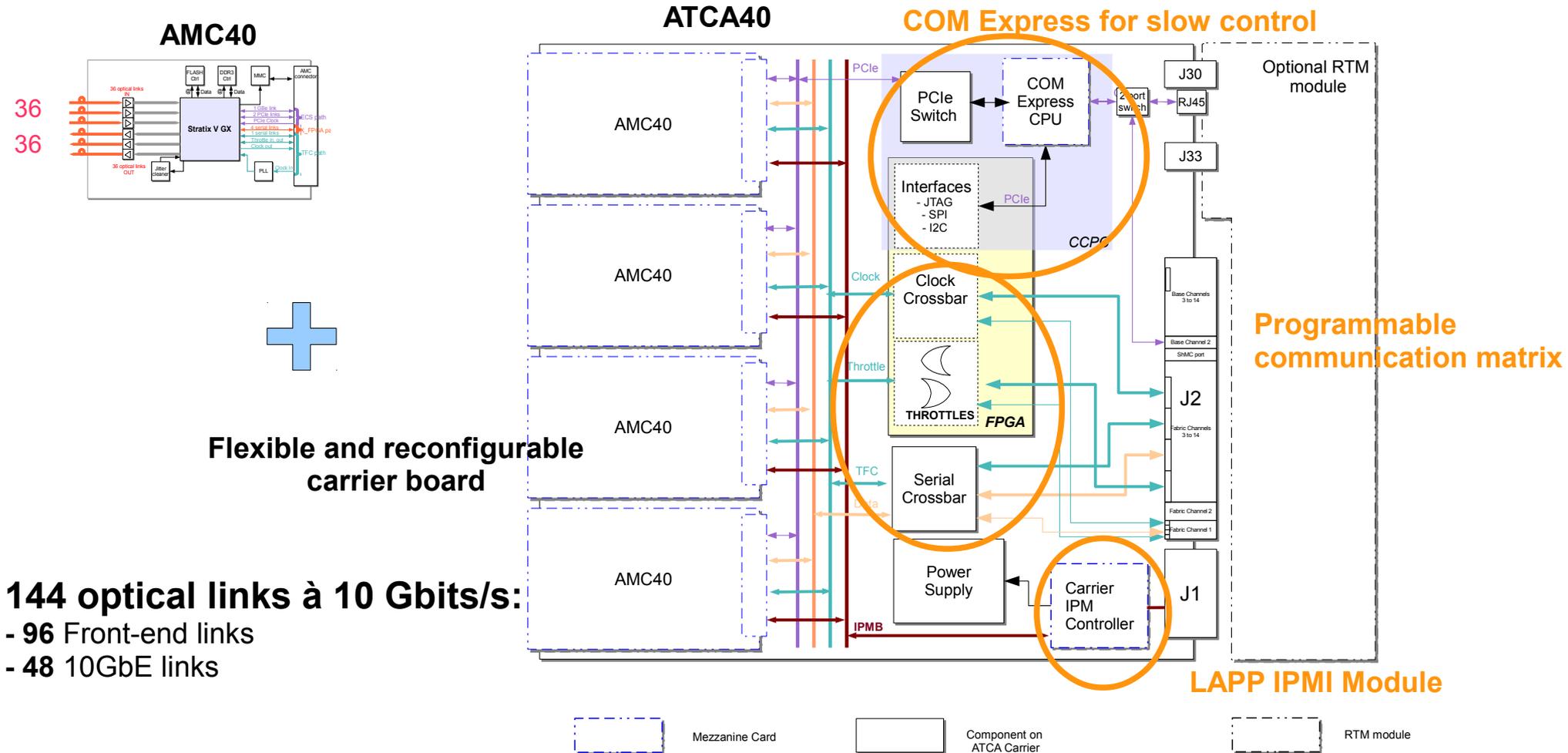
Plus de backplane custom

Utilisation du standard ATCA

- Nombreux avantages :
 - Bien adapté aux composants récents
 - Plus de place pour les radiateurs
 - Alimentation jusqu'à 3kW/crate
 - Refroidissement adapté
 - Backplane standard
 - Topologie basée sur des liens sériels
 - Mezzanines normalisées
 - Coûts similaires au VME
 - Redondance
 - Système normalisé de surveillance de l'état du système (IPMI)
- Inconvénients
 - IPMI compliqué

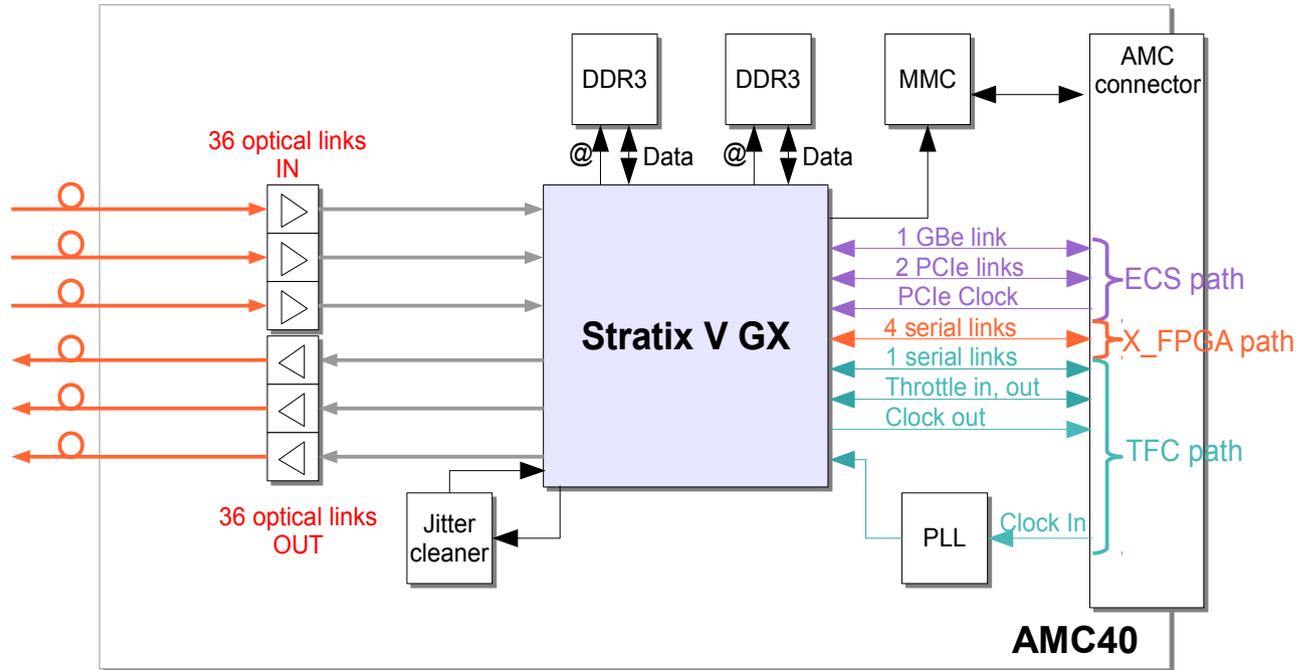


Carte de readout générique



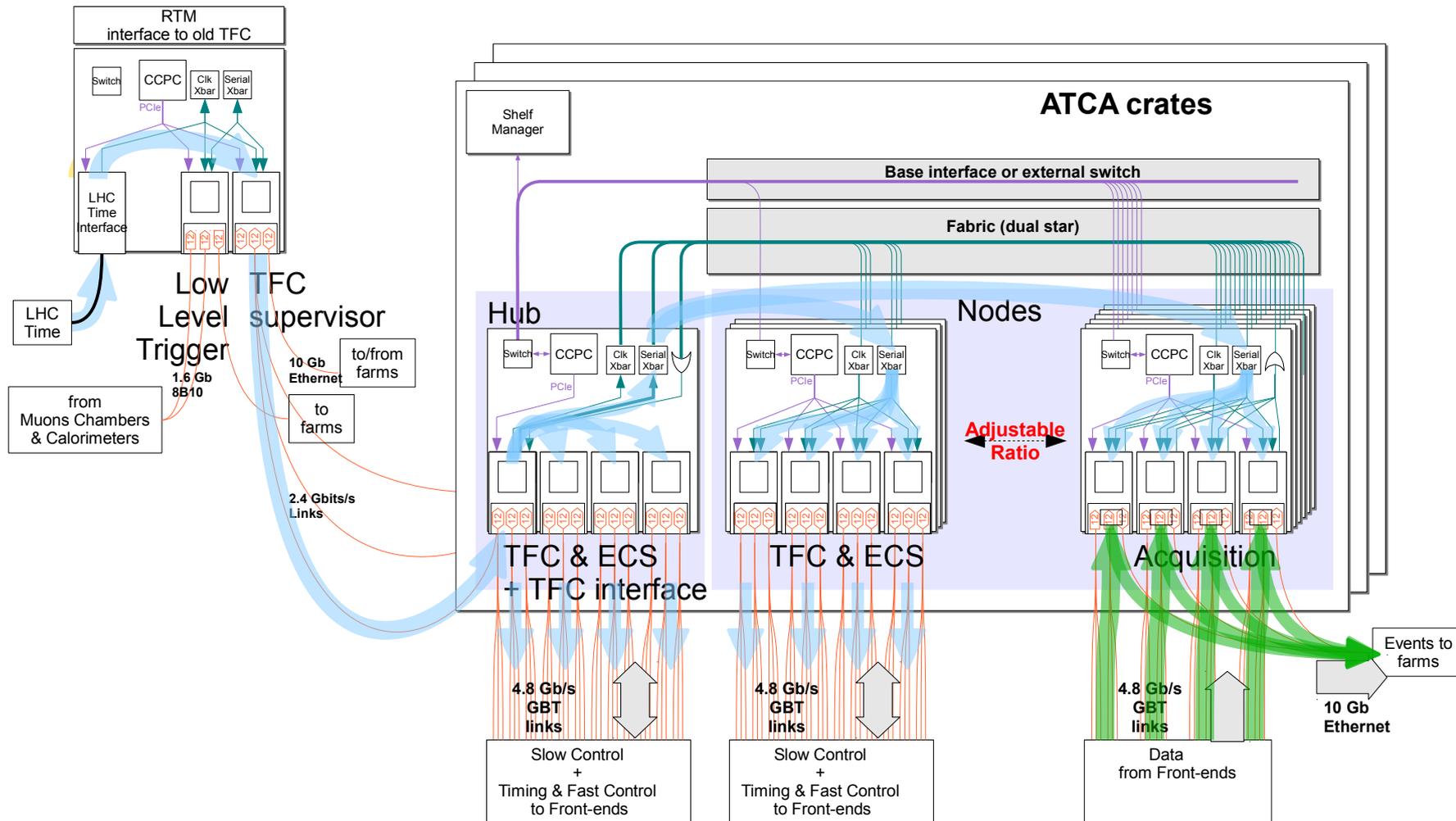
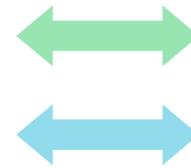
Obtention des fonctions readout, slow control, Timing and Fast Control ou Low Level Trigger interface par simple reprogrammation des FPGA et des chemins des crossbars

Carte mezzanine optique générique

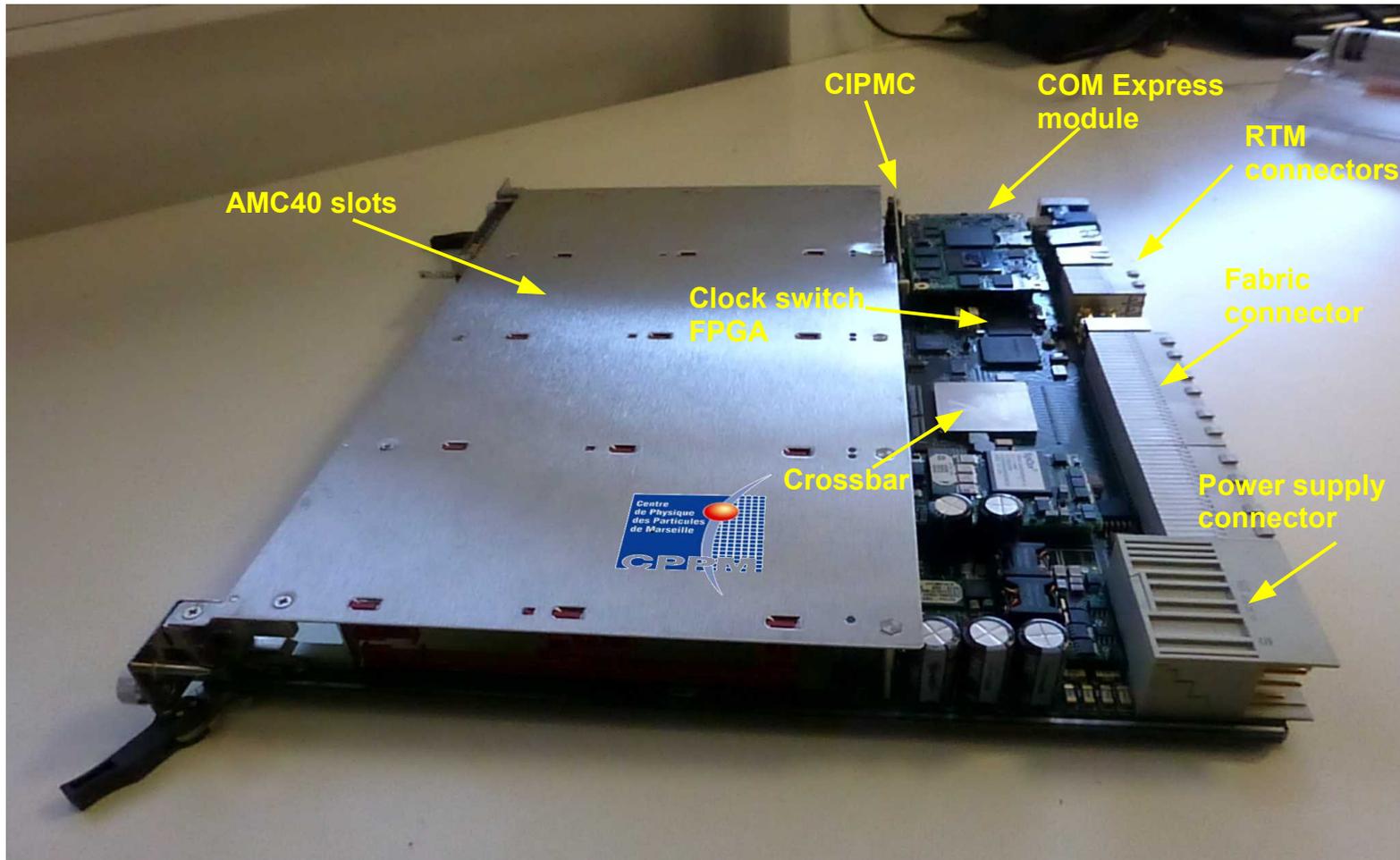


36 bidirectional optical links at up to 10 Gbits/s
622 kLE FPGA Stratix V GX: 5SGXEA7N2F45C3N

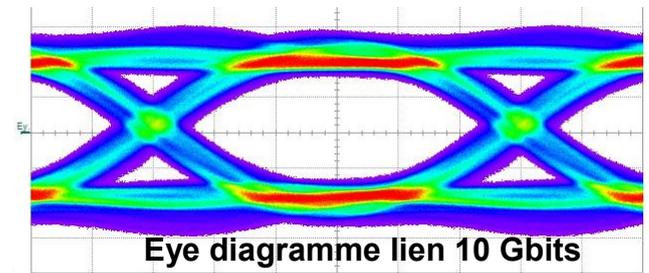
Chemins : Acquisition Timing and Fast Trigger



Carte ATCA40



Carte AMC40

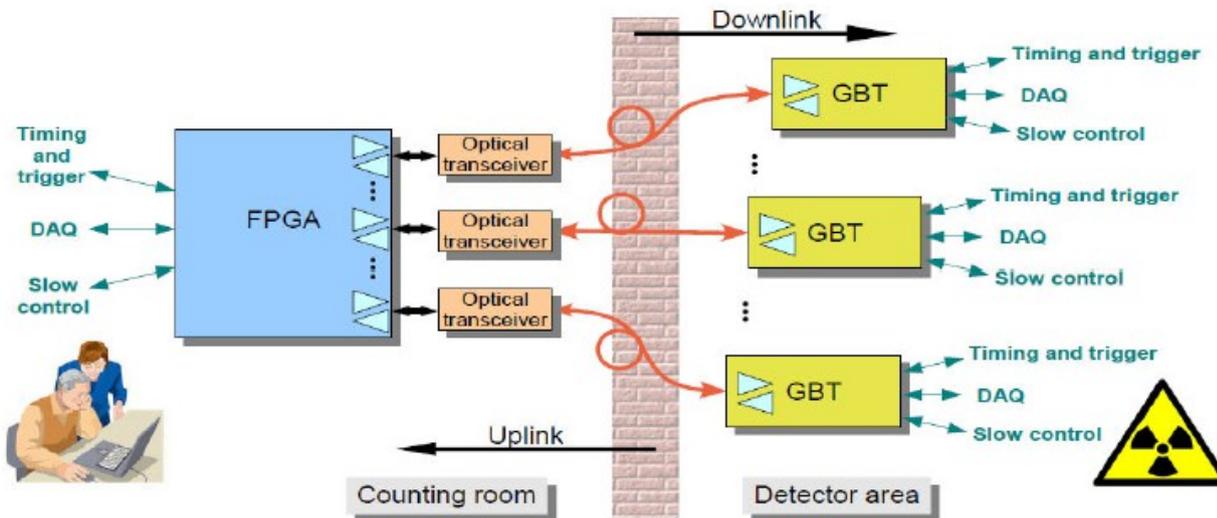


AMC40
1 Stratix V GX
36 optical inputs and
36 optical outputs at up to 10 Gbits/s
Slow control through PCIe

Simplification des liens

Utilisation d'un lien de communication unique entre front-ends et back-ends

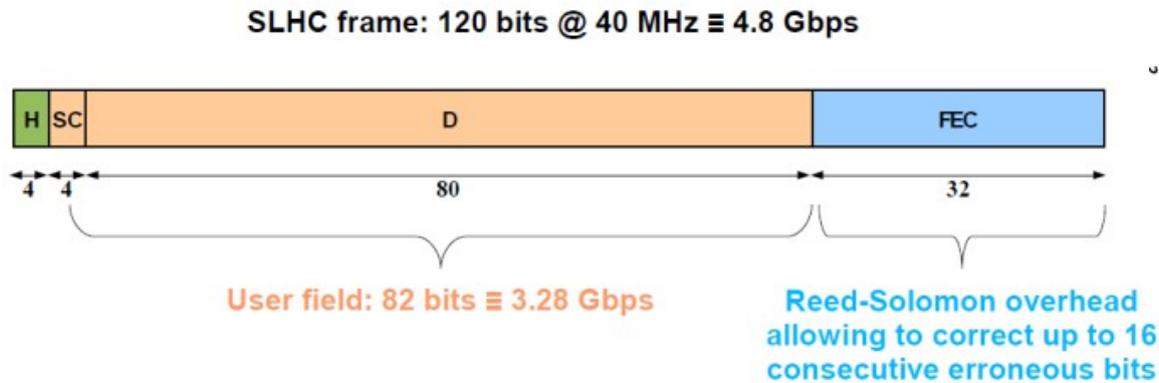
- Chip de communication durci réalisé au CERN pour l'ensemble des expériences
- Transport sur le même support :
 - des informations d'acquisition
 - de la distribution des triggers et informations temporelles
 - des informations de contrôle et monitoring



L'encodage GBT

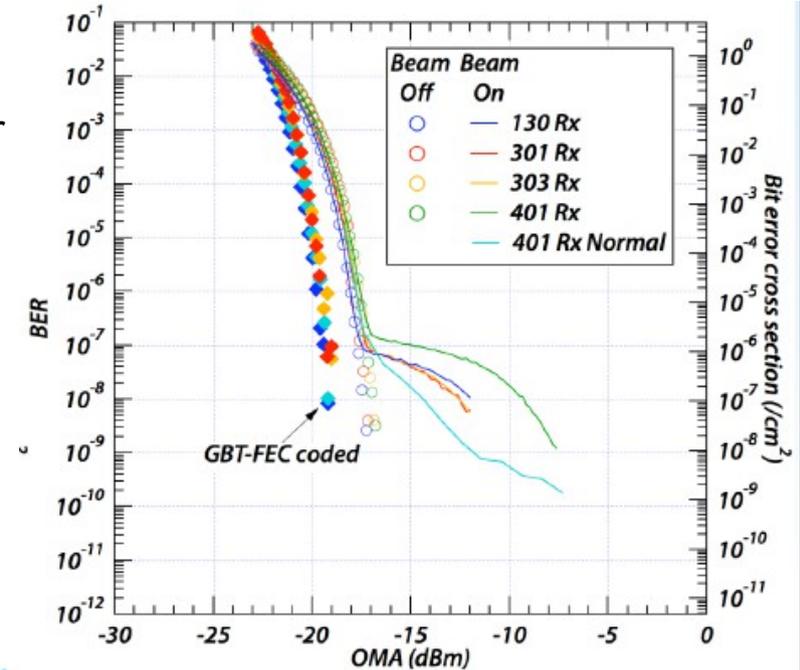
Robustesse du chip en milieu ionisé

→ Données protégées par code protecteur Solomon Reed



H: Header, 4 bits
 SC: Slow Control 4 bits
 GBT control 2 bits (80 Mb/s)
 Slow control 2 bits (80 Mb/s)
 D: Data (3.2 Gbps)
 FEC: Forward Error Correction (32 bits)

Line efficiency: 68%



Conclusion

Tendances

- Migration de plus en plus de fonctions vers les fermes de calcul
 - Loi de Moore : le temps travaille pour les gens du online
 - LHCb : le détecteur qui va pousser le plus loin ce concept
- Standards : adoption progressive du standard xTCA par les expériences
 - ATCA pour ATLAS et LHCb
 - μ TCA pour CMS
- Simplicité : lien unique pour acquisition, slow control, fast control et distribution temporelle
- Liens vers les fermes : 10 GbE envisagé mais aussi Infiniband 14 Gbits , 40 GbE, 100 GbE ...

	Event-size [kB]	Rate [kHz]	Bandwidth [Gb/s]	Year [CE]
ALICE	20000	50	8000	2019
ATLAS	4000	200	6400	2022
CMS	2000	200	3200	2022
LHCb	100	40000	32000	2019

Future DAQ in the LHC Niko Neufeld, CERN