

ANF CNRS 2019 / Ecole IN2P3 d'électronique
 "Conception optimisée de systèmes numériques"
 FIAP Paris du 18 au 22 novembre 2019

Dimanche 17 novembre : arrivée des participants ne pouvant pas venir le lundi

Lundi 18 novembre	10:15	Accueil des participants	
	10:30	Présentation de l'école et logistique	Thierry Ollivier (FP IN2P3)
	10:40 11:00	Objectifs de l'école	Daniel Charlet (LAL)
	11:00 12:30	Perspectives sur les besoins futurs des expériences vis-à-vis des frontend et backend électroniques	Emmanuel Clément (GANIL)
	12:30	Déjeuner FIAP	
	13:45 15:15	HLS : Présentation OpenCl	Maxime Martelli (CENTRALE-SUPELEC)
	15:15 16:15	HLS : Présentation des FPGA compatible avec la programmation OpenCl (Xilinx, Intel)	Maxime Martelli (CENTRALE-SUPELEC)
		café	
	16:45 18:00	HLS : Présentation de cas d'étude d'accélération	Maxime Martelli (CENTRALE-SUPELEC)
	18:00	Apéritif de bienvenue	
19:30	Diner FIAP		

		Cours avec prestataire FPGA INTEL/ALTERA INTEL (Ma-Me) M. Martelli (Jeudi)	Cours avec prestataire FPGA XILINX AVNET	Cours avec prestataire ASIC numériques CADENCE	
Mardi 19 novembre	09:00 10:30	Open CL	Introduction cibles : Familles actuelles, familles à venir, SOM et autres cartes	Conformal Equivalence Checking Overview of the Conformal Product	INTEL et XILINX au FIAP CADENCE à Vélizy
		café			
	11:00 12:30	Open CL	Introduction outils : Vivado (HDL, Simulation, Debug)	Introduction to Logic Equivalence Checking	INTEL et XILINX au FIAP CADENCE à Vélizy
	12:30	Déjeuner FIAP ou Vélizy			
	14:00 15:30	Quartus Advanced Usage Best practice & Reducing compil. Time	TP sur FPGA concernant les aspects précédents	LEC Flow: Setup Mode	INTEL et XILINX au FIAP CADENCE à Vélizy
		café			
	16:00 17:30	Product update (PSG ..)	TP gestion des IP's	LEC Flow: LEC Mode	INTEL et XILINX au FIAP CADENCE à Vélizy
19:30	Diner FIAP				

Mercredi 20 novembre	09:00 10:30	HLS (Introduction + LAB)	SOC : Introduction, architecture	Hierarchical Comparison of Designs	INTEL et XILINX au FIAP CADENCE à Vélizy
		café			
	11:00 12:30	HLS (Introduction + LAB)	TP SOC	Debugging the Setup of a Design	INTEL et XILINX au FIAP CADENCE à Vélizy
	12:30	Déjeuner FIAP ou Vélizy			
	14:00 15:30	HLS Advances (+ LAB)	MPSOC : Introduction, architecture, valeur ajoutée/SOC	Debugging Mapping	INTEL et XILINX au FIAP CADENCE à Vélizy
		café			
16:00 17:30	HLS Advances (+ LAB)	Multi Gigabit Transceivers : Statut, Evolution ...	Debugging Nonequivalences Debugging Aborts	INTEL et XILINX au FIAP CADENCE à Vélizy	
19:30	Diner FIAP				

Jeudi 21 novembre	09:00 10:30	Méthodologie d'accélération (tirer parti de la programmation OpenCL)	RFSOC : Introduction, architecture	Conformal Constraint Designer : Intro to the Constraint Designer Software	INTEL et XILINX au FIAP CADENCE à Vélizy
		café			
	11:00 12:30	Prise en main de la carte DE1-SoC et des outils	HLS dans Vivado – C (C++) pour FPGA - TP	SDC Generation	INTEL et XILINX au FIAP CADENCE à Vélizy
	12:30	Déjeuner FIAP ou Vélizy			
	14:00 15:30	Outils de profilage/debug et application sur la carte DE1-SoC	Implémentation de réseaux neuronaux sur cible Xilinx - Demo	SDC Lint Checks SDC Policy Checks	INTEL et XILINX au FIAP CADENCE à Vélizy
		café			
16:00 17:30	Mesure de performances & comparaison différentes	Perspectives: ACAP Versal ...	Clock Domain Crossing	INTEL et XILINX au FIAP CADENCE à Vélizy	
19:30	Repas de l'école dans un restaurant parisien				

Vendredi 22 novembre	09:00 10:30	Retour d'expérience et domaine d'application du HLS			Marc Schmitz (ST Microelectronics)
		café			
	11:00 12:30	Méthodologie de verification des design HLS et leur testabilité			Marc Schmitz (ST Microelectronics)
	12:30	Déjeuner FIAP servi à table			
	14:00 14:45	Présentation de DAQGEN			Jean-Pierre Cachemiche (CPPM)
	14:45 15:15	Retours des 3 sous-groupes			Tous
	15:15 15:30	Bilan de l'école et conclusions			Tous
	15:30	Départ des participants			