

Retour d'expérience

CADENCE « FPGA System Planner (FSP) »

ECOLE D'ELECTRONIQUE NUMERIQUE

Aussois 20-24 juin 2016

Retour d'expérience

CADENCE « FPGA System Planner (FSP) »

- Introduction
- Aide mémoire “dans FSP”
- Aide mémoire “dans projmgr”
- aide mémoire "dans Concept"
- Conclusion

Retour d'expérience

CADENCE « FPGA System Planner (FSP) »

Introduction

- Les composants que j'implémente dans FSP :
 - Le(s) FPGA
 - Les capas de découplage d'alim
- Les composants que j'implémente dans Concept :
 - Les mémoires de programmation
 - Les résistances (pull-up, pull-down et terminaison)
 - Les connecteurs
 - Les drivers
 - ...

Retour d'expérience

CADENCE « FPGA System Planner (FSP) »

Dans FSP

dans FSP

[SPB166 Carte_Regionale_V5]\$ fpgasysplanner

"clic droit sur FPGA" ->[Update Instance FootPrint...]

[Design Connectivity Window]->[Net View]->[Power Pins]

[Tools]->[Decoupling Capacitors...]

Select a power signal

[+Add]

"Library:Cell:View" [...]

[Design Connectivity Window]->[Net View]

"clic droit sur "interface name=xxx"->[Edit VI...]

[Save]

[Validate]

[OK]

[Design]->[Delete all nets...]

[Design]->[Run Design...]

[Generate]->[Symbols...]

[Generate]->[Schematics...]

Retour d'expérience

CADENCE « FPGA System Planner (FSP) »

Dans FSP

The screenshot displays the Allegro 4 FPGA System Planner (FSP) interface. The main canvas shows a complex power connection diagram with various regulators and their connections. The 'Power Connections' window is open, showing a table of regulator settings:

Regulator Name	Voltage	U7 [5ceba7f31]	U8 [5ceba7f31]
GND	0	0	0
VCC2_5V	2.5	2.5	2.5
VCC1_2Va	1.2		
VCC1_0V	1		
VCC2_5a	2.5	VCCA_AUX, VCCA_FPLL	
VCC1_2Vb	1.2		
VCC2_5b	2.5		VCCA_AUX, VCCA_FPLL
VCC1_1a	1.1	1.1	
VCC1_1b	1.1		1.1
VCC3_3V	3.3	VCCPGM	VCCPGM
VCC1_5Va	1.5	1.5	
VCC1_5Vb	1.5		1.5

The 'Messages' window shows a synthesis failure report:

```

The following device instance banks are connected to JTAG or PROM chain nets.
Bank Name      VCC0(v)  Vref(v)  VCCPD(v)
-----
U8_3A          2.5      -        2.5
U8_9A          2.5      -        2.5
U7_9A          2.5      -        2.5
U7_3A          2.5      -        2.5

I/O DRC checks are not performed on JTAG and PROM connections. Check the I/O
The auto power mapping feature is not supported for the power pins of a bank.
Design loaded successfully.
Registering preset view Synthesis Failure Pins...
Registering preset view Externs and Interns...
Registering preset view Power Pins...
Registering preset view Pins With Terminations...
Registering preset view Clock Nets...
Registering preset view High Speed Signals...
Successfully loaded 6 preset filter views.
    
```

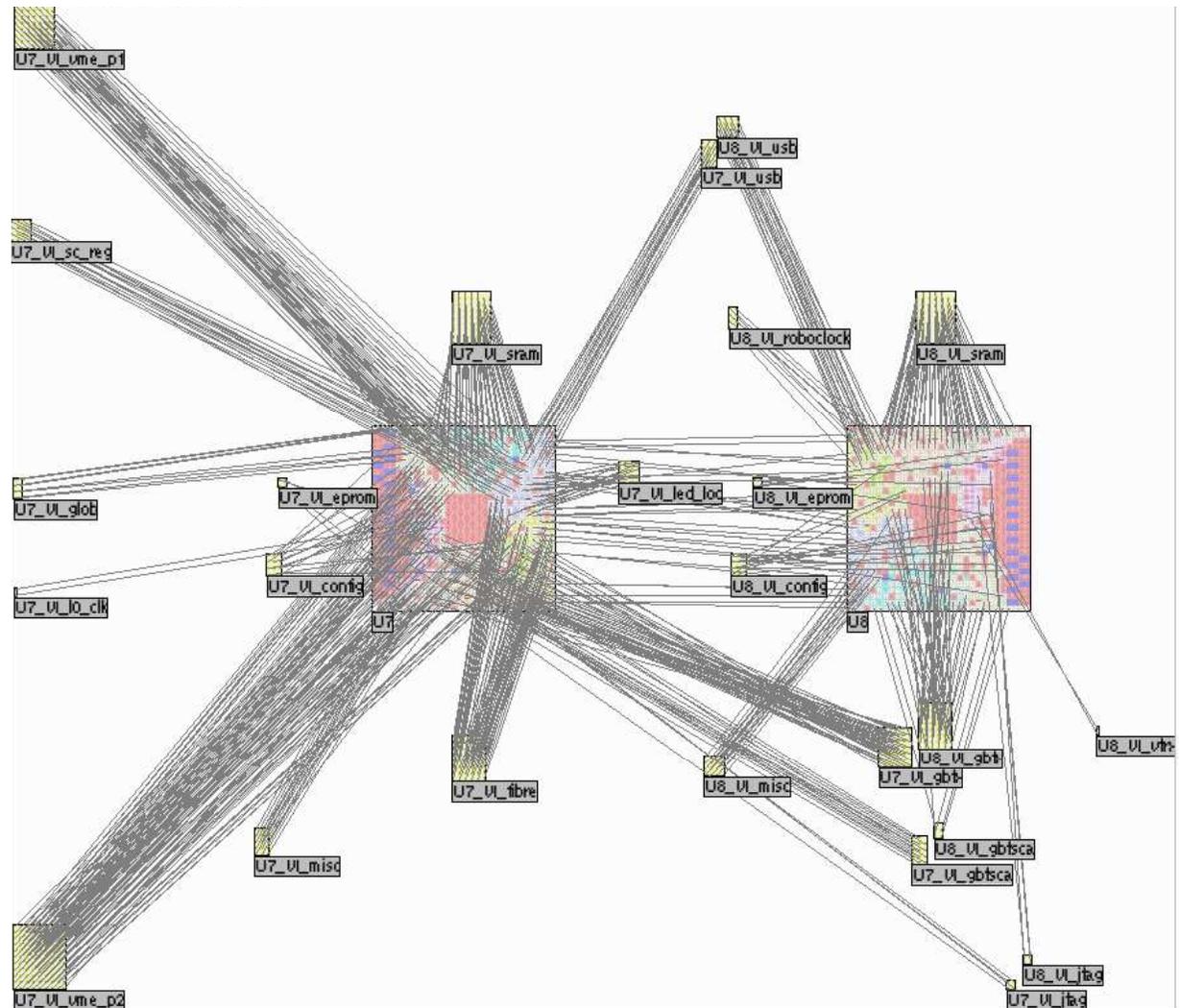
The 'Design Connectivity Window' shows a tree view of the design hierarchy, including device instances and their connections.

Retour d'expérience

CADENCE « FPGA System Planner (FSP) »

Dans FSP

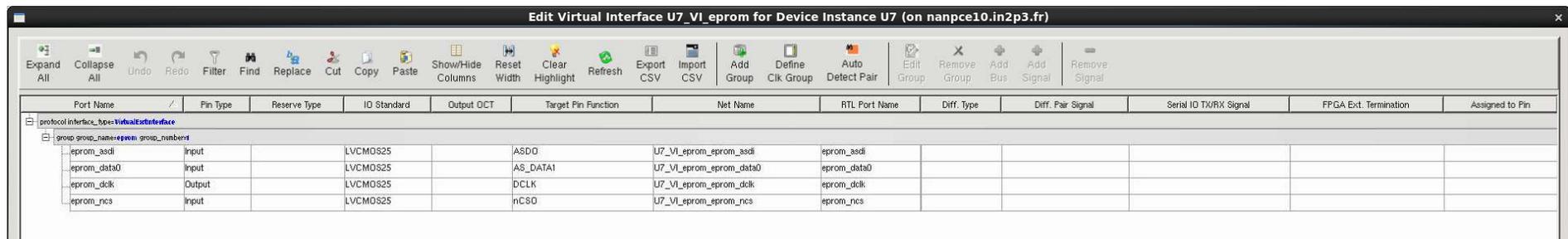
- Tous les composants en « Virtual Interface »
- Placement aussi proche que possible que dans Allegro



Retour d'expérience

CADENCE « FPGA System Planner (FSP) »

Dans FSP



Port Name	Pin Type	Reserve Type	IO Standard	Output DCT	Target Pin Function	Net Name	RTL Port Name	Diff. Type	Diff. Pair Signal	Serial ID TX/RX Signal	FPGA Ext. Termination	Assigned to Pin
protocol interface_type=VirtualExternalInterface												
group group_name=eprom group_number=1												
eprom_asdi	Input		LVC MOS25		ASD0	U7_VI_eprom_eprom_asdi	eprom_asdi					
eprom_data0	Input		LVC MOS25		AS_DATA1	U7_VI_eprom_eprom_data0	eprom_data0					
eprom_dclk	Output		LVC MOS25		DCLK	U7_VI_eprom_eprom_dclk	eprom_dclk					
eprom_ncs	Input		LVC MOS25		nCS0	U7_VI_eprom_eprom_ncs	eprom_ncs					

➤ Renseigner la colonne « Target Pin Function » pour les I/O spécifiques

Retour d'expérience

CADENCE « FPGA System Planner (FSP) »

Dans projmgr

dans projmgr

```
//[SPB166 Carte_Regionale_V5]$ projmgr
```

```
[Setup]->[Tools]->[PCB Editor]->[Path]->Library]
```

```
PSMPATH /CAO/cds/SPB166/tools/fsp/samples/dra/
```

```
PADPATH /CAO/cds/SPB166/tools/fsp/samples/dra/
```

```
[Setup]->[cds.lib]
```

```
DEFINE fsp_reg_v5_lib ../fsp/fsp_reg_v5/output/dehdl/fsp_reg_v5_lib
```

```
DEFINE fsp_fe_lib ../fsp/fsp_reg_v5/output/dehdl/fsp_fe_lib
```

```
[Setup]->[Available Libraries]
```

```
"fsp_reg_v5_lib"->[Add]
```

```
"fsp_fe_lib"->[Add]
```

Retour d'expérience

CADENCE « FPGA System Planner (FSP) »

Dans Concept

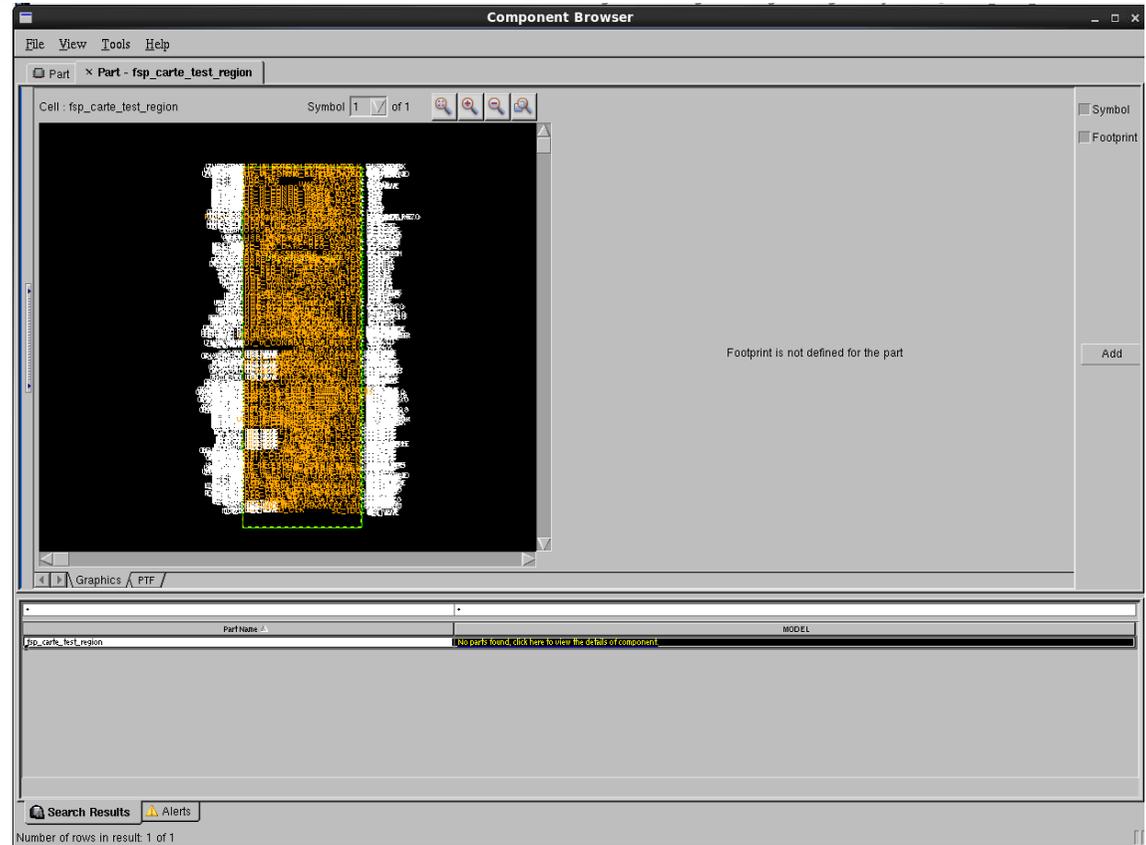
dans Concept

[Component]->[Add]

[Library]->"fsp_reg_v5_lib"->"fsp_carte_test_region"

"No parts found,..."

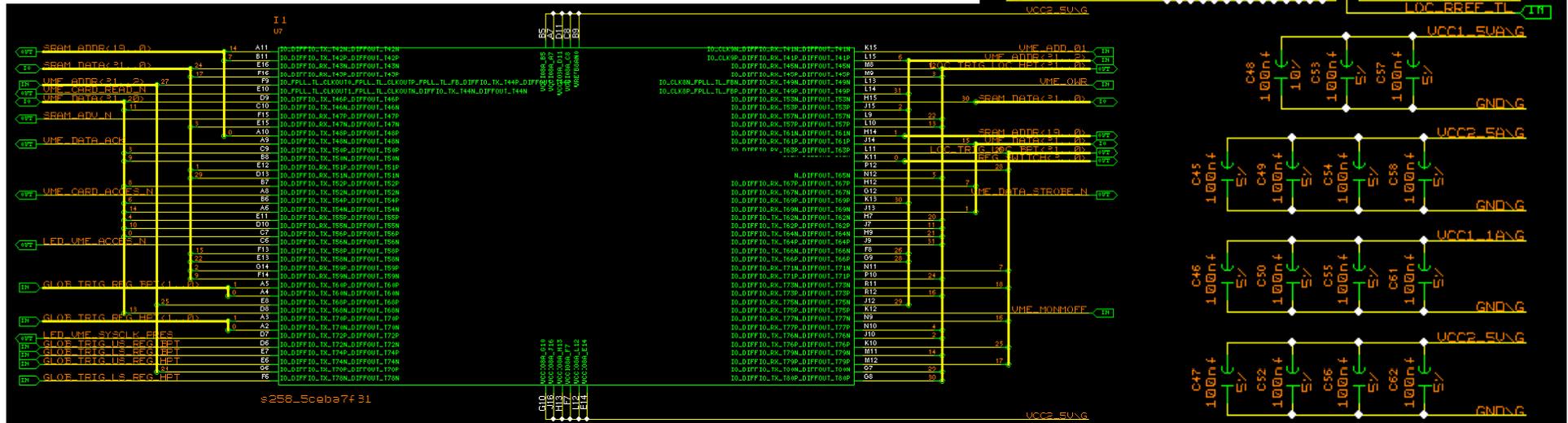
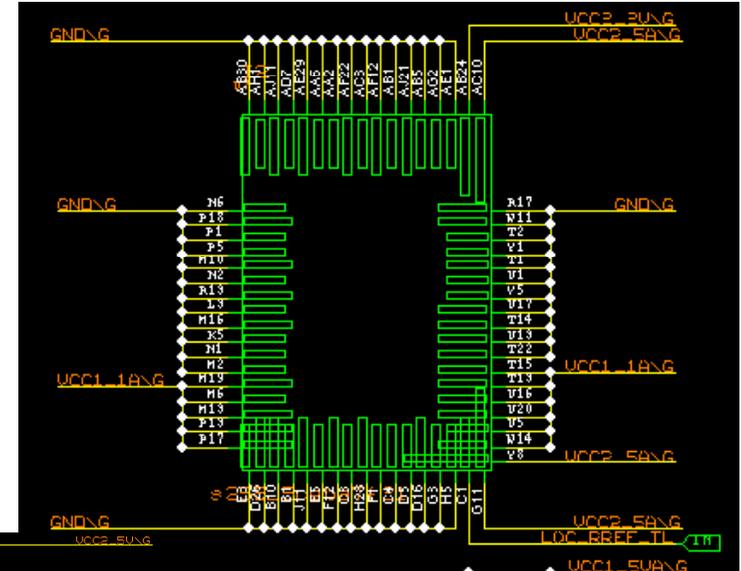
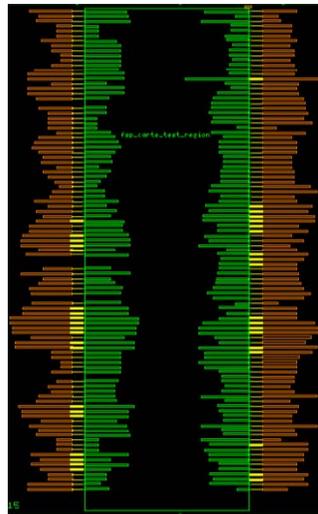
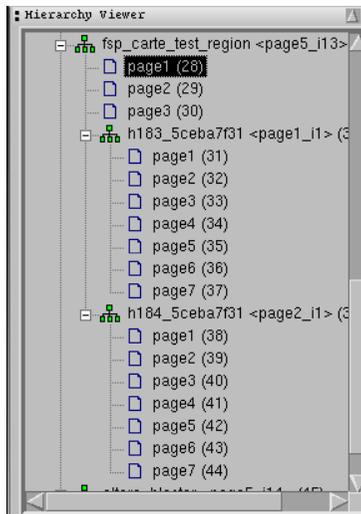
[Add]



Retour d'expérience

CADENCE « FPGA System Planner (FSP) »

Dans Concept



Retour d'expérience

CADENCE « *FPGA System Planner (FSP)* »

Conclusion

- Simple d'utilisation (avec aide mémoire)
- Hotline efficace

- Empreintes BGA pour Allegro non fournies pour GBA

N'hésitez pas à poser des questions