

# Éléments de conception avancée d'ADC à rampe D'ADC Pipe-line et de flash ADC

Rappel des trois architectures.

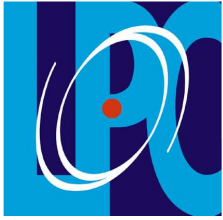
ADC à rampe: Variantes et astuces

ADC à approximation successive sans contre réaction

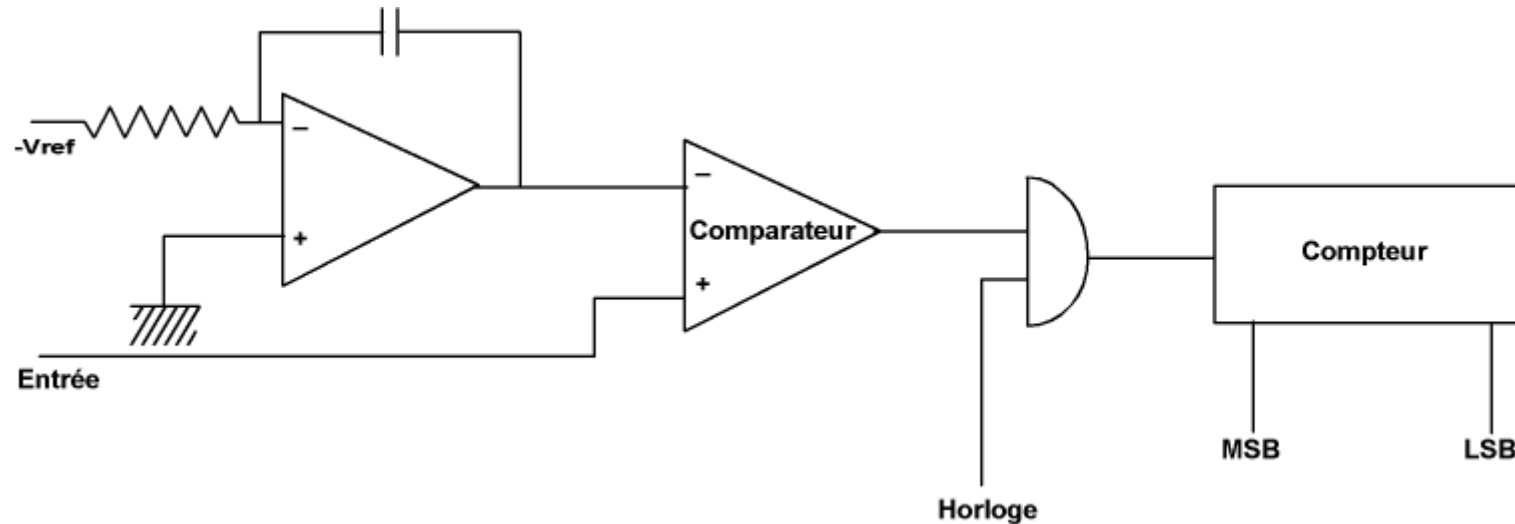
Flash ADC.

Banc de test et mesures.

G.Bohner, S.Manen, L.Royer et R. Bonnefoy



# ADC simple rampe



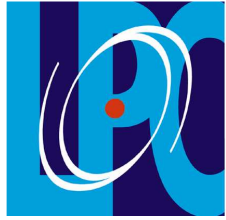
On génère une rampe, ici par intégration de la référence.

On compte à fréquence fixe depuis le départ de la rampe jusqu'à ce qu'elle atteigne la tension d'entrée.

La précision dépend de la qualité de la rampe, qui peut être très bonne.

Système simple et efficace, a tendance à être réutilisé grâce aux nouvelles technos.

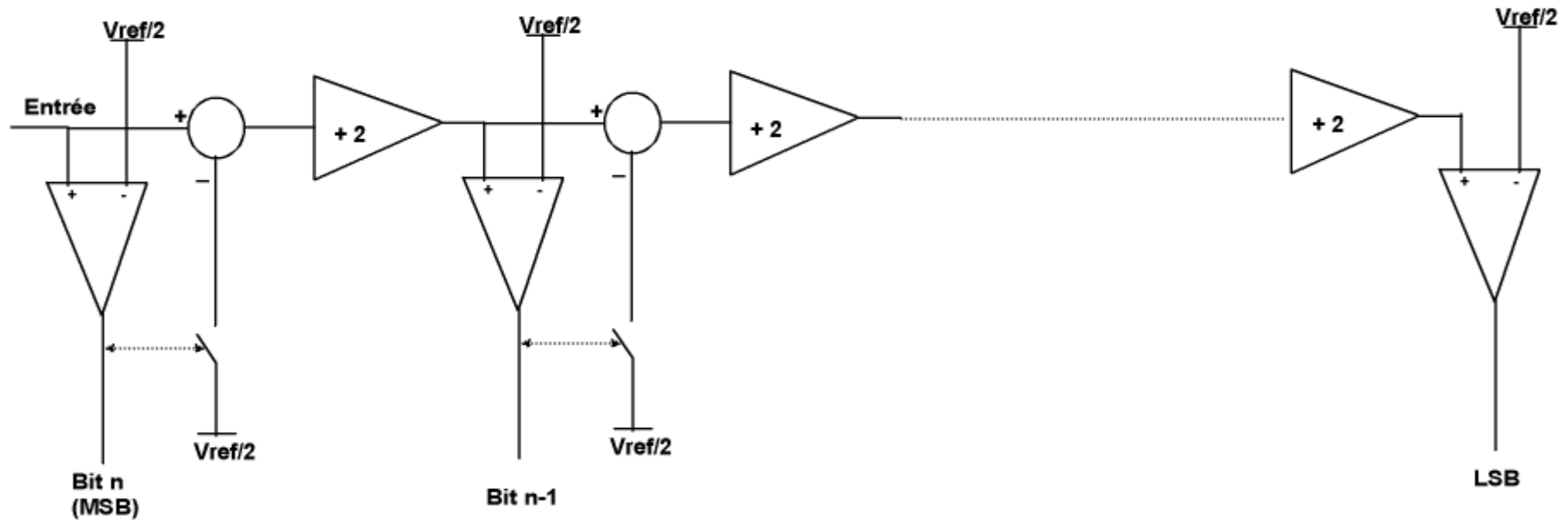




# ADC A approximations successives sans C-R (en cascade)

IN2P3

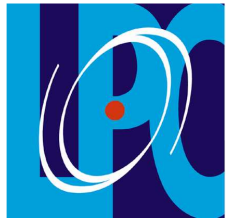
INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES



C'est un des principe de base le plus rapide. Peut être complètement asynchrone.  
La vitesse ne dépend que de la techno.

Peut être « pipe line »

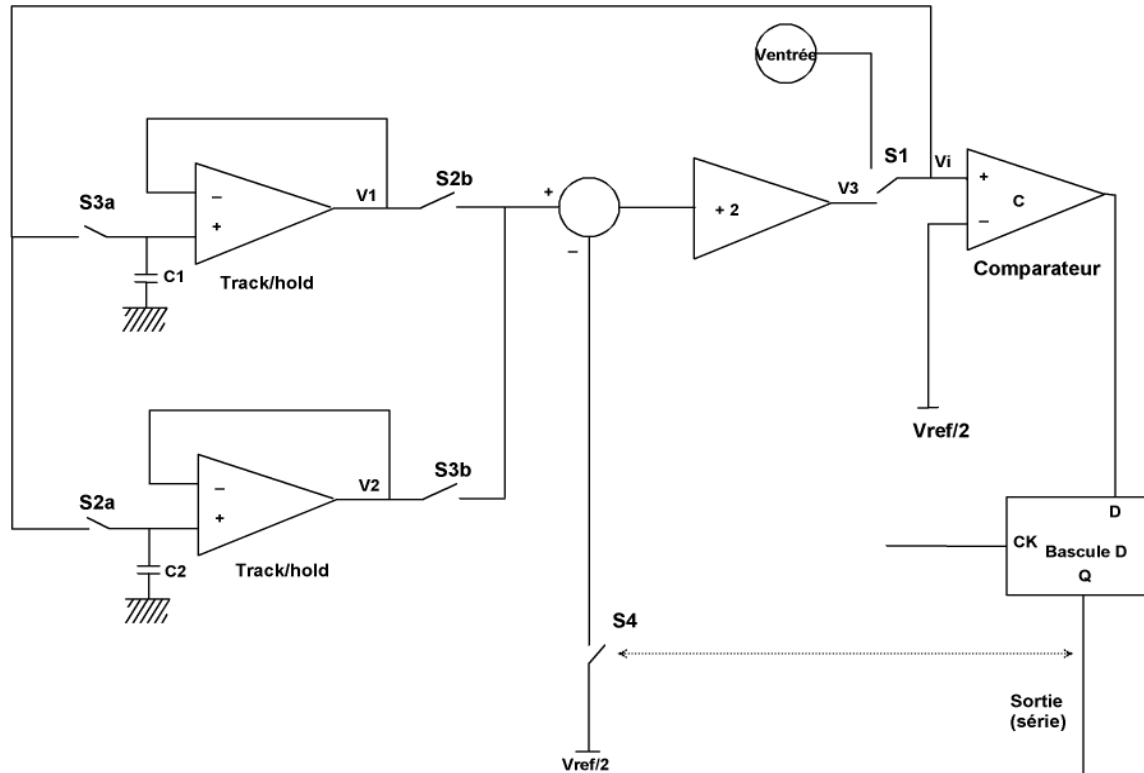
**Mais** N comparateurs à moins d'un LSB d'offset  
et N-1 amplificateurs à moins d'un LSB d'offset et moins de 2 LSB d'erreur de gain



# ADC à Approximation successive sans C-R cyclique

IN2P3

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES



Fonctionnement:

S1 est fermé sur l'entrée, S2a fermé.  
Par S1 l'entrée est comparée à  $V_{ref}/2$   
Et le MSB sort.  
Par S2a l'entrée est mémorisée dans C2  
Par S4  $V_{ref}/2$  est fermé si MSB=1

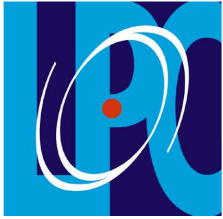
S1 est ensuite fermé sur V3 pour toute  
La suite de la conversion.

On ferme les S3's:

Par S3b l'entrée, mémorisée dans c2  
Est transmise au soustracteur, le  
Résultat, multiplié par 2 est comparé  
À  $V_{ref}/2$ , le bit suivant sort.  
S4 est fermé si Q à 1 .

On continue ensuite en fermant  
Alternativement les S2's et les S3's.

Même remarque que précédemment sur les offsets et la précision .  
Mais il n'y a qu'un seul comparateur, et un seul amplificateur, et la sortie peut se faire  
Sur un seul fils, en mode série synchrone, sans perte de temps.

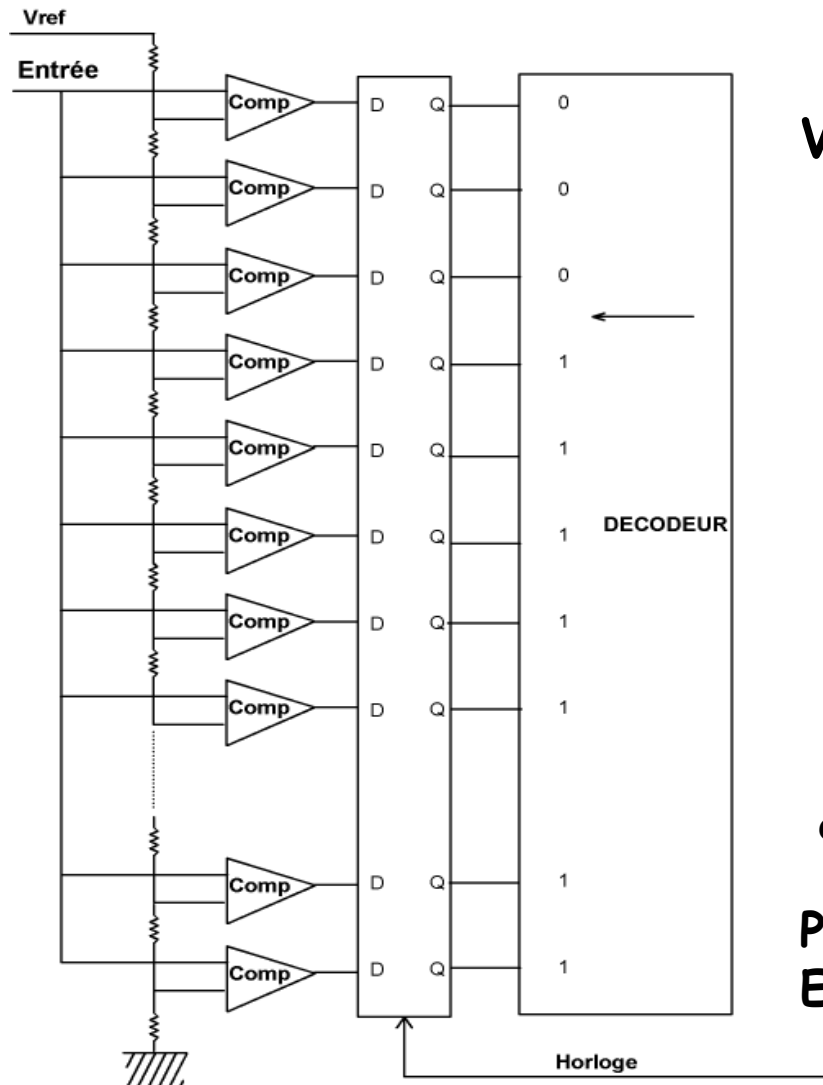


# LES ADC RAPIDES

## Structure parallèle (flash)

IN2P3

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES



Variantes, options, solutions

Track/hold digital.

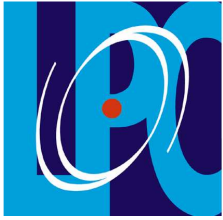
Asservissement de la référence

Multiples points d'accès à la chaîne de résistances pour réglages externes.

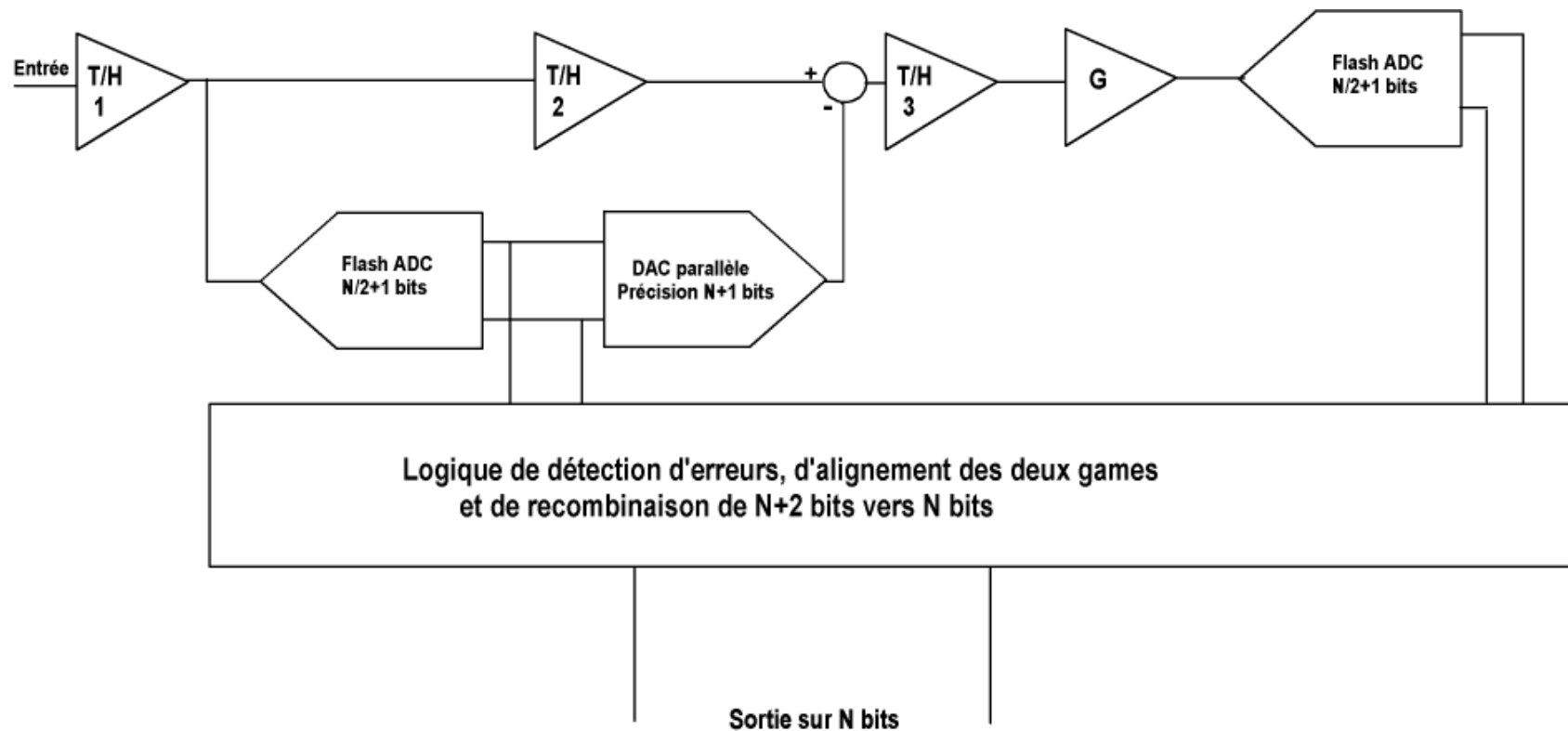
Amplificateur d'entrée intégré.

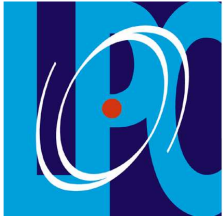
Si le nombre de bit augmente, le nombre de comparateurs devient vite prohibitif.

Pour 14 bits il faut 16383 comparateurs  
Et un décodage 16383 vers 14 !!!



# LA FAMILLE FLASH: le demi

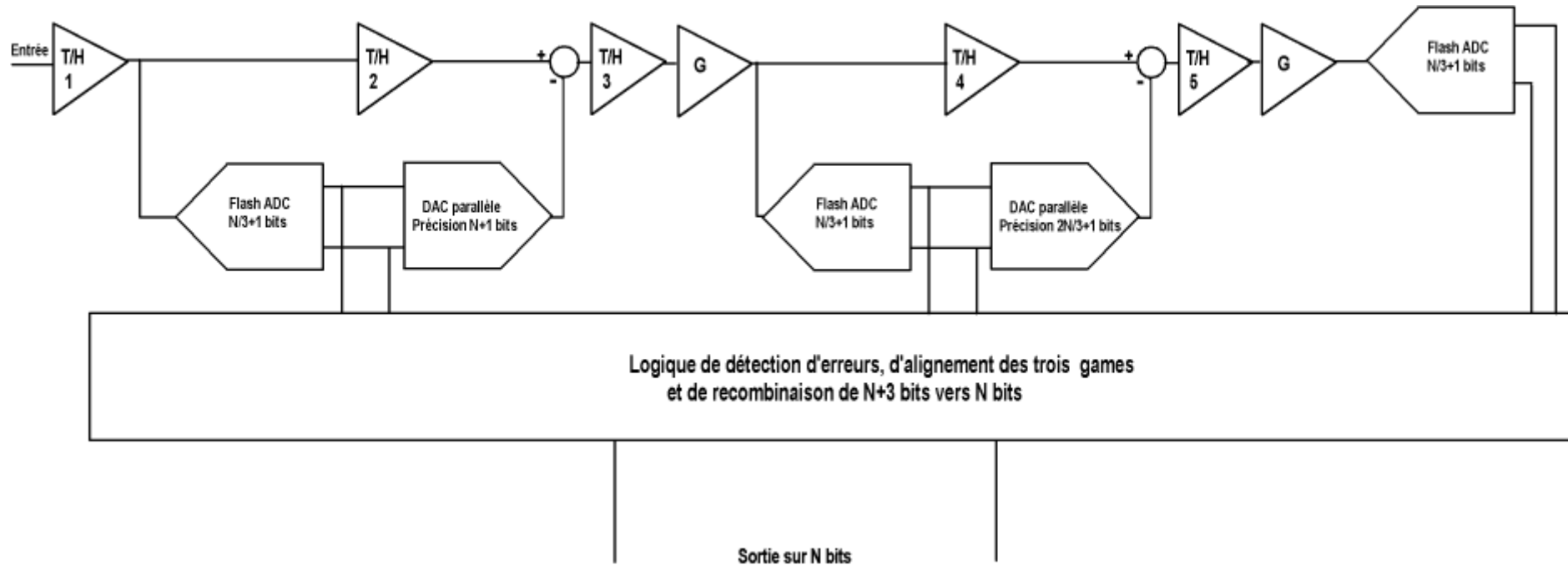




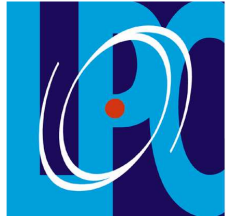
# LA FAMILLE FLASH: le tiers

**IN2P3**

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES



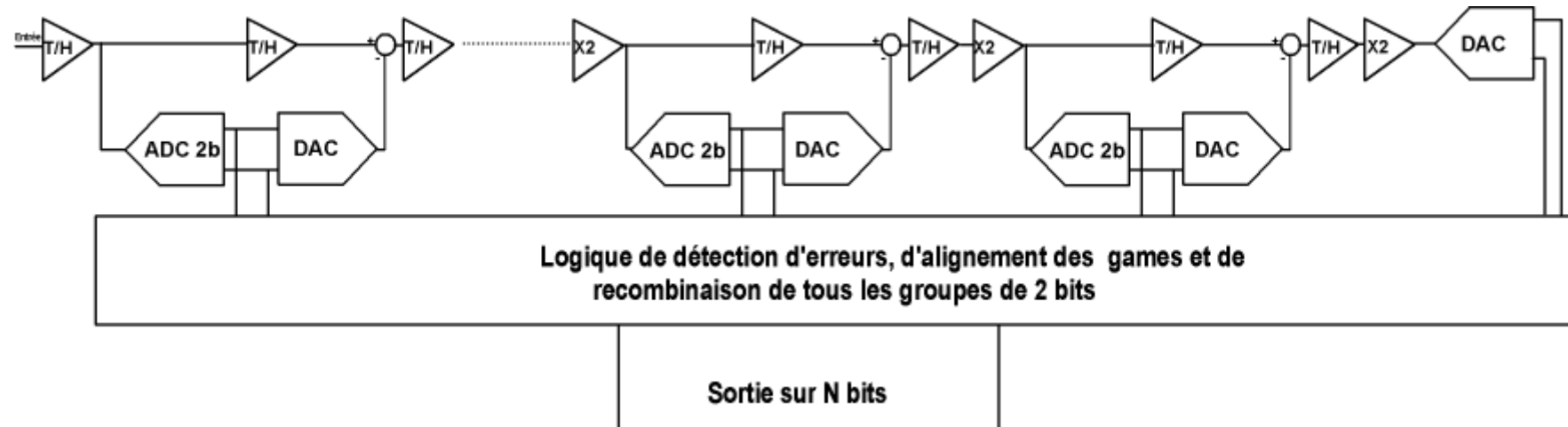




# LA FAMILLE FLASH: le multi étage

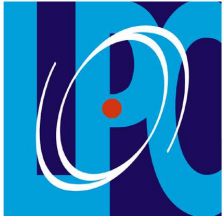
IN2P3

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES

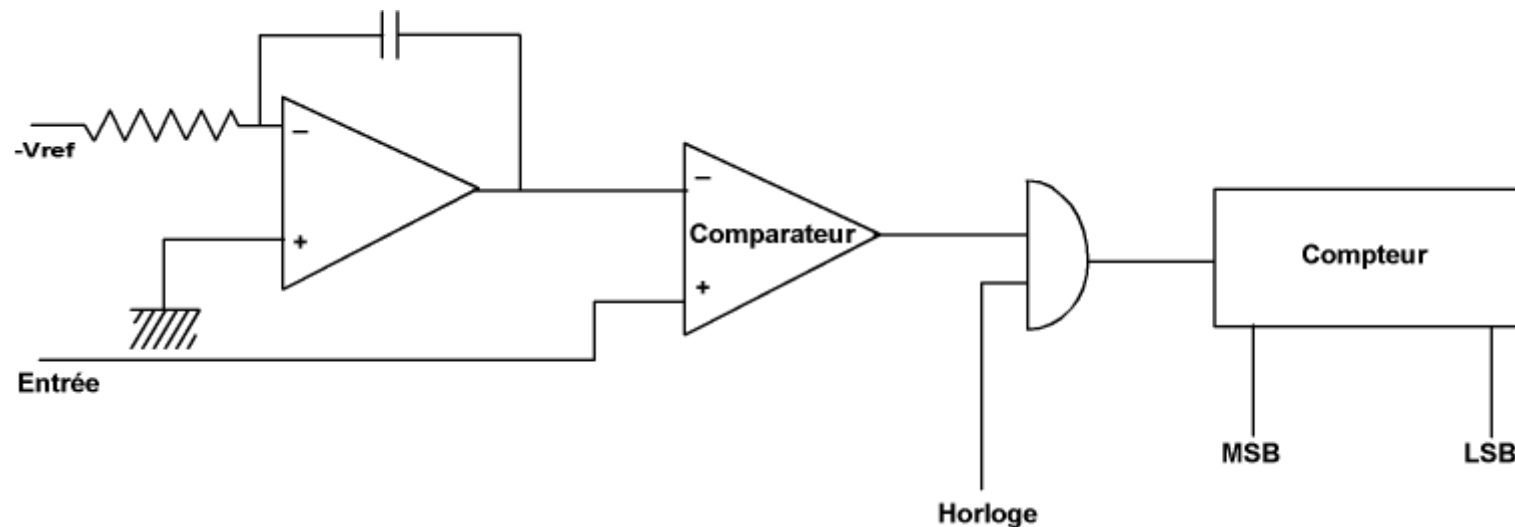


Exemple d'étages à 2 bits, mais peut exister  
En 1 bit, en 1.5 bit, en 3 bits etc...  
Le 1.5 bit par étage est à la mode (le plus simple)

Pour 1 bit par étage on retrouve la structure à approximations successives sans C-R (avec les mêmes contraintes)

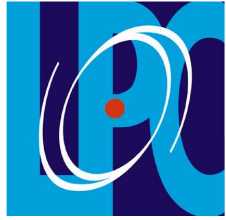


# ADC à rampe



La précision dépend de la qualité de la rampe, qui peut être très bonne.  
Système simple et efficace, a tendance à être réutilisé grâce aux nouvelles technos.

Inconvénient, la lenteur.  
L'horloge peut être très rapide, mais le comparateur pose alors problème.

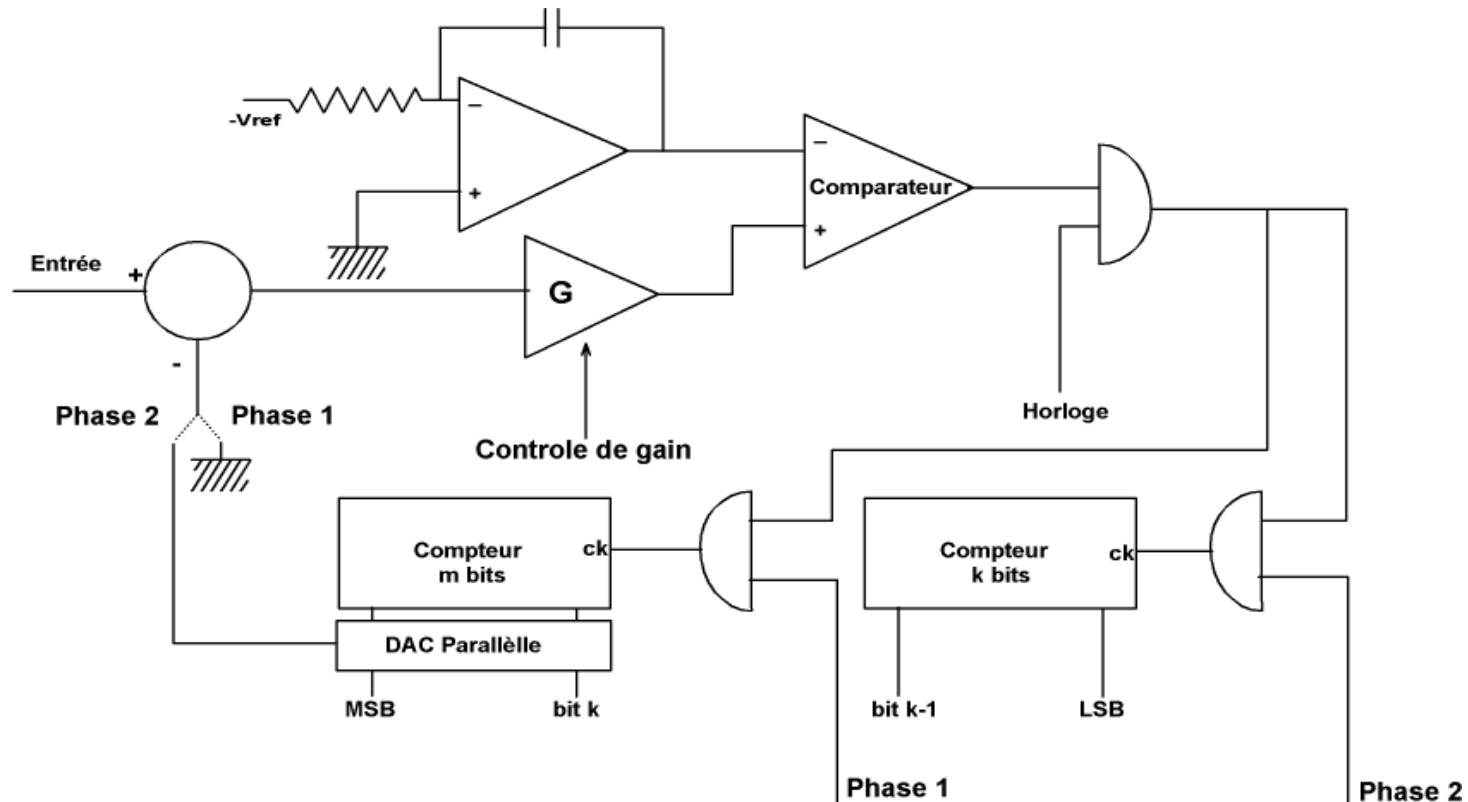


# ADC à rampe et DAC en contre réaction

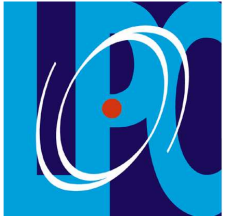
IN2P3

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE

ET DE PHYSIQUE DES PARTICULES



Les convertisseurs à rampe permettent de grande résolution, mais sont alors très lents. On peut fortement réduire ce temps d'intégration par une contre réaction avec un DAC. Pendant la phase 1 le système est un convertisseur à rampe classique qui fournit les MSB's. Pendant la phase 2, ces MSB sont reconvertis par un DAC, qui donne une tension qui est retranchée au signal d'entrée. Le «résidu» est amplifié par le changement de gain  $G$  Et fournit alors les LSB's.



# Inconvénients

Simple rampe :

nécessite une horloge et un comparateur très rapide.

très lent

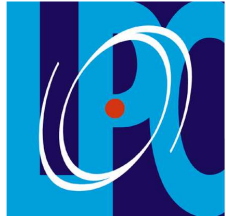
Double rampe:

Impose un DAC de grande précision et

Un ampli de gain très précis.

peu adapté en intégré.

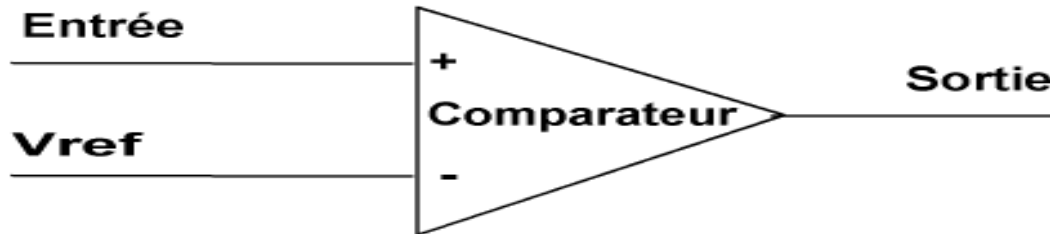
**Il y a deux variantes intéressantes**



# Parenthèse sur les comparateurs

IN2P3

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES



Ordres de grandeur

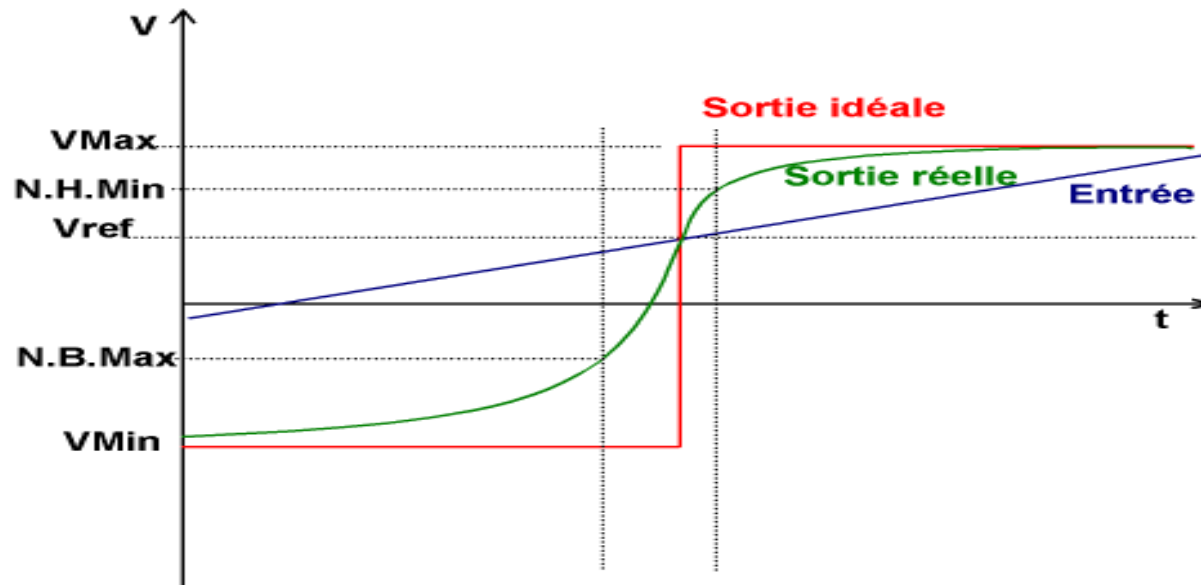
12 bits, signal de 1 V

Niveaux numérique de 3 V

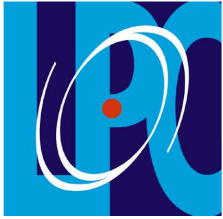
Horloge de 100 MHz

Gain > 24000....

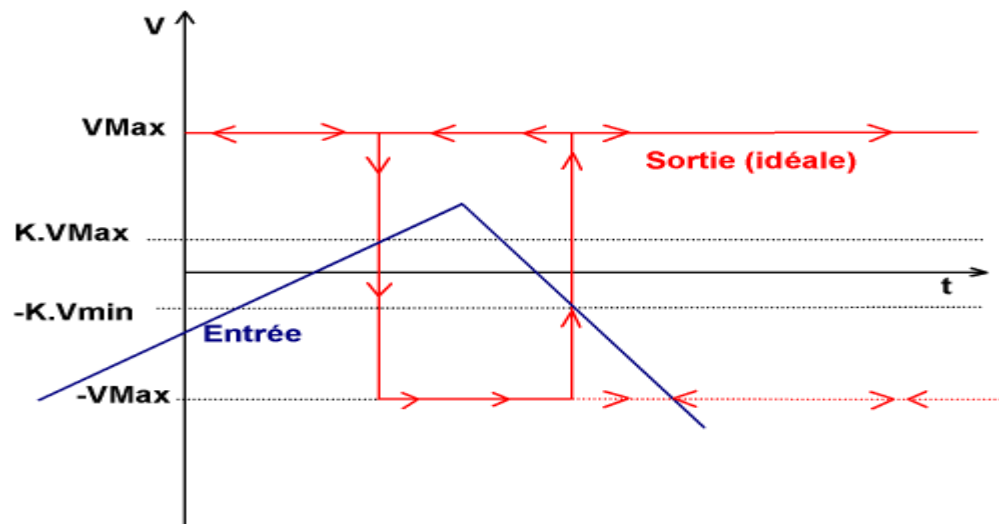
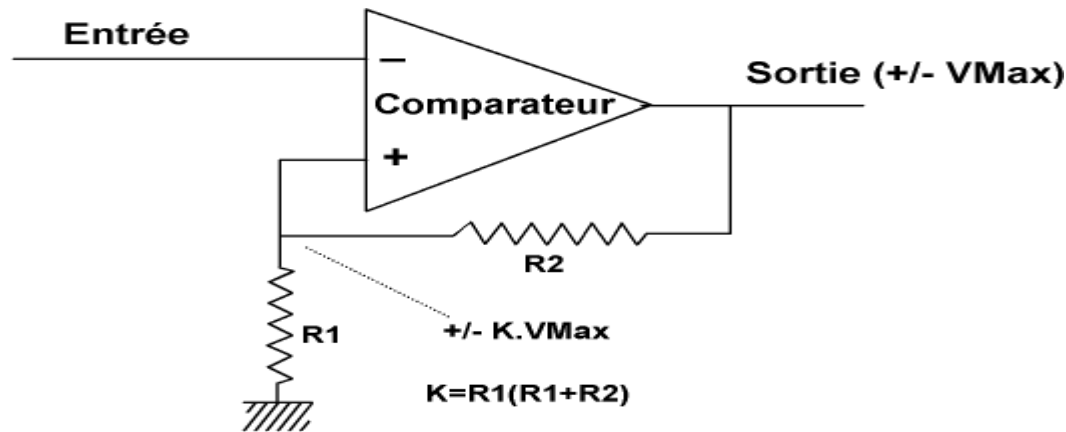
Pour une fréquence de 100 MHz



Lent et peu sensible, l'ampli-op en boucle ouverte est un bien mauvais comparateur .....

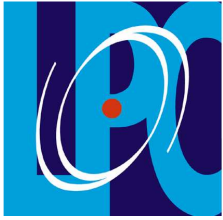


# Le trigger de Schmitt

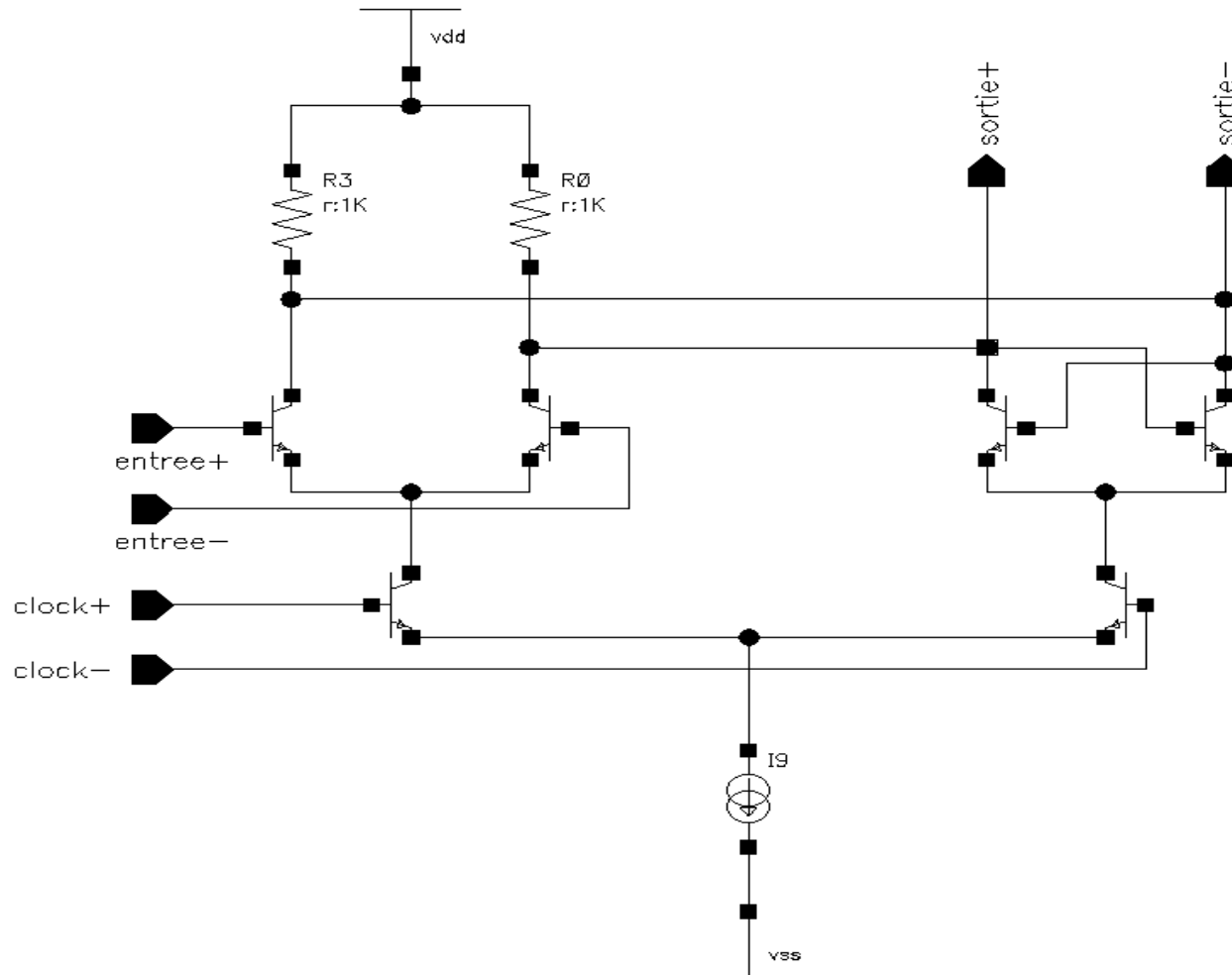


La contre réaction positive  
Accélère les choses, et  
augmente considérablement  
Le gain.  
Mais l'hystérèse obtenue est  
pour nous un inconvénient.

Ce n'est pas la bonne idée ...



# Le comparateur latch



Contre réaction positive  
Symétrique

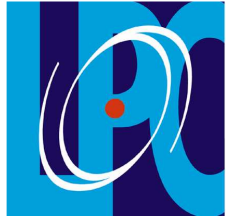
Gain énorme  
Instable  $\approx \pm$  horloge

Pas d'hystérèse

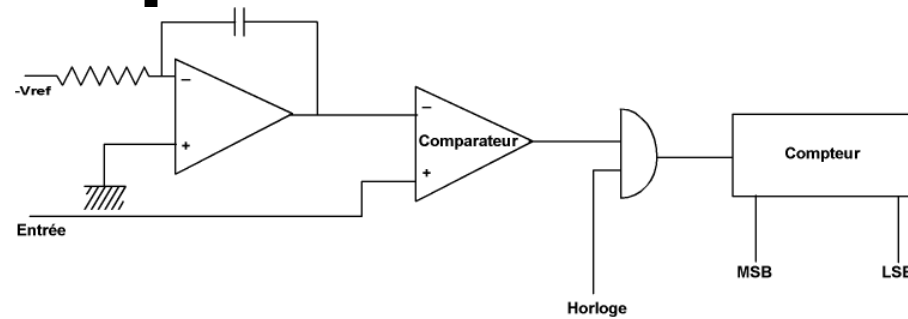
Bruit blanc réduit

Génère du bruit sur l'entrée

**Kick-back noise**



# Exception: L'ADC à rampe



Le signal que voit le comparateur au moment important est toujours le même.

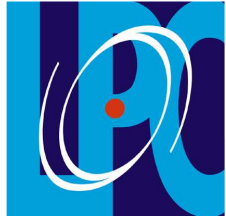
La pente de ce signal est constante

L'hystérèse n'a plus d'importance au contraire

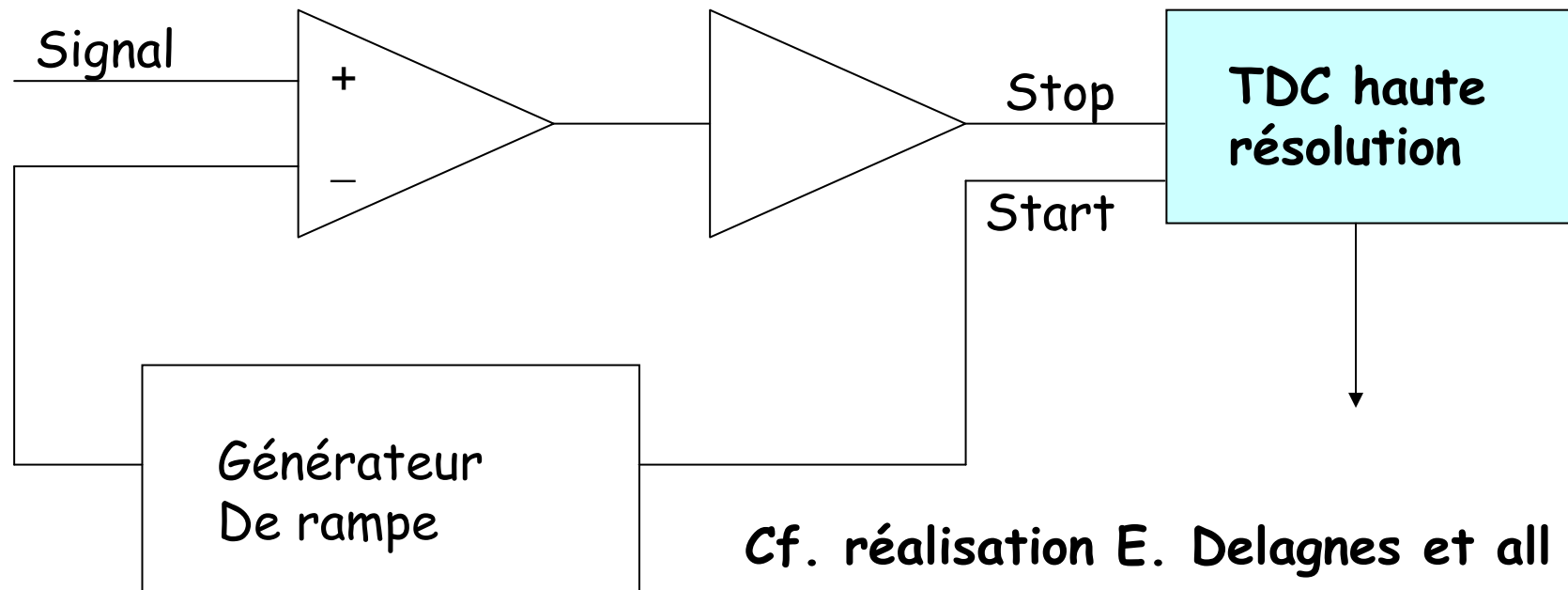
Le gain peut être beaucoup plus faible (retard fixe)

Le comparateur peut être remplacé par un amplificateur  
Éventuellement suivi d'un discriminateur.

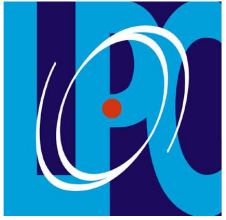




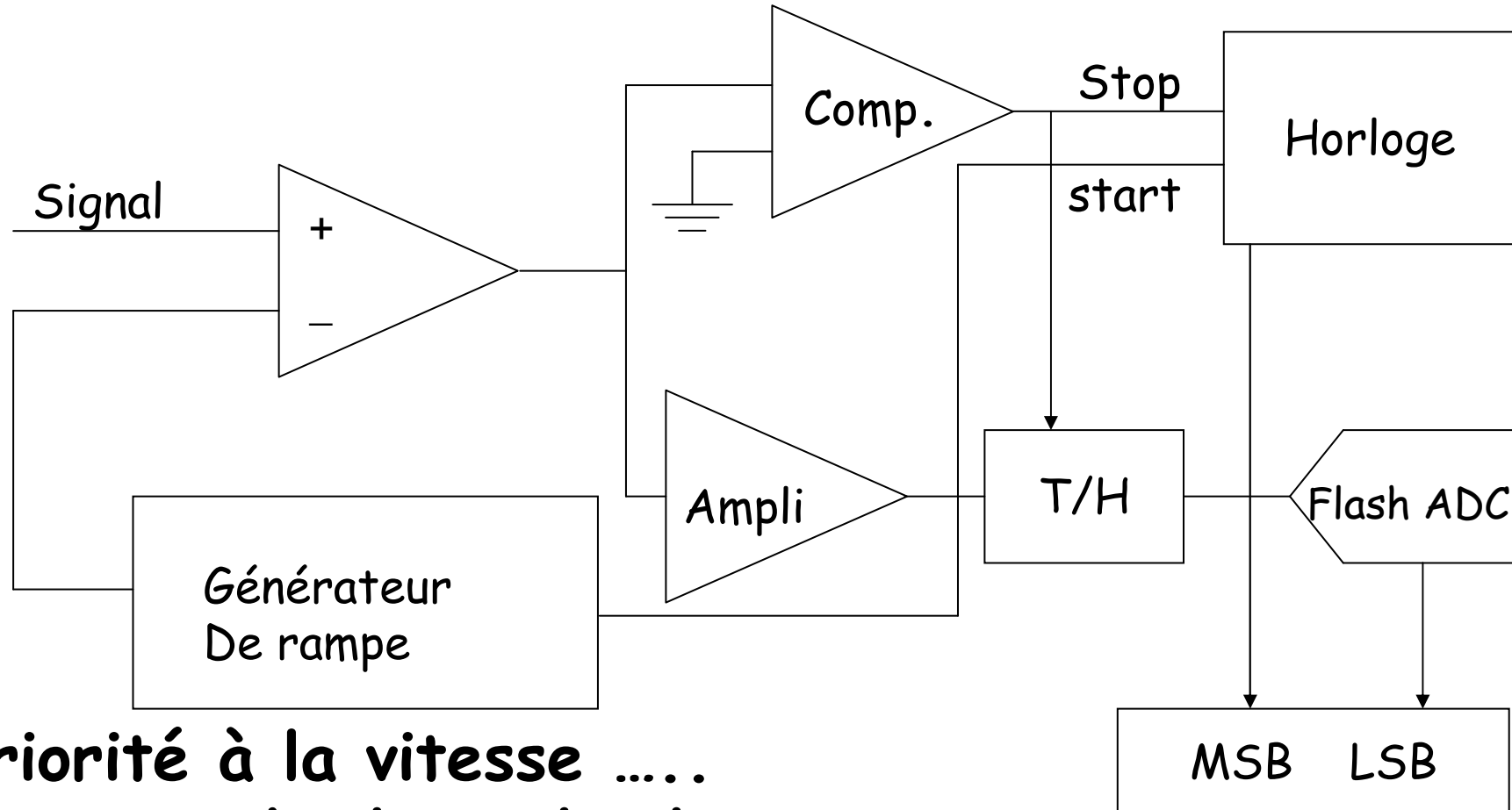
# L'ADC à rampe première variante Priorité à la linéarité diff.



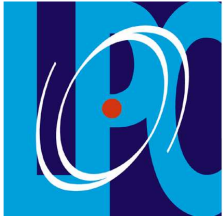
Cf. réalisation E. Delagnes et all  
Des DNL de l'ordre du dixième de LSB  
Attention au bruit !!!



# L'ADC à rampe deuxième variante



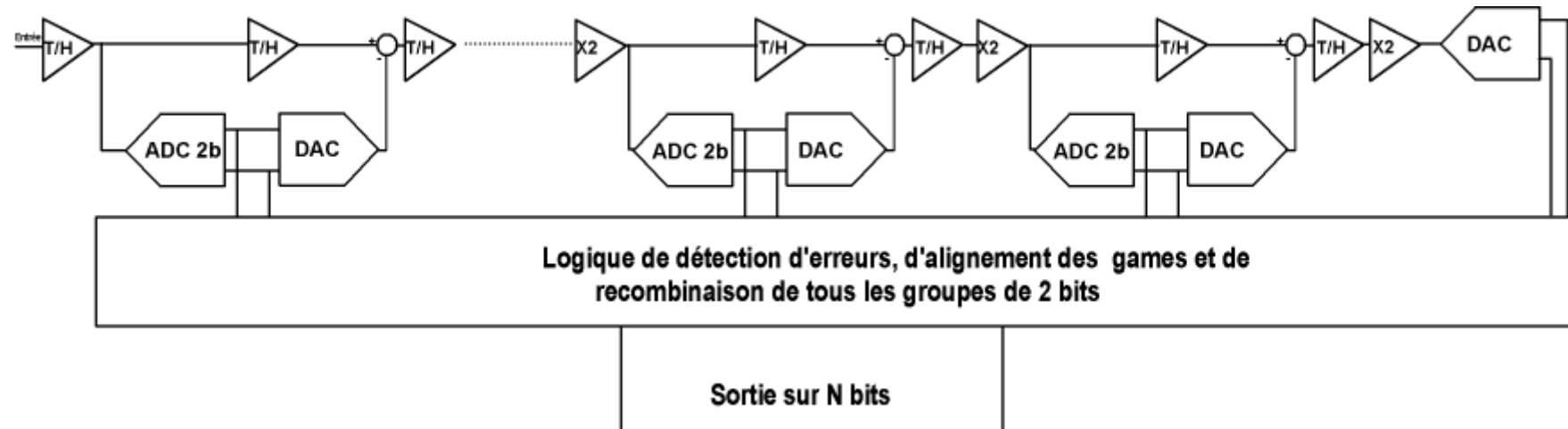
**Priorité à la vitesse ....  
Avec une horloge plus lente**



# L'ADC dit pipe-line ou flash multi étage

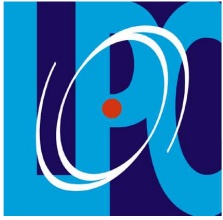
IN2P3

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES



Exemple d'étages à 2 bits, mais peut exister  
En 1 bit, en 1.5 bit, en 3 bits etc...  
Le 1.5 bit par étage est à la mode (le plus simple)

Pour 1 bit par étage on retrouve la structure à approximations successives sans C-R (avec les mêmes contraintes)

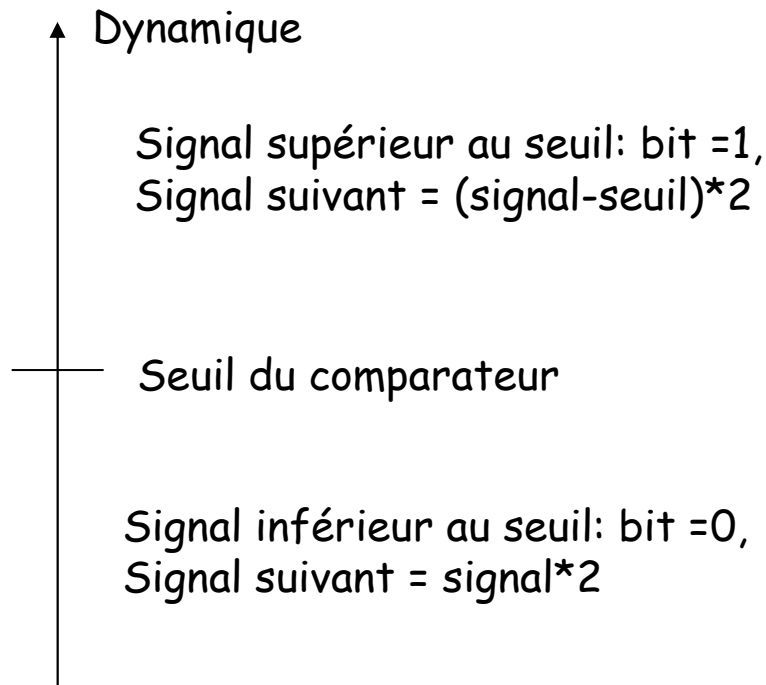


# L'ADC dit pipe-line

IN2P3

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES

Pour 1 bit par étage on retrouve la structure à approximations successives sans C-R (avec les mêmes contraintes)

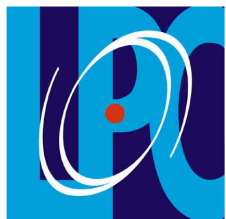


Pour garantir le LSB,

Il faut:

Des offsets au LSB près

Un gain de deux à 2 LSB près.



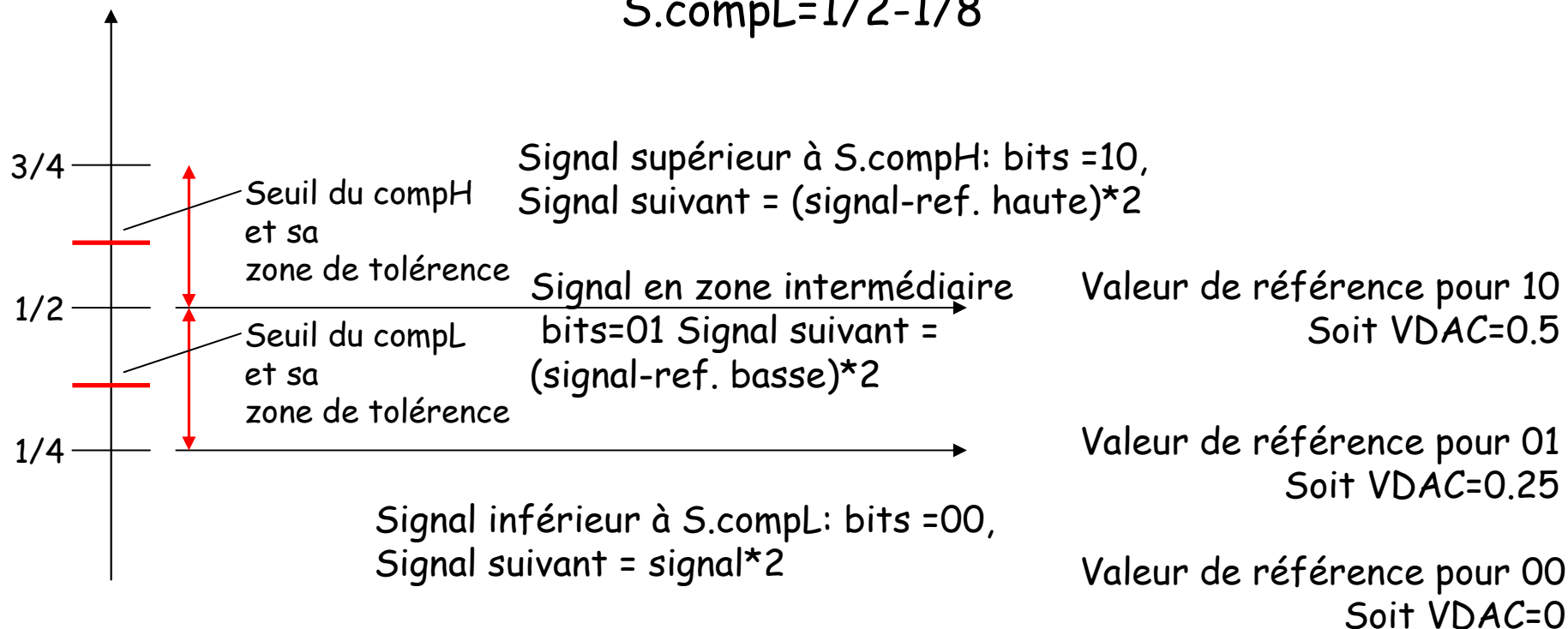
# L'ADC dit pipe-line 1.5 bit par étage

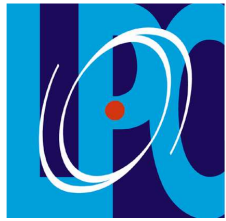
Pour 1.5 bit par étage il y a 2 seuils, deux références  
Et pas de comparateur au milieu de la dynamique

Dynamique=1

$$S.compH=1/2+1/8$$

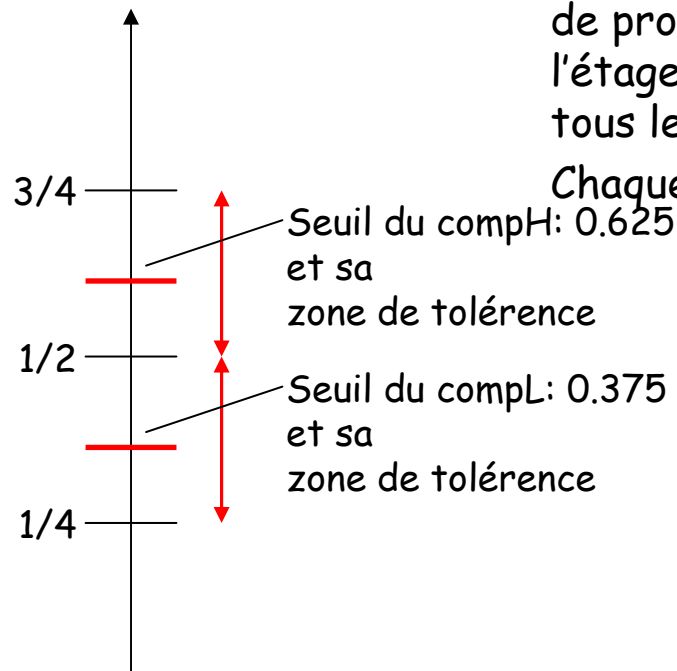
$$S.compL=1/2-1/8$$





# L'ADC dit pipe-line 1.5 bit par étage

Dynamique=1



Valeur de référence pour 10  
Soit  $V_{DAC}=0.5$   
Valeur de référence pour 01  
Soit  $V_{DAC}=0.25$   
Valeur de référence pour 00  
Soit  $V_{DAC}=0$

L'astuce consiste à ne pas prendre de décision en cas de doute, et de profiter de la multiplication du signal par deux pour décider à l'étage suivant. Le code final est obtenu par l'addition des codes de tous les étages.

Chaque décision a une zone de tolérance de  $\pm 1/8$  de la dynamique

Exemple pour un signal d'entrée  $V_{in}$  de 0.35 V.

$V_{in1} < 0.375$  code=00,  $V_{out}=V_{in2}=2V_{in1}=0.7$  V

$V_{in2} > 0.625$  code=10,  $V_{in3}=2(0.7-0.5)=0.4$  V

$V_{in3}$  intermédiaire. Code=01,  $V_{in4}=2(0.4-0.25)=0.3$  V

$V_{in4} < 0.375$  code=00,  $V_{in5}=0.6$

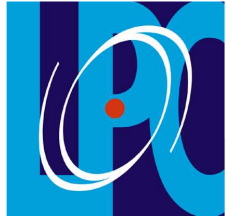
$V_{in5}=0.6$ , code=01

00	
10	
01	
00	
01	
010101	

Remarques:

Le code 11 n'existe pas.

Il ne peut donc pas y avoir de retenue à cheval sur deux étage, l'additionneur est simplifié.



# L'ADC dit pipe-line généralisation

IN2P3

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES

Pour tolérer les offsets, on a ajouté des comparateurs supplémentaires : deux au lieu de 1 pour le 1.5 bit par étage, soit 1 bit effectif, et un gain de 2.

En utilisant le même type d'algorithme :

Pour 2 bits effectifs, dit 3 bits par étage, il faut 6 comparateurs et un gain de 4

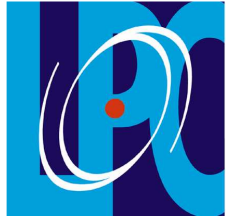
Pour N bits effectifs, il faut un gain par étage  $G = 2^N$   
et le nombre de comparateurs par étage est  $N_c = 2(G-1)$

L'offset maximum tolérable devient:

$$\text{Offmax} = \frac{V_{\text{max}}}{G} \left( 1 - \frac{1}{N_c} (G-1) \right)$$

Les seuils des comparateurs sont décalés vers le haut de  $\text{Offmax}/2$  par rapport aux valeurs du DAC (ou des références)

Pour tolérer un grand offset, il faut diminuer G et Nc  
**Grand intérêt du 1.5 bit par étage**



# L'ADC dit pipe-line généralisation

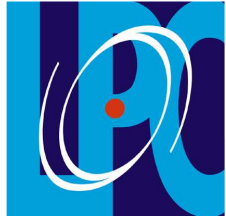
Si cet algorithme est particulièrement intéressant pour les comparateurs,  
Il l'est beaucoup moins pour les amplificateurs.

En effet, les offsets des comparateurs n'ont aucun effet mémoire...  
Il faut seulement prendre une marge de sécurité pour le rendement.

Ceux des amplis sont insérés dans la chaîne comme des modifications du  
signal d'entrée et se propagent.

Attention: pour un même étage, les deux offsets se cumulent !  
Pour les étages suivants, la marge d'offset des comparateurs  
doit être réduite de la somme des offsets des amplis !  
(si on veut un rendement de 100%)





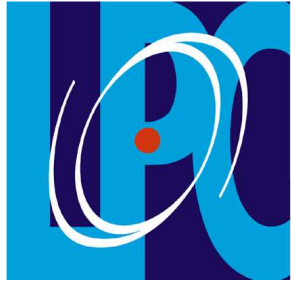
# L'ADC dit pipe-line généralisation

En ce qui concerne la précision sur le gain des amplis, l'algorithme n'apporte pas grand-chose : en passant de 1 à 1.5 bit par étage on ne gagne qu'un facteur 2, soit un gain de 2 à 4 LSB près au lieu de 2 pour garantir le LSB.

La relation exacte liant l'erreur de linéarité à l'erreur de gain est:

$$DNL_{(LSB)} = \left( \frac{G_{th} - G}{G_{th}} \right) \left( \frac{G_{th} - 1}{N_c} \right) \frac{2^N}{G_{th}}$$

Pour 10 bits et 1.5 bit par étage ( $N_c=2$ ,  $G_{th}=2$ )  
On retrouve  $G=255/128$  soit 2 à 4 LSB près.

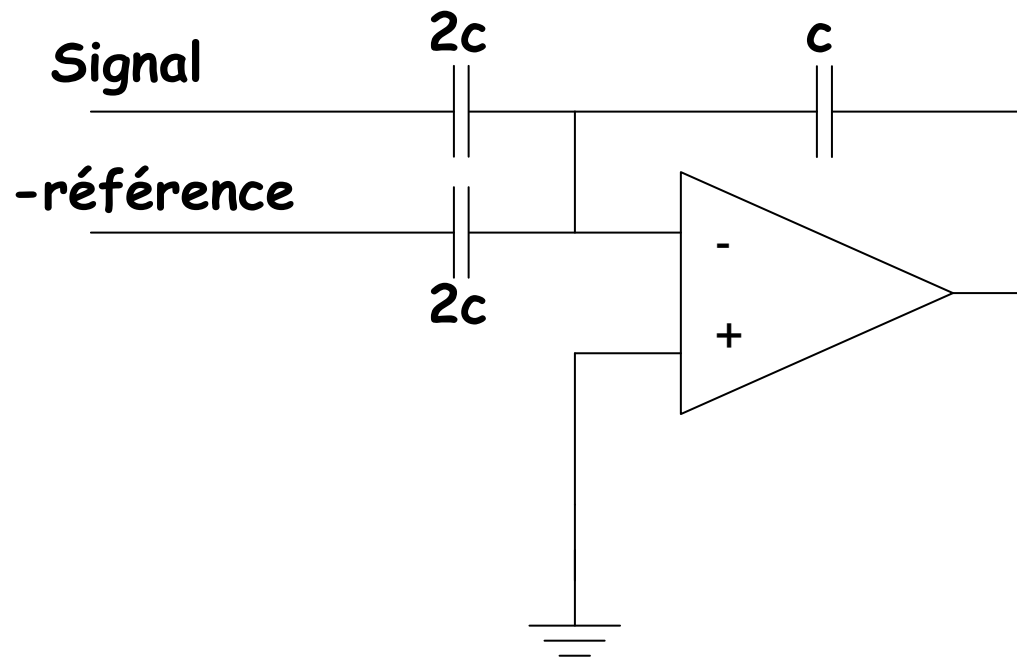


# L'ADC dit pipe-line L'amplificateur

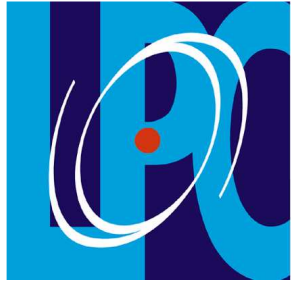
IN2P3

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES

Avec cet algorithme le point le plus délicat est l'amplificateur.  
Il faut un très faible offset et un gain bien précis.  
En technologie CMOS en général, on préfère les C-R capacitives.



$G=2$  ...  
Si  $c=c$  !

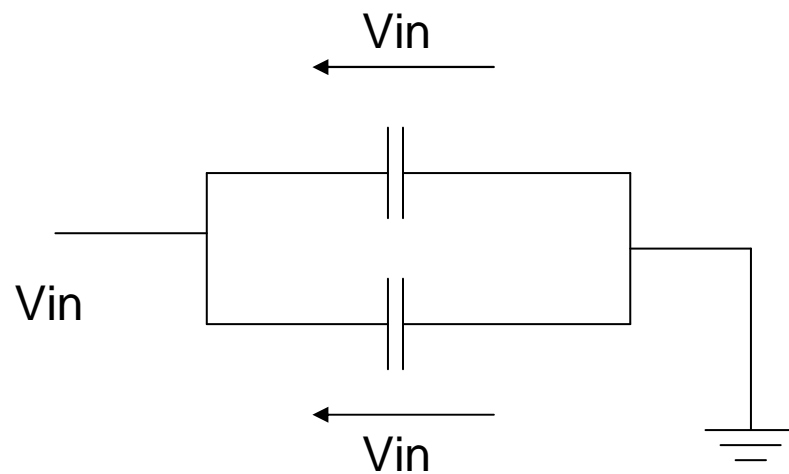


# L'ADC dit pipe-line L'amplificateur

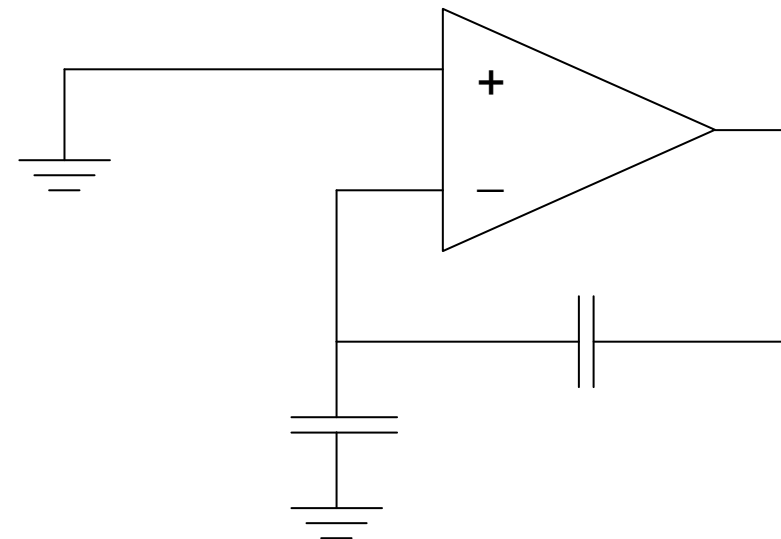
IN2P3

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES

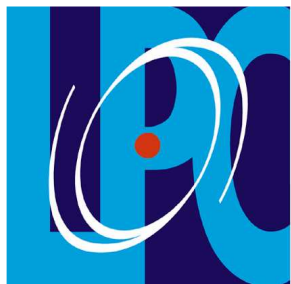
Ici le gain vaut  $1+c/c$  on gagne un facteur 2



ECHANTILLONNAGE



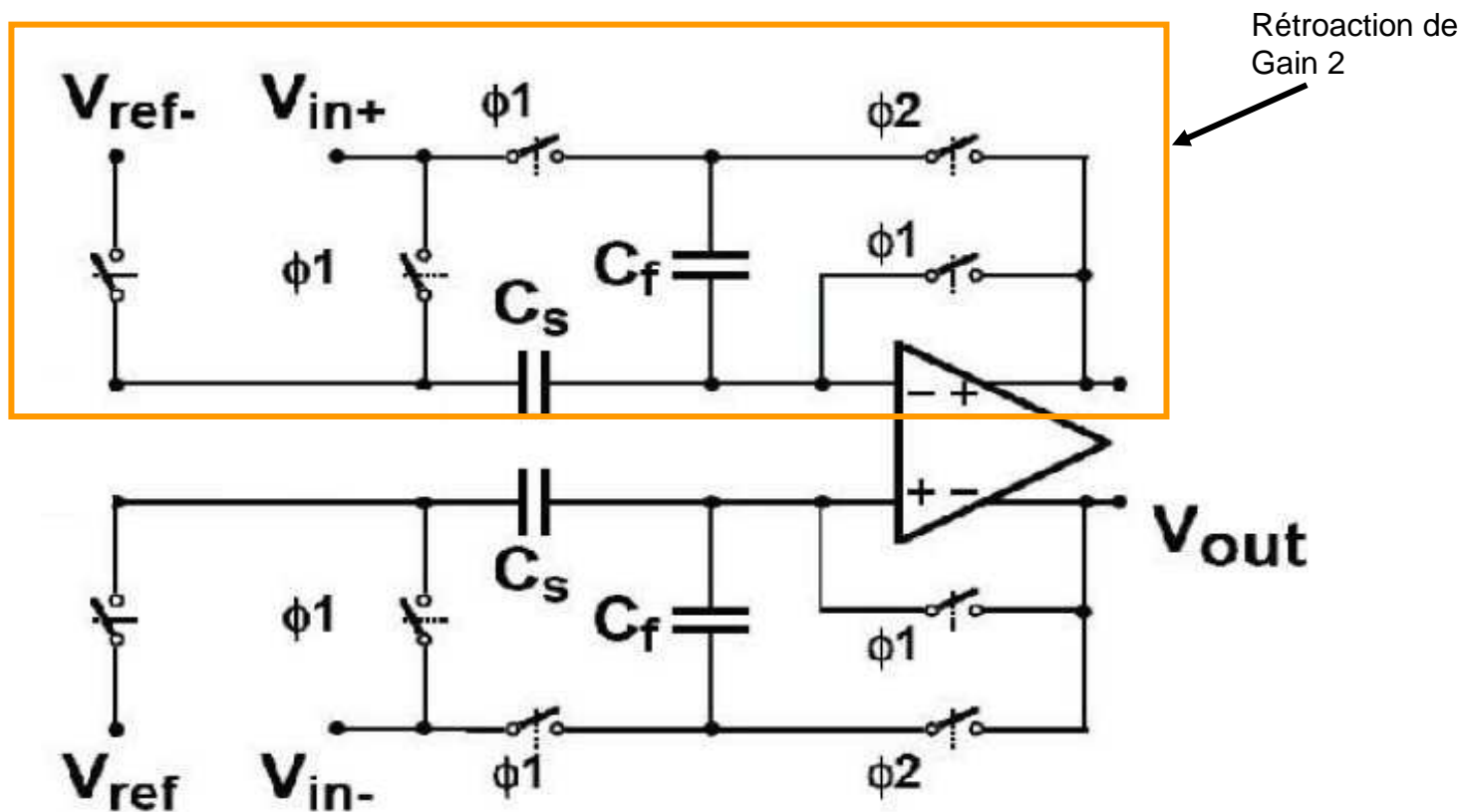
AMPLIFICATION

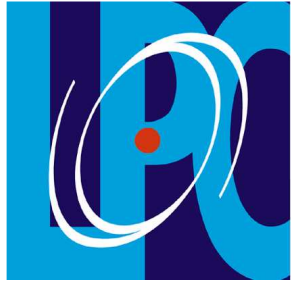


# L'ADC dit pipe-line L'amplificateur En différentiel, avec les switches

IN2P3

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES





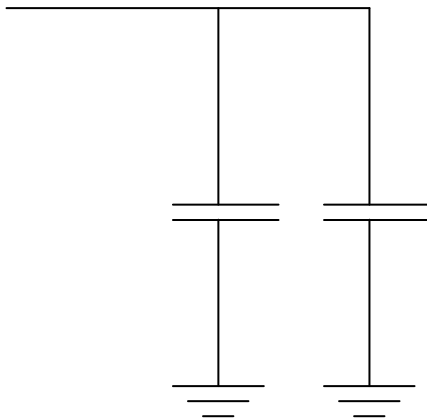
# L'ADC dit pipe-line L'amplificateur

**IN2P3**

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES

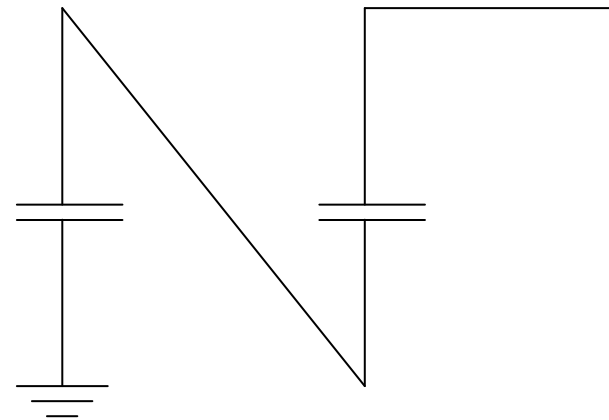
le gain est indépendant de  $C$  !

$V_{in}$

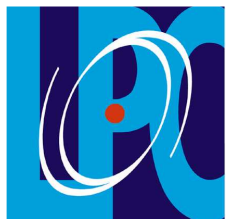


ECHANTILLONAGE

$V_{out}=2V_{in}$

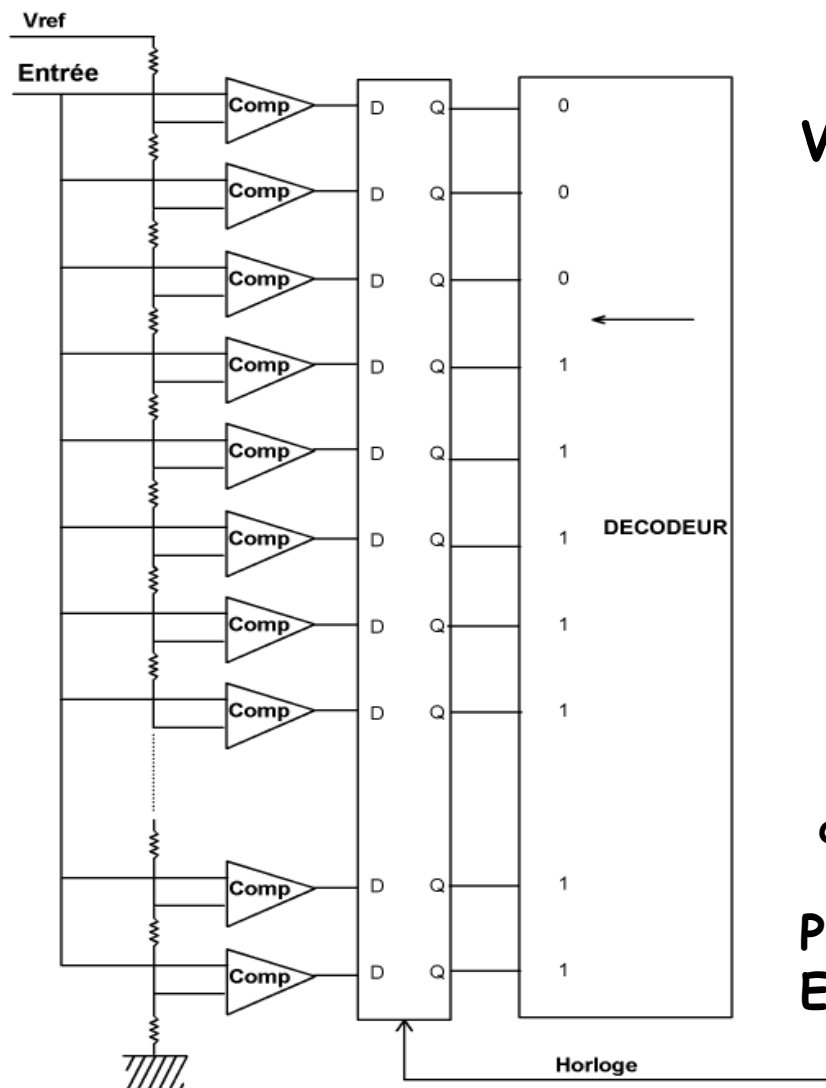


AMPLIFICATION



# LES ADC RAPIDES

## Structure parallèle (flash)



**Variantes, options, solutions**

Track/hold digital.

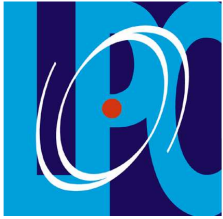
**Asservissement de la référence**

**Multiples points d'accès à la chaîne de résistances pour réglages externes.**

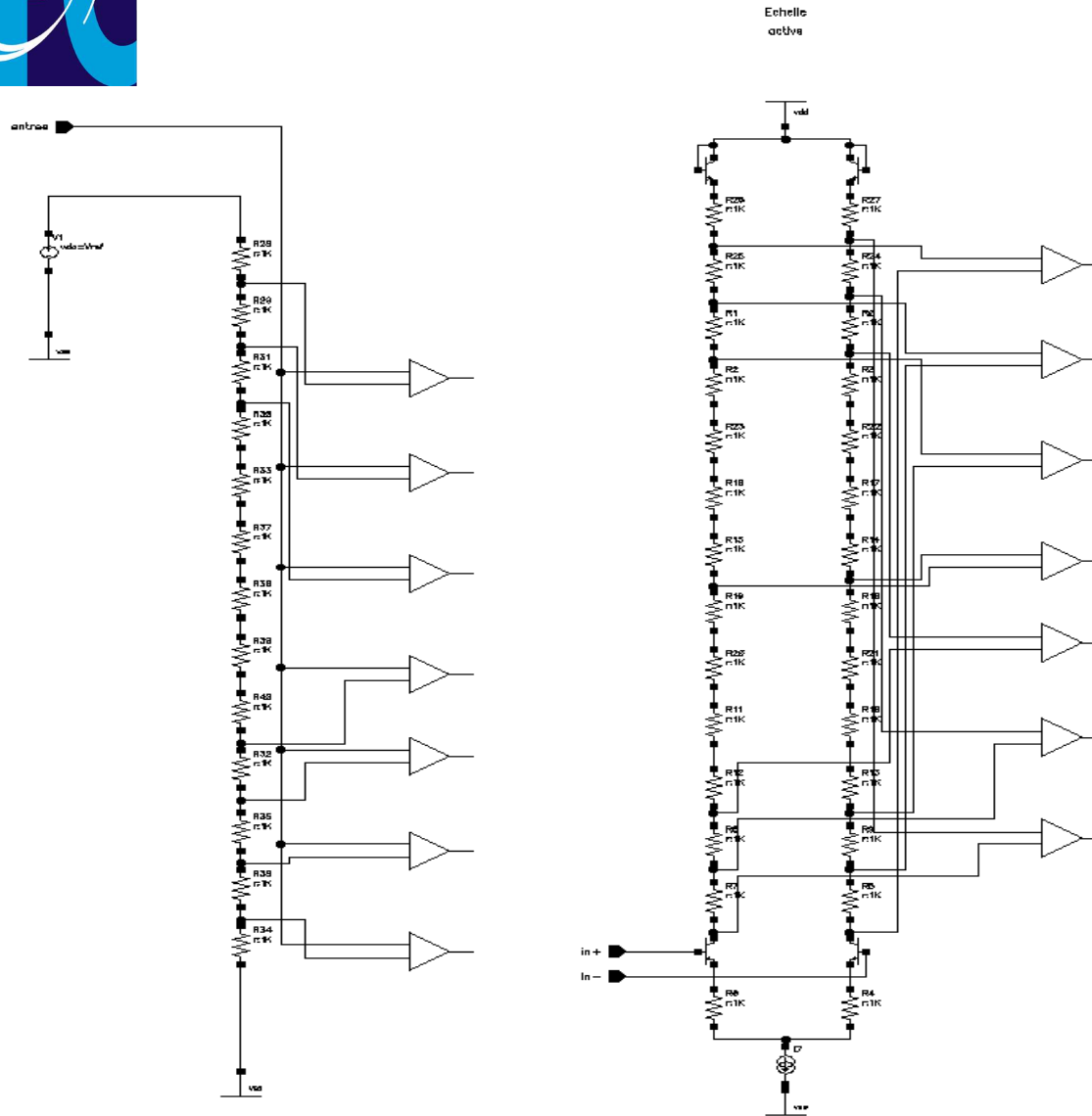
**Amplificateur d'entrée intégré.**

**Si le nombre de bit augmente, le nombre de comparateurs devient vite prohibitif.**

**Pour 14 bits il faut 16383 comparateurs  
Et un décodage 16383 vers 14 !!!**



# L'échelle différentielle active



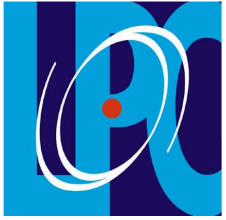
§ Point de fonctionnement des comp.

§ Sensibilité à la référence

§ Sensibilité au signal (M.C.)

§ Sensibilité aux alimentations

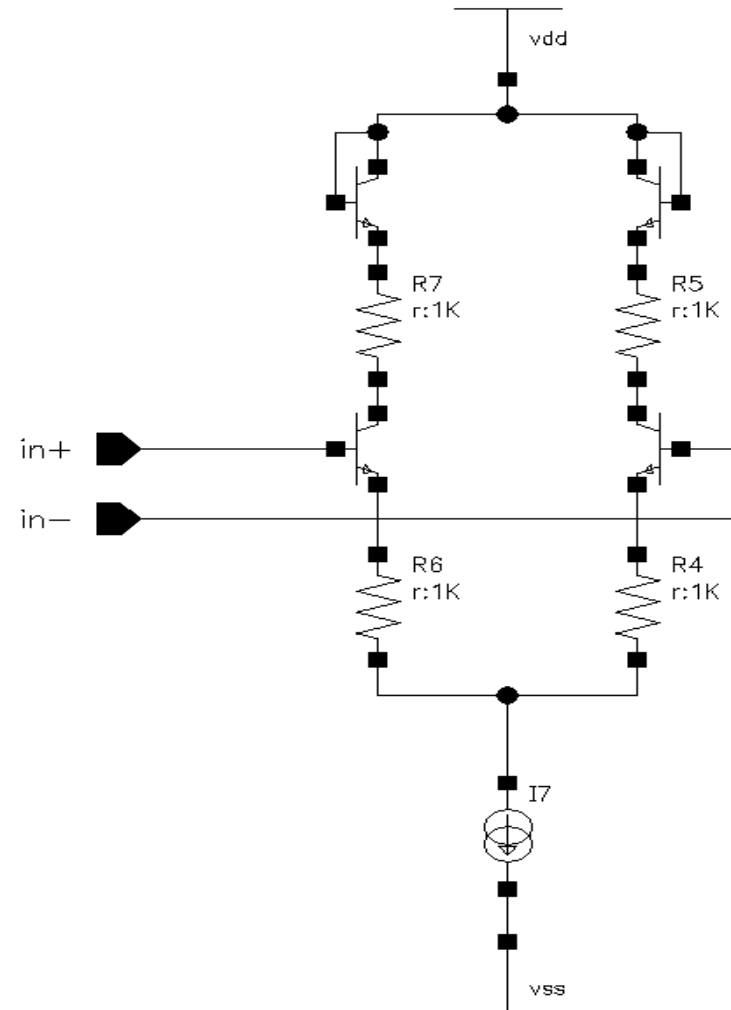
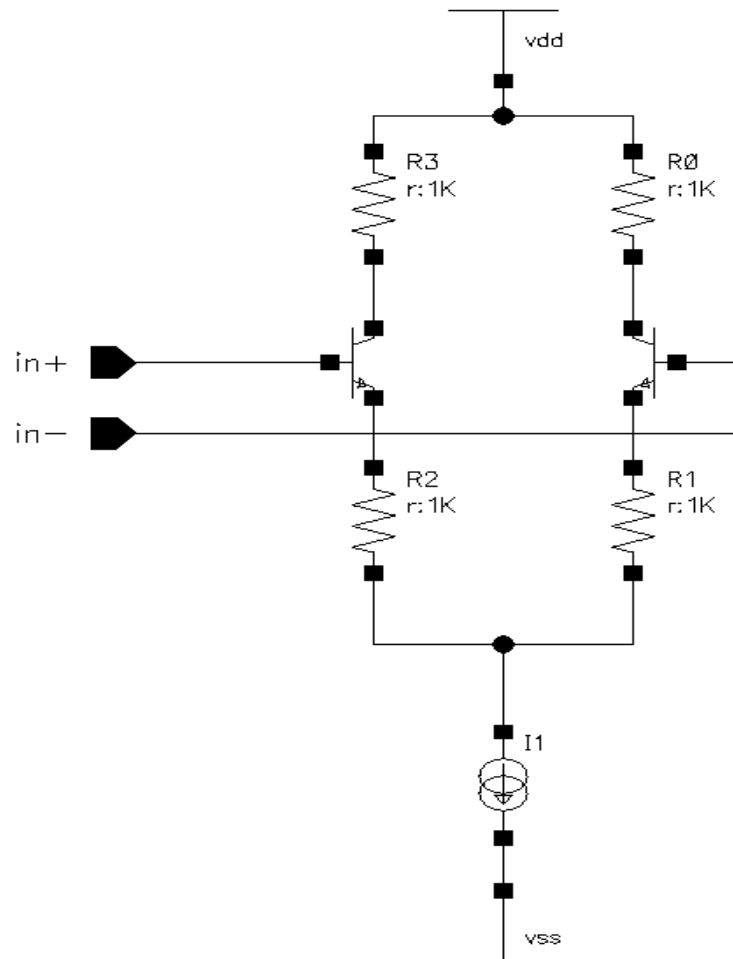
§ Reste le problème de la dynamique  
Avec une tension d'alimentation faible



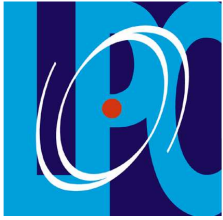
# Correction de linéarité

**IN2P3**

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES



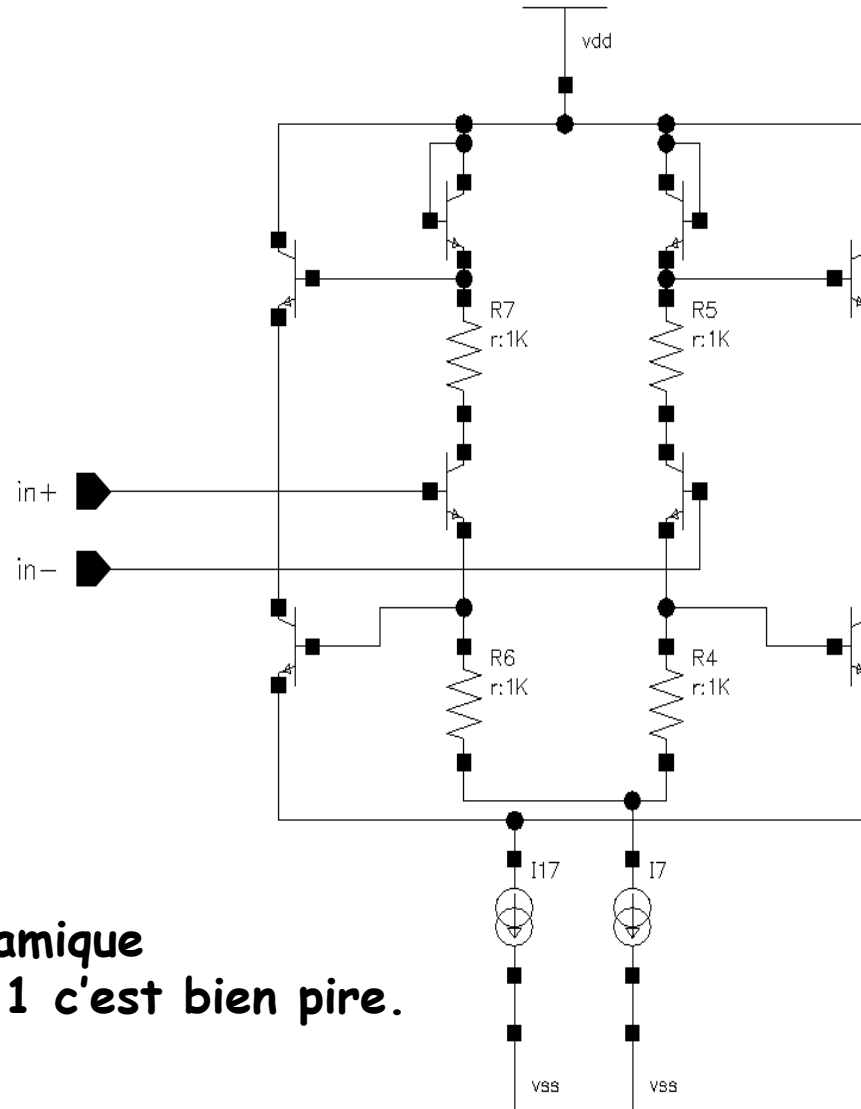




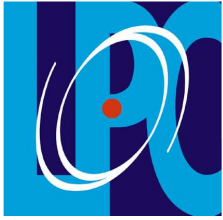
# Avec corrections de gain

**IN2P3**

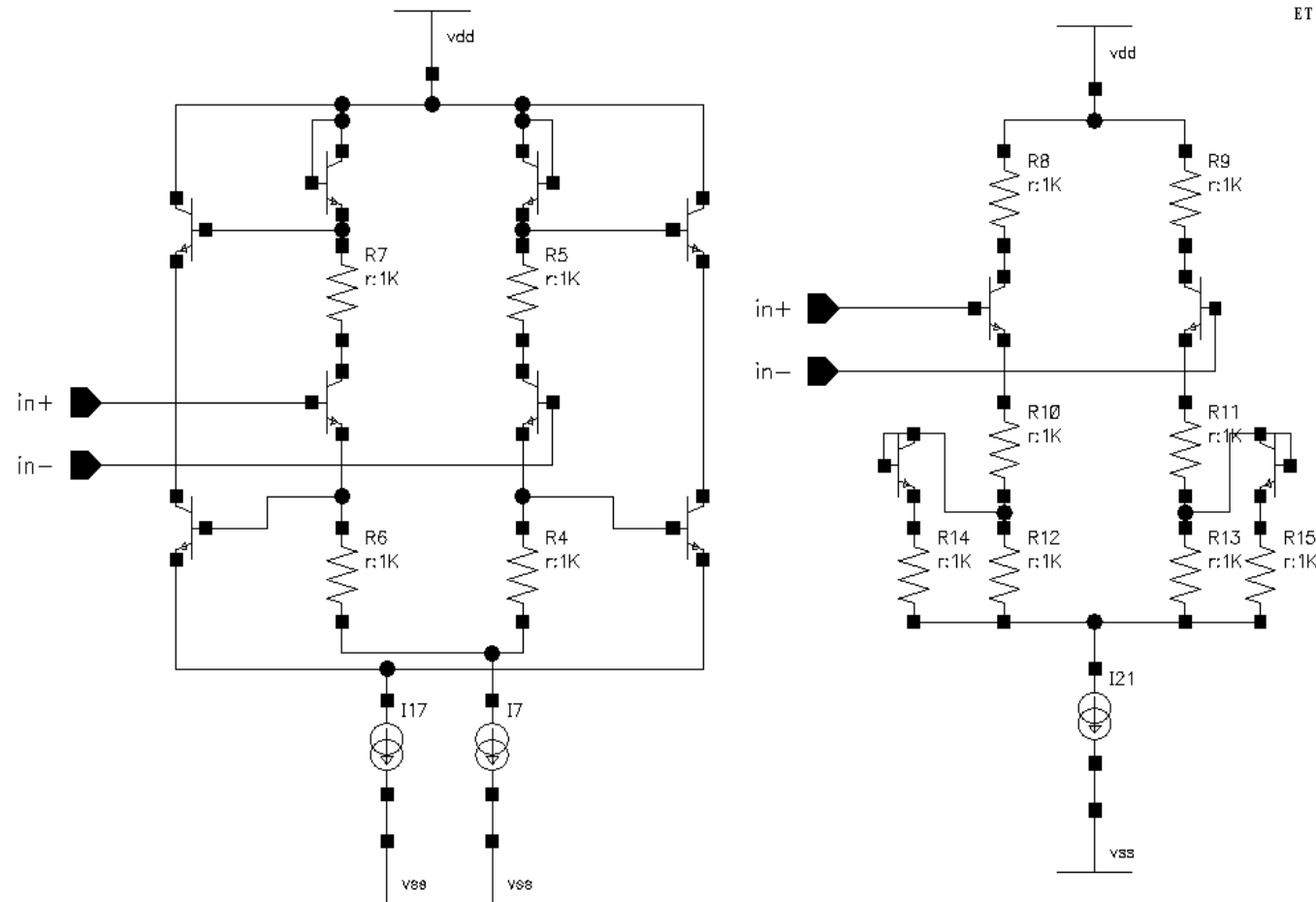
INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES



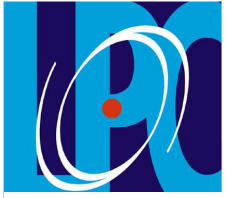
Oui mais,  
on perd en dynamique  
Pour un gain # 1 c'est bien pire.



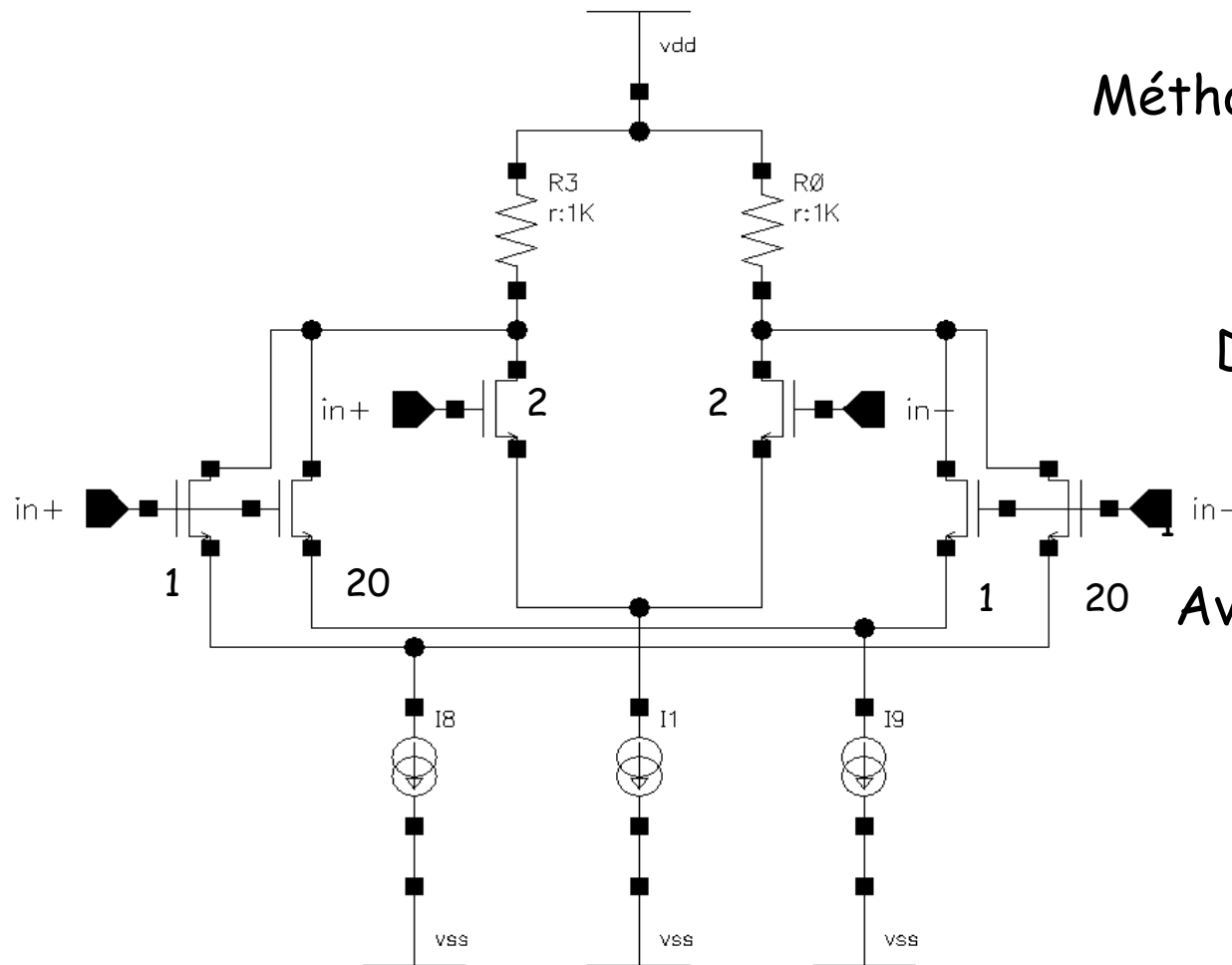
# Une solution



**Marche avec tous les gains ! Possibilité de sur-compensation !  
Plus de perte de dynamique (sauf dans la résistance d'émetteur)  
Prix à payer: un peu plus difficile à mettre en œuvre, le gain est moins bien corrigé**



# En MOS

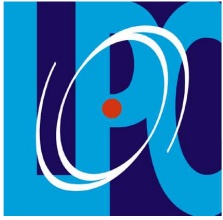


Méthode de la multi-tangente

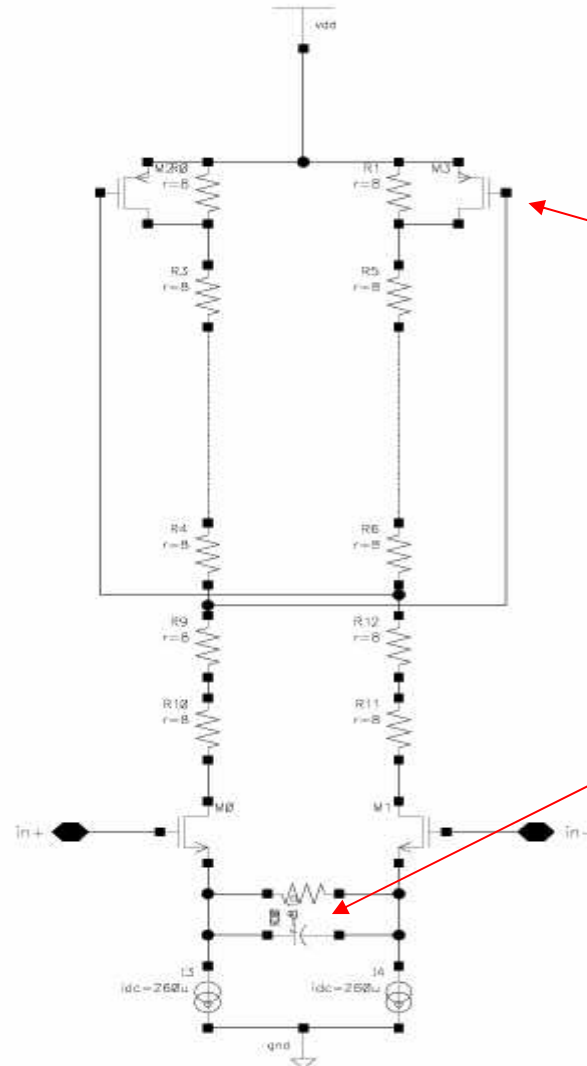
Difficile à régler

Difficulté à avoir un gain donné avec certitude

Avec des résistances dans les sources, on perd en dynamique .....



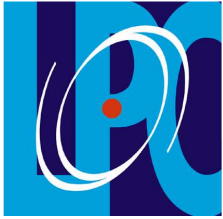
# Flash ADC l'échelle



Correction de linéarité

Correction de bande passante

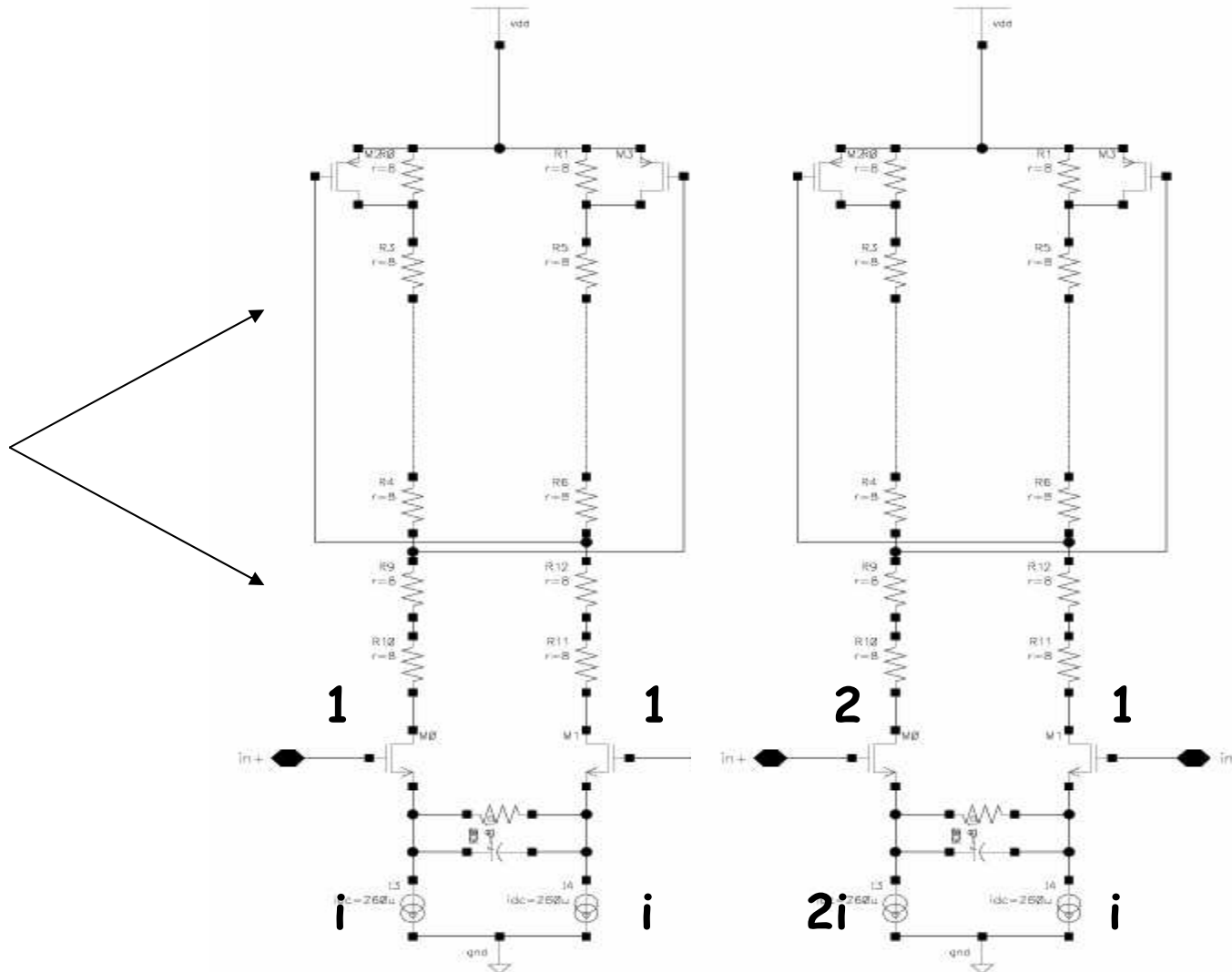
Aucune perte de dynamique:  
Rien dans les émetteurs  
En parallèle dans les collecteurs



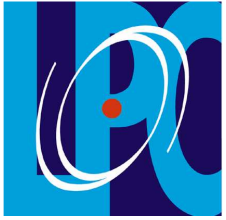
# Flash ADC l'échelle

**IN2P3**

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES



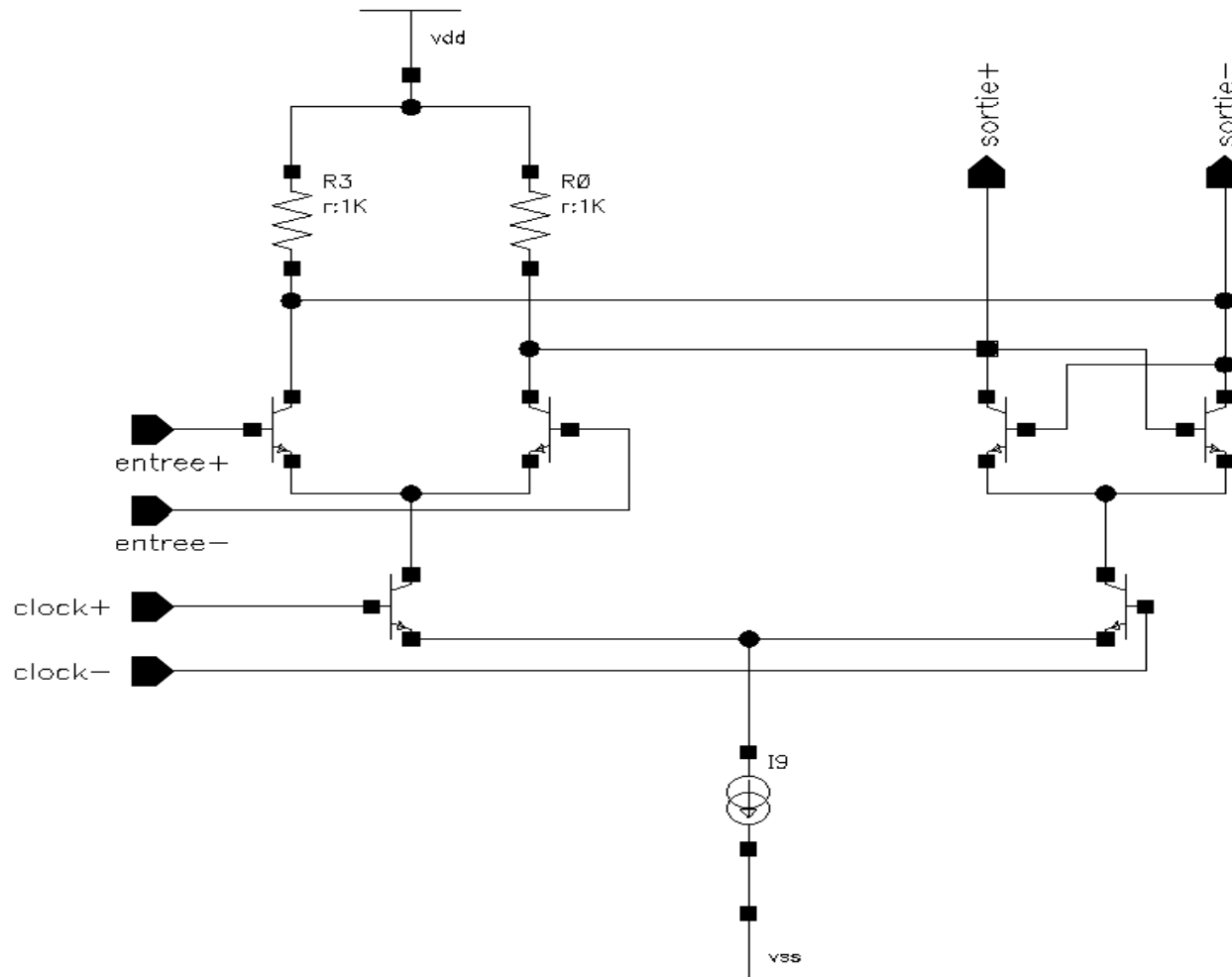
**On gagne un  
Facteur 2**



# Le comparateur ou la chasse aux offsets et au kick-back noise

IN2P3

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES



Contre réaction positive  
Symétrique

Gain énorme  
Instable  $\approx \pm$  horloge

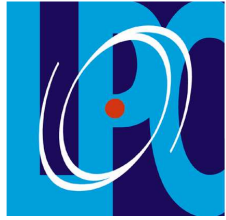
Pas d'hystérèse

Bruit blanc réduit

Génère du bruit sur l'entrée

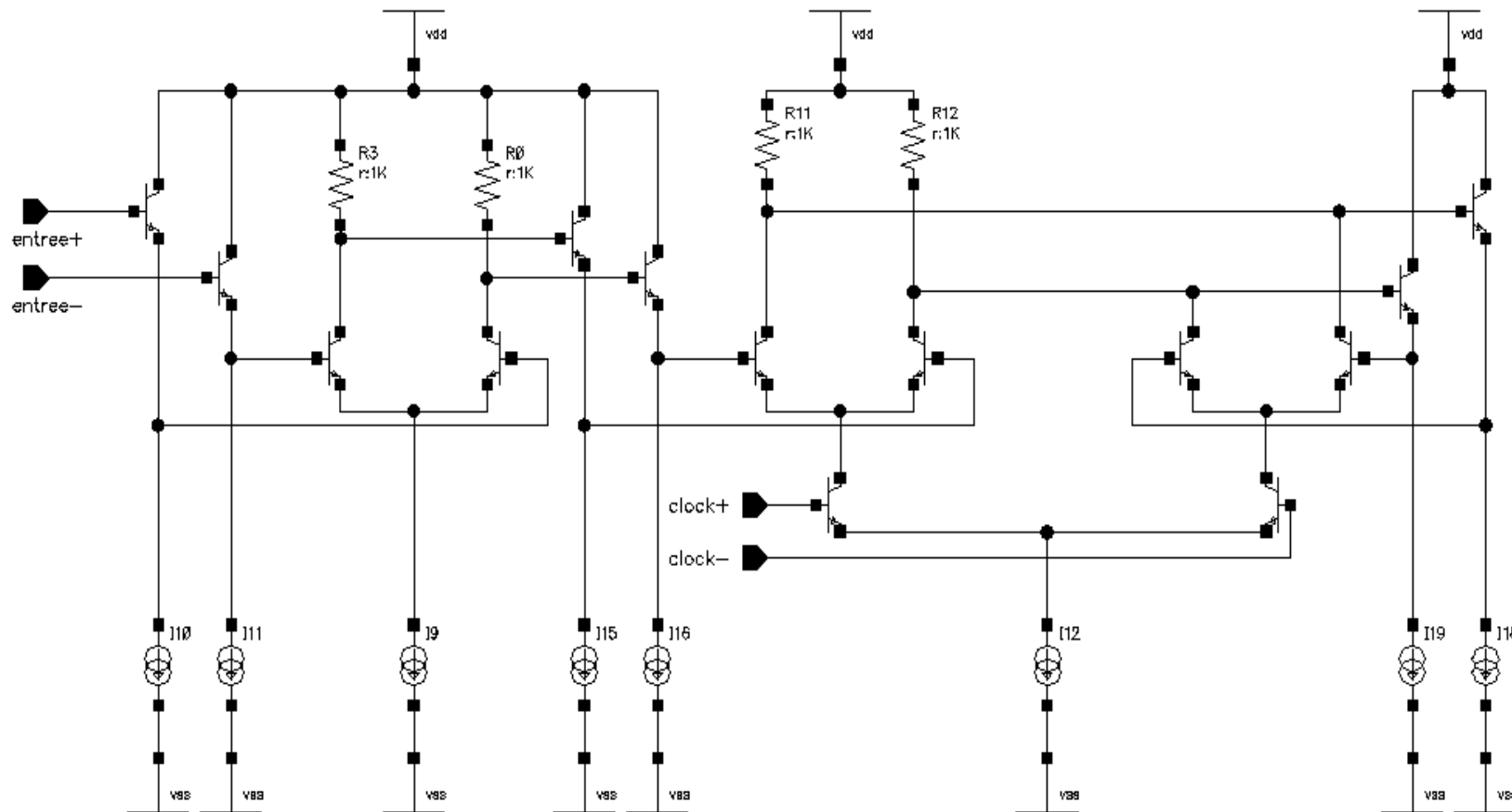
**Kick-back noise**

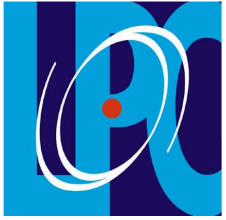
Jacques LECOQ



# Le comparateur latch

En bipolaire les suiveurs coupent le kick-back noise

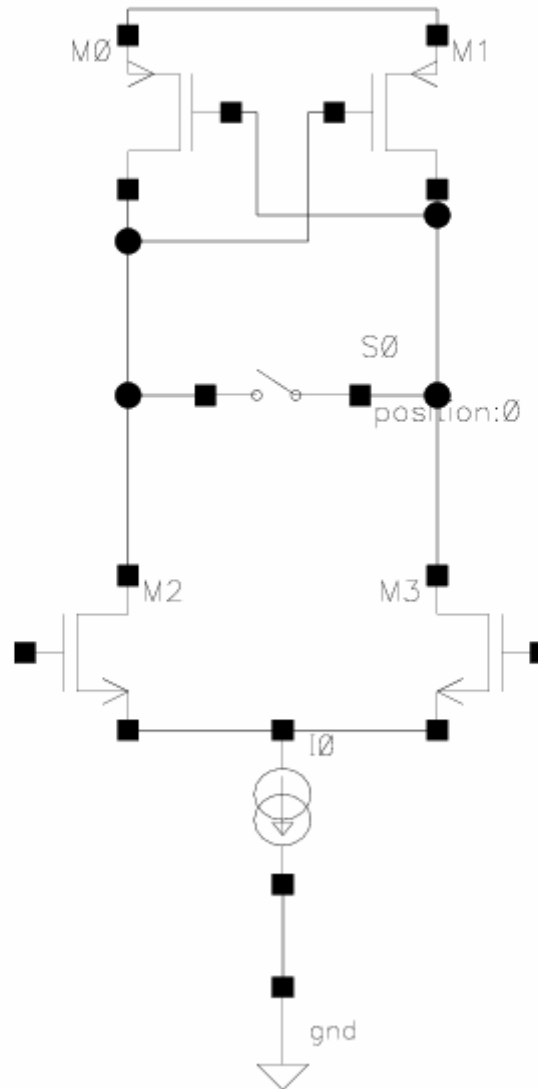




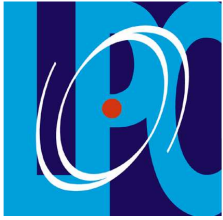
# LE COMPAREUR.(MOS)

**IN2P3**

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES





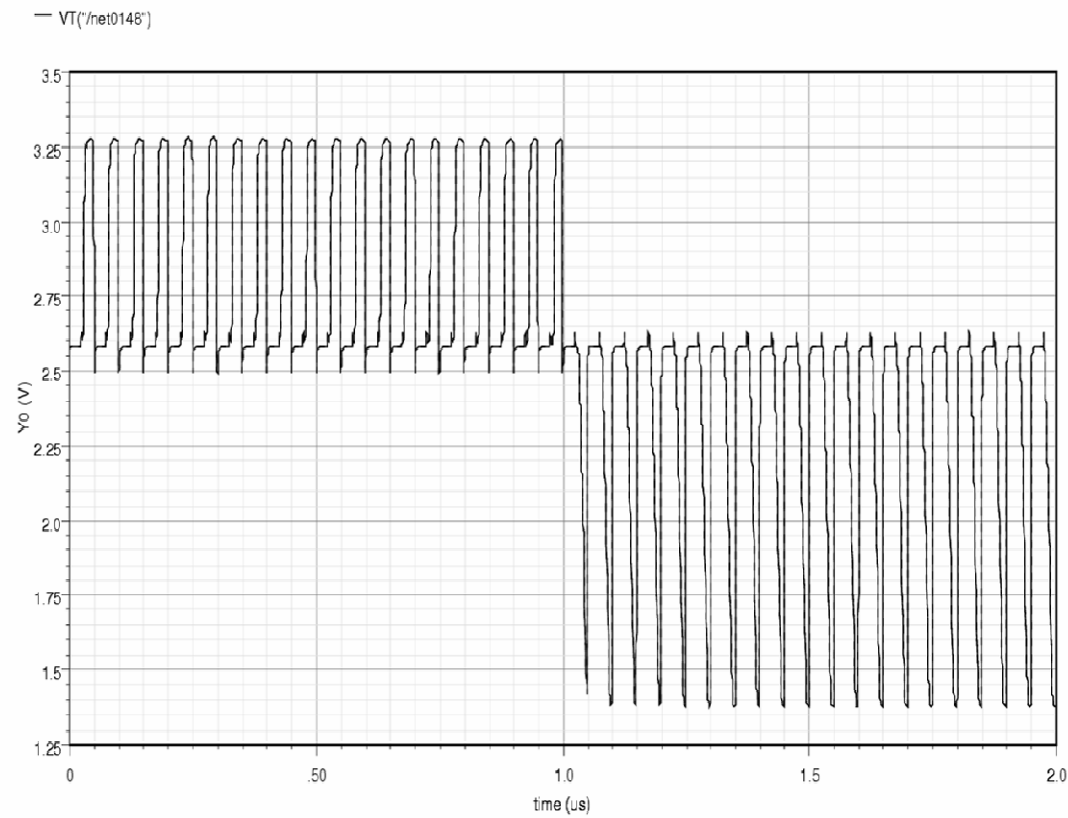


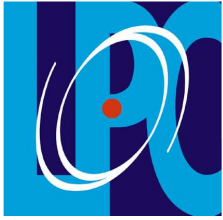
# La sortie ... Inutilisable telle quelle...

User: lecoq Date: Apr 11, 2006 Time: 10:41:04 AM CEST

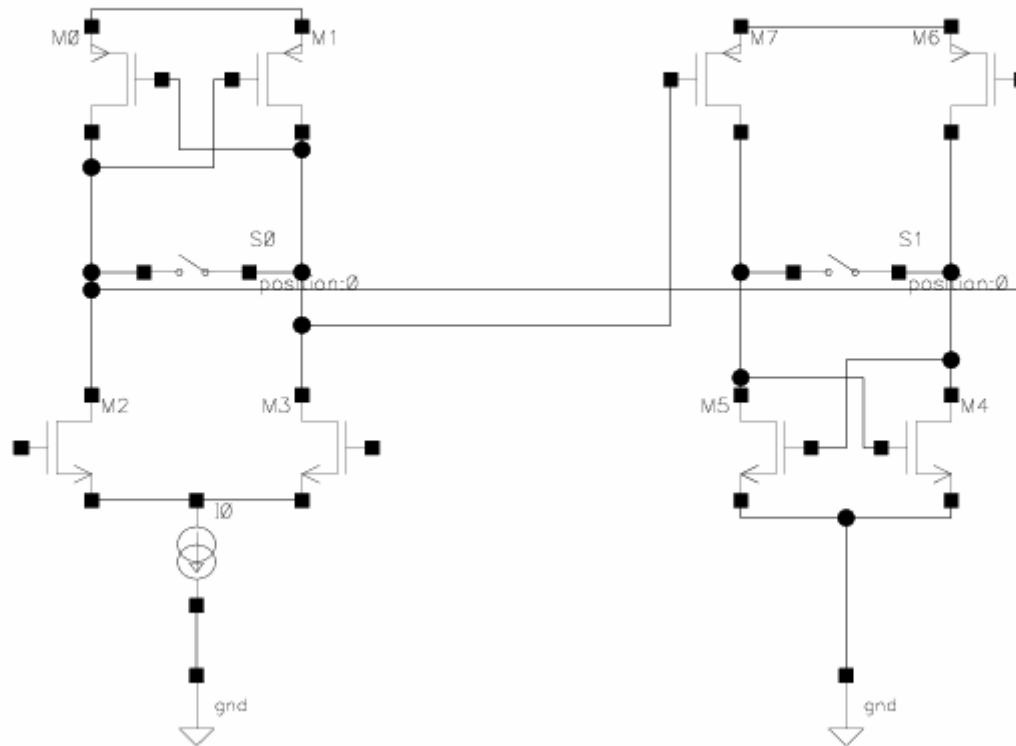
**IN2P3**

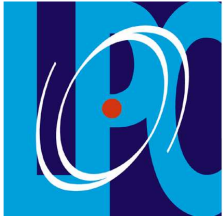
INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES



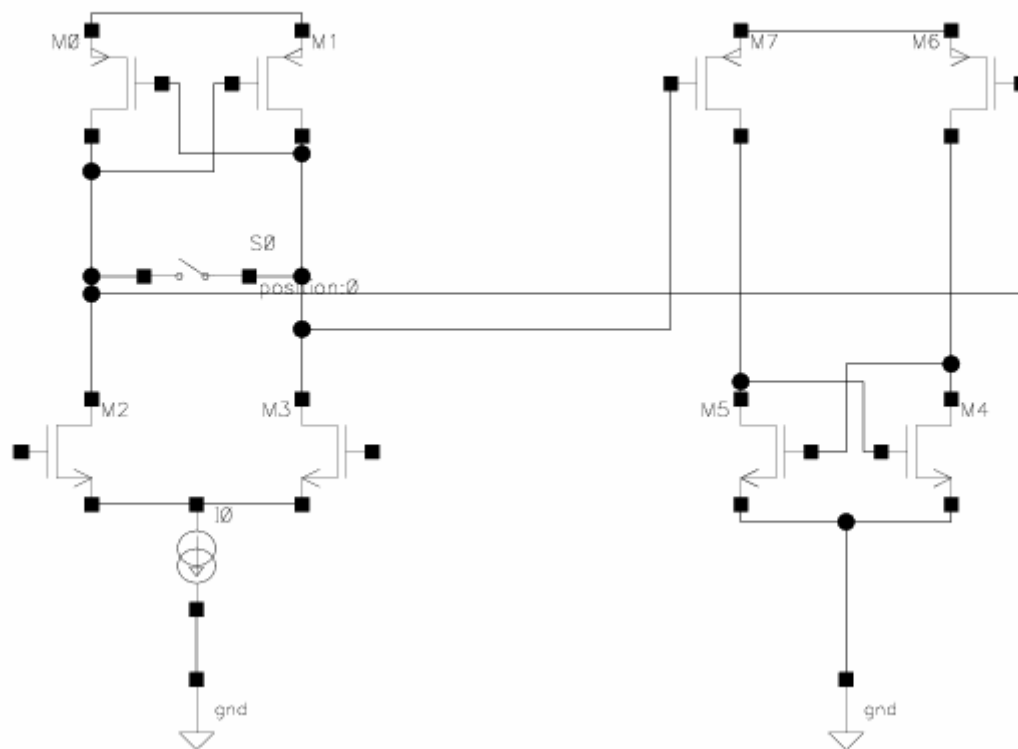


# LE COMPAREUR.



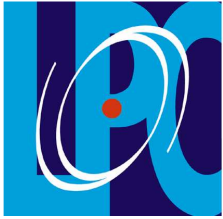


# LE COMPAREUR.

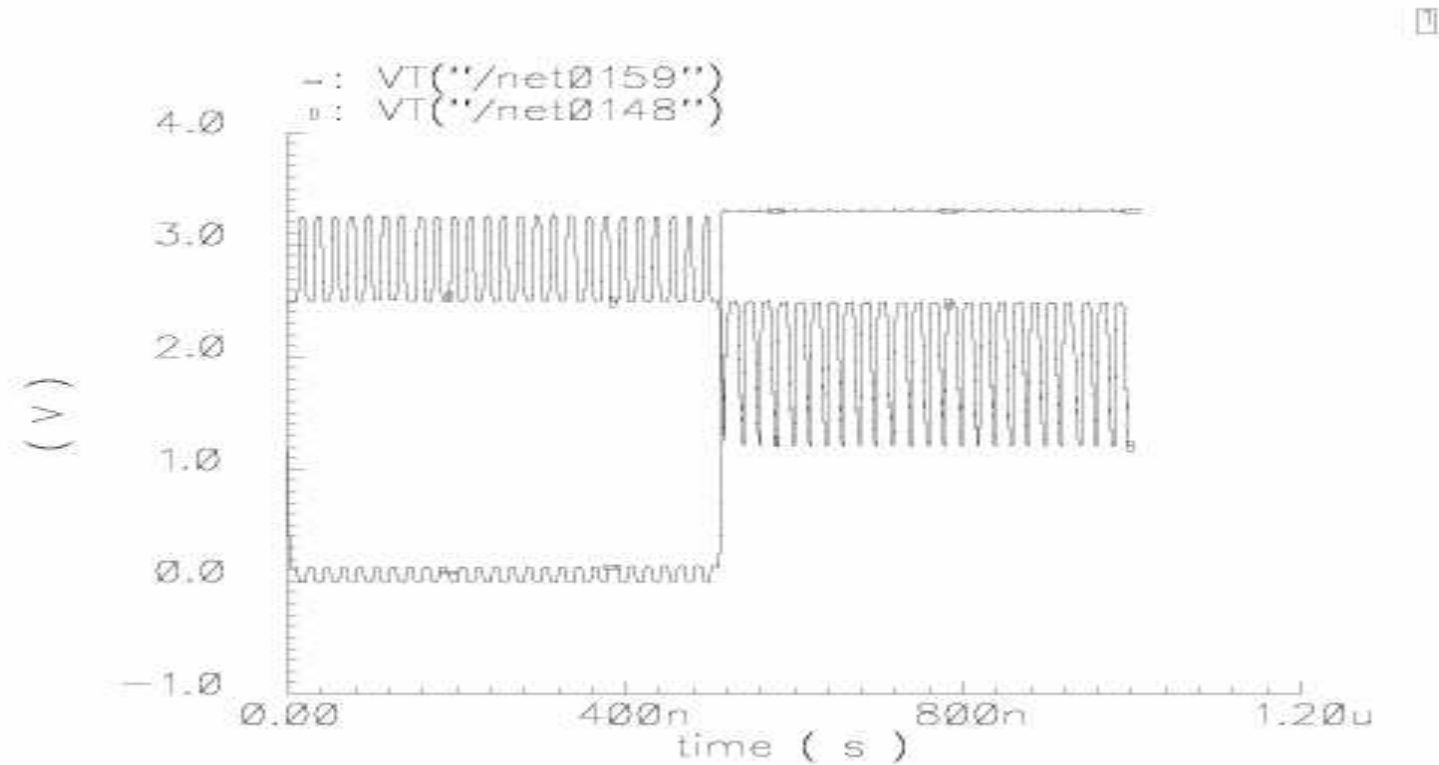


On peut supprimer le Switch de droite si Le courant dans la Branche de droite est Suffisamment faible Lorsque le Switch de La branche de gauche Est fermé.

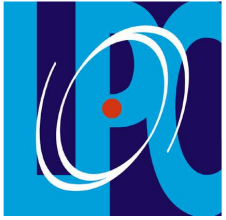
Le dimensionnement Est facile à réaliser Car dans ce cas la Branche de droite Est un simple miroir De courant de celle De gauche.



# LE COMPAREUR.



**Reste le kick-back noise !!!**



# LE COMPAREUR.

le kick-back noise !!!

Peut atteindre plusieurs mV par KOhms...

Autant dire que pour un flash de 10 bits, avec 1 KOhms  
De charge dans les émetteurs, et 1 V de dynamique,...

Si il y a 1024 comparateurs ....

Une solution: ralentir ....

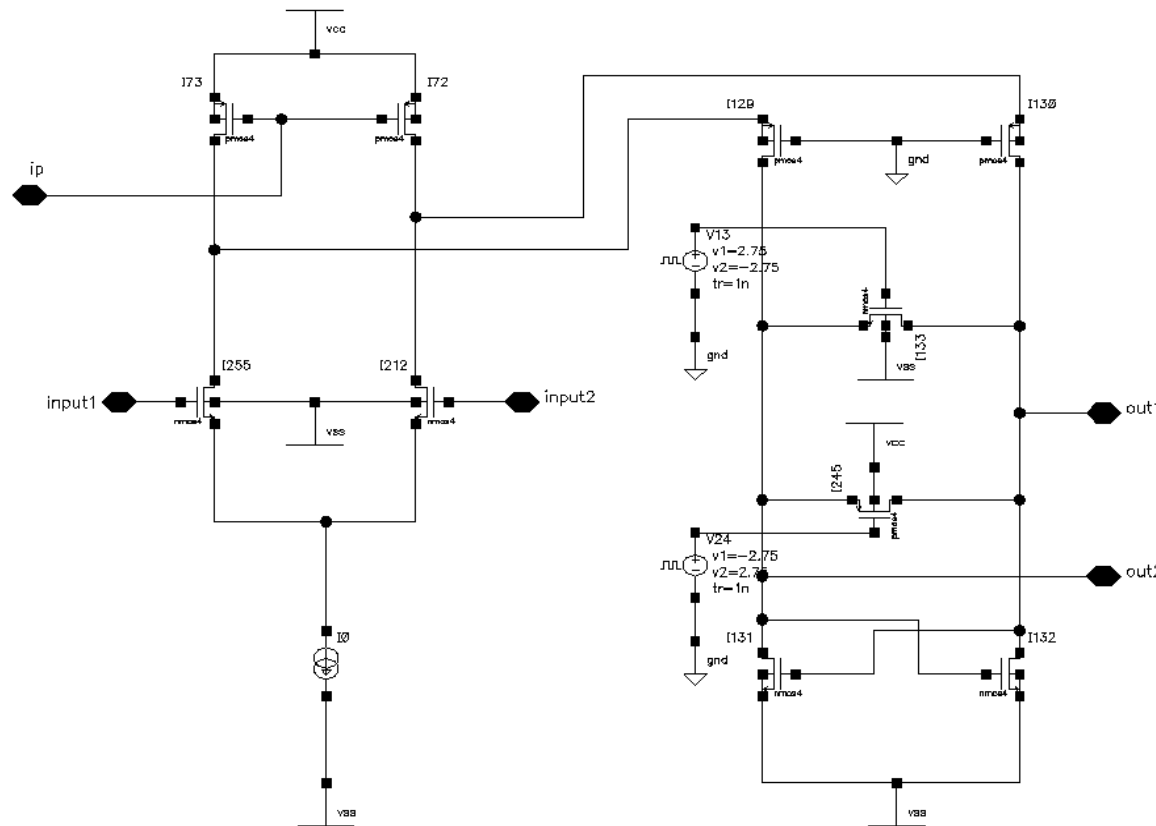
Une autre solution, augmenter le courant ....



# Une autre solution le cascode

**IN2P3**

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES



Sensibilité :  
Simulée 1  $\mu\text{V}$   
Mesurée < 500  $\mu\text{V}$

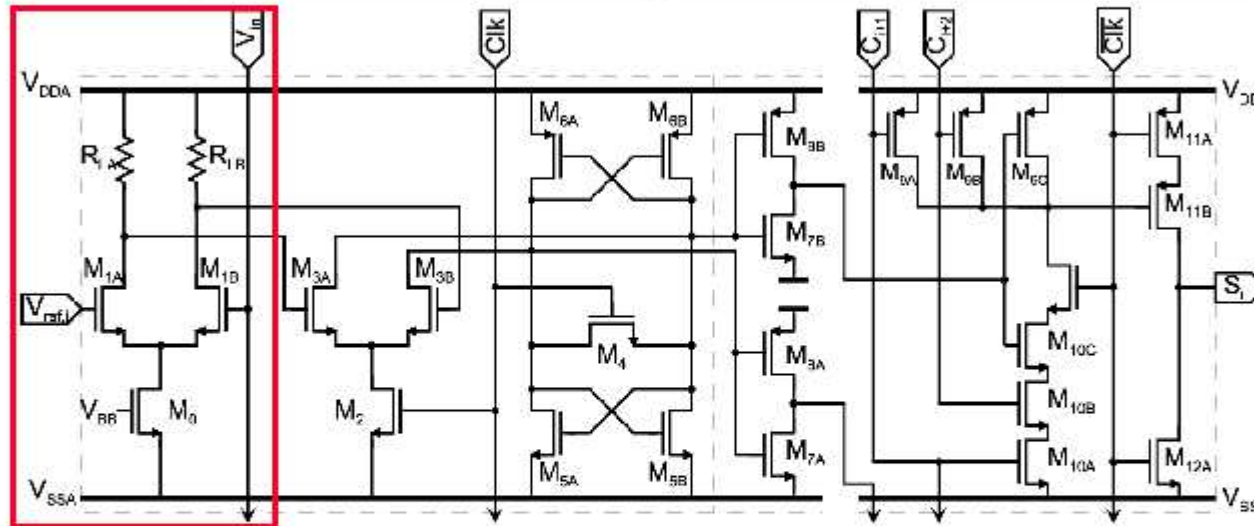
Offset 3mV (1mV bip)

100  $\mu\text{A}$

Le kick-back noise  
reste important

Enfin, la solution qui s'impose est un étage linéaire de plus

## Building Blocks: Pre-amp

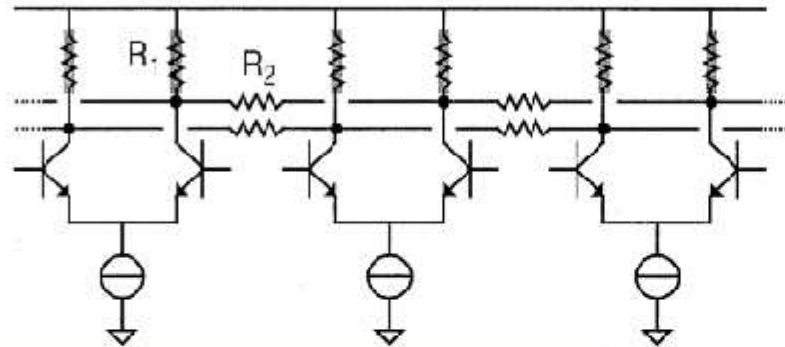


- ◆ **Pre-amplifier [M1a, M1b]**
  - Differential Pair with resistive load
  - Reduce Kick-back noise
  - Reduce Input Referred Offset Comparator

# Pour les offsets solution inévitable : le moyennage

## Output Averaging Techniques

**KU**  
LEUVEN  
[ISSCC'97]

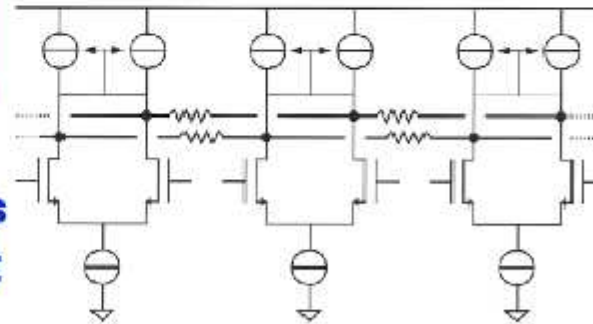


Kattman & Barrow  
ISSCC91

Bult, Buchwald & Laskowski  
ISSCC 1997

**Trade-off between Gain and Averaging !!!**

- DNL improves with # of stages
- INL improves with square-root of averaging stages



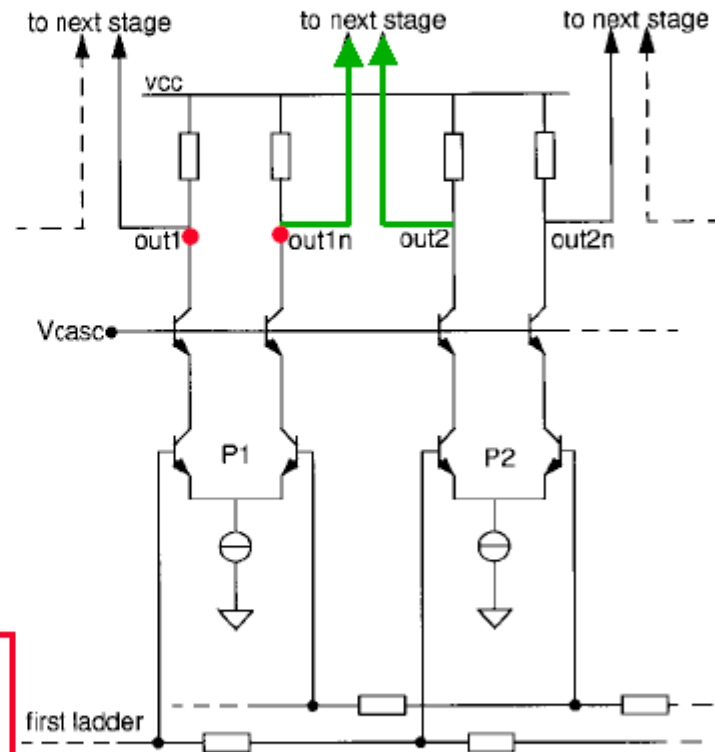
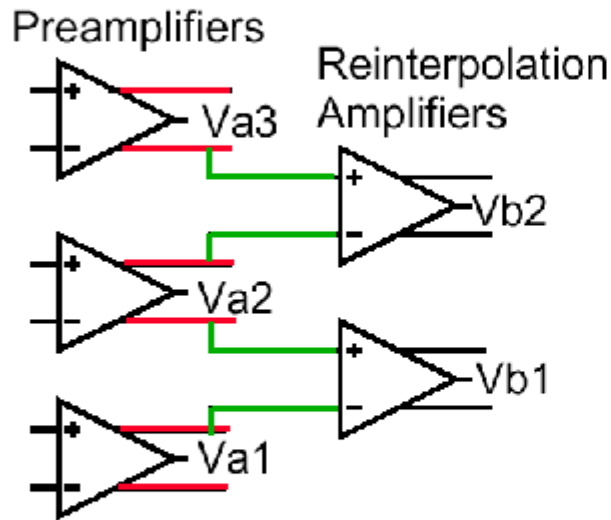
Mixmodest

Esat-Micas

ESSCIRC'00.ppt

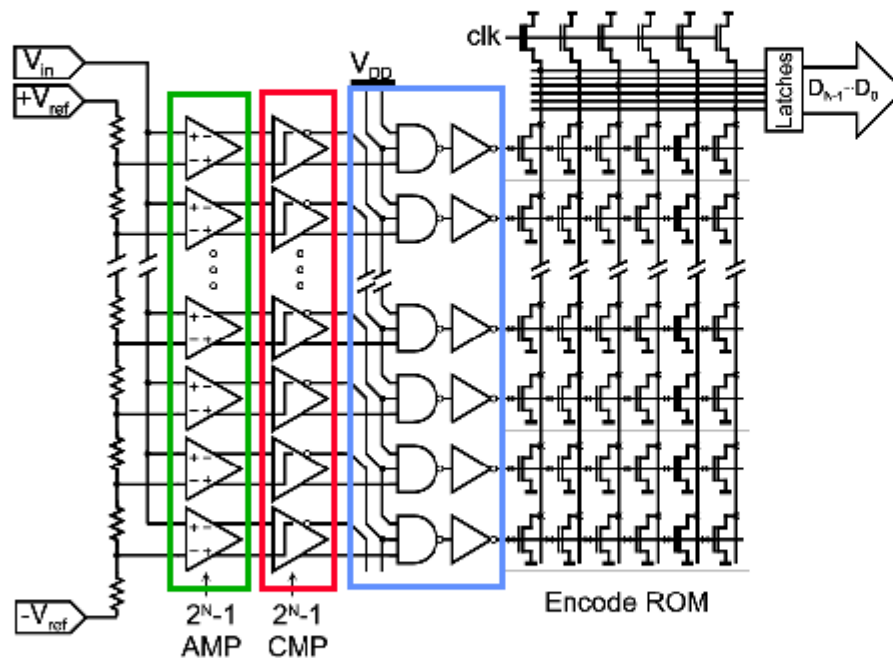


# Neighborhood/Shifted Averaging



**NO Trade-off between Gain and Averaging !!!**

# Architecture Flash ADC



- ◆ NO Sample/Hold
- ◆ NO Calibration
- ◆ Pre-amplifiers
- ◆ Regenerative Comparators
- ◆ Error correction circuitry
- ◆ ROM Gray Encoder
- ◆ Output-drivers

Mixmodest

Esat-Micas

ESSCIRC'00.ppt

## Why Error Correction?

---

- ◆ Error rate very high => Output waveform disintegrates and SNR drops due to performance limiting glitches !

- ◆ Output Comp :  $V_{OUT} = V_{IN} \cdot A \cdot \exp\left(\frac{t}{\tau}\right)$

- ◆ So Metastability Error Rate is given by :  $\frac{1}{A \cdot \exp\left(\frac{t}{\tau}\right)}$

- ◆ Increases exponentially with sampling speed, analog BW preamp increases linearly !

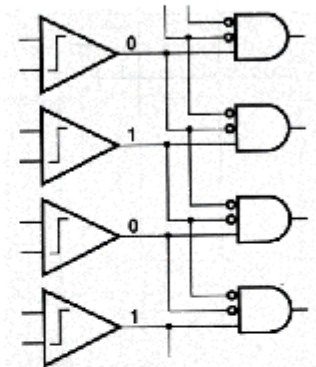
- ◆ Also other errors can occur...

 **Need for Power Efficient Error Reduction Circuitry !**

## Digital Error Correction

### ◆ Bubbles error detection circuit

- Look at neighbours !
- 3-input Nand :



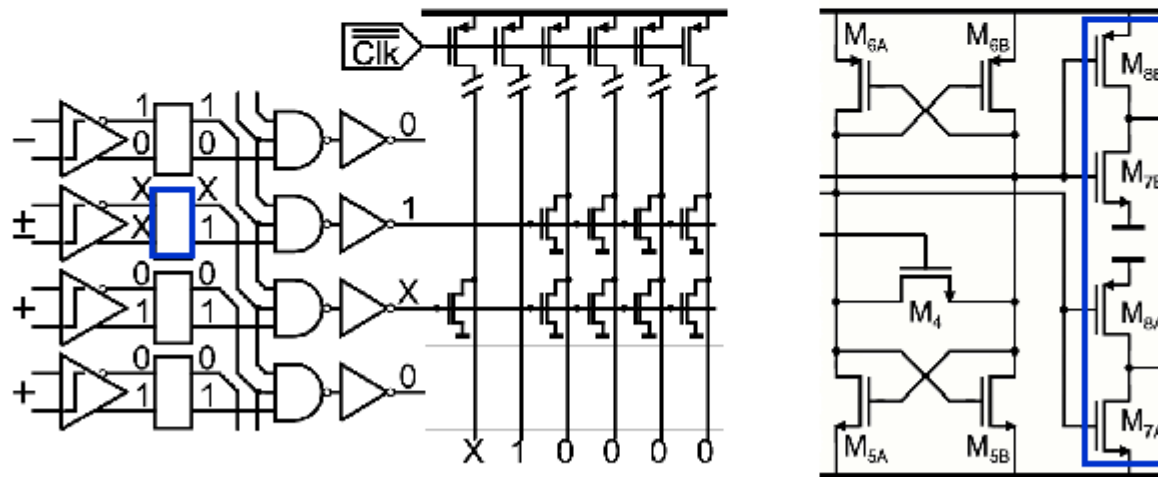
### ◆ Metastability errors

- Output voltage comparator:  $V_{OUT} = V_{IN} \cdot A \cdot \exp(p_{reg} \cdot T/2)$
- Comparator reaches no decision (output = X)
  - Probability is non-zero ( $V_{in} \sim V_{ref}$ )
  - Can be interpreted 0 or 1 by following digital logic
- 3-input nand following comparators
  - ⇔ Zero/One/Two romlines can be adressed !

## Digital Error Correction (3)

### ◆ Avoiding severe metastability errors

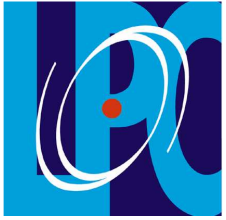
- Make sure that always one romline is addressed !
- Invertors following comparator with threshold voltage higher/lower than reset-voltage (in fact we help the comparator to do its task)



Mixmodest

Esat-Micas

ESSCIRC'00.ppt



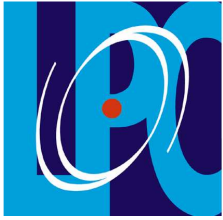
Que faire si la tension d'alimentation devient inférieure à la dynamique dont on a besoins !

(produit des offsets ou du kick-back noise par  $2^N$ )

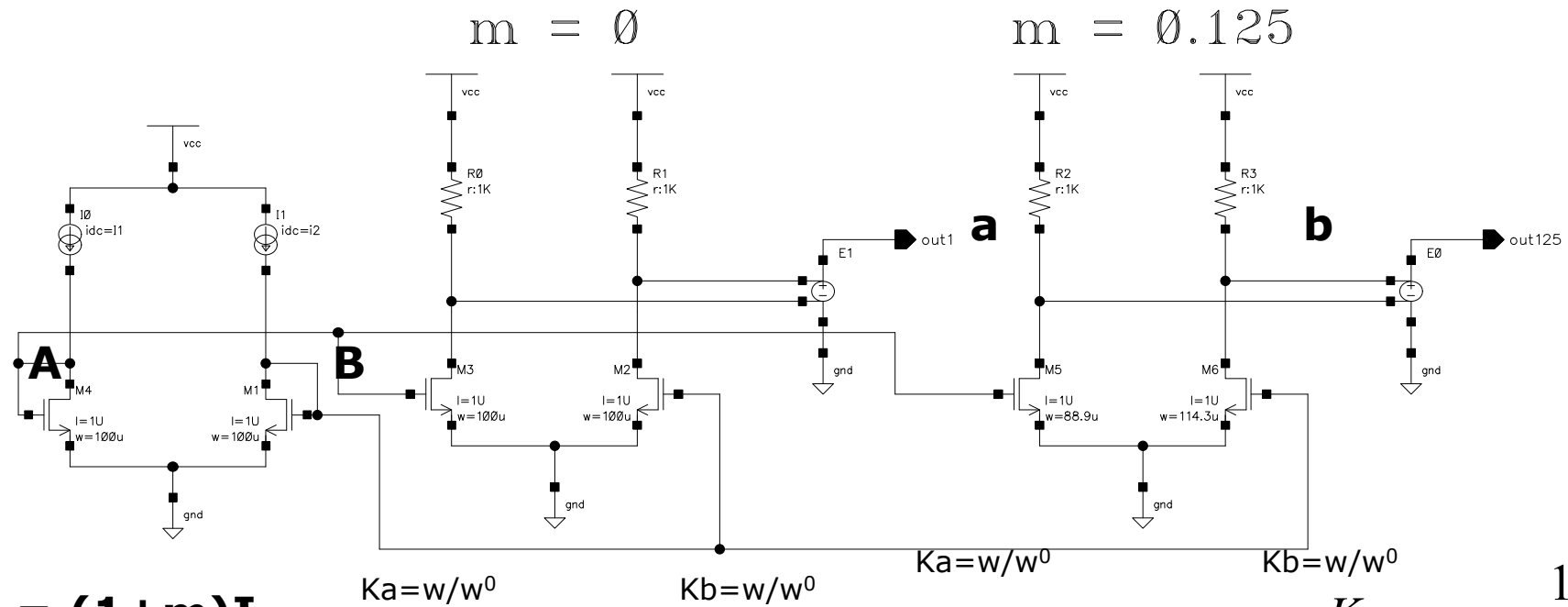
Peut être une solution:

L'échelle différentielle active en courant.  
CDADL (current driven active differential ladder)

Idée: diviser la dynamique en courants et non en tensions.



# CDADL



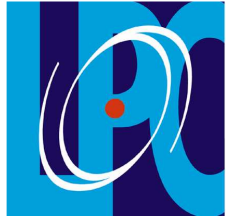
$$I_A = (1+m)I_0$$

$$I_B = (1-m)I_0$$

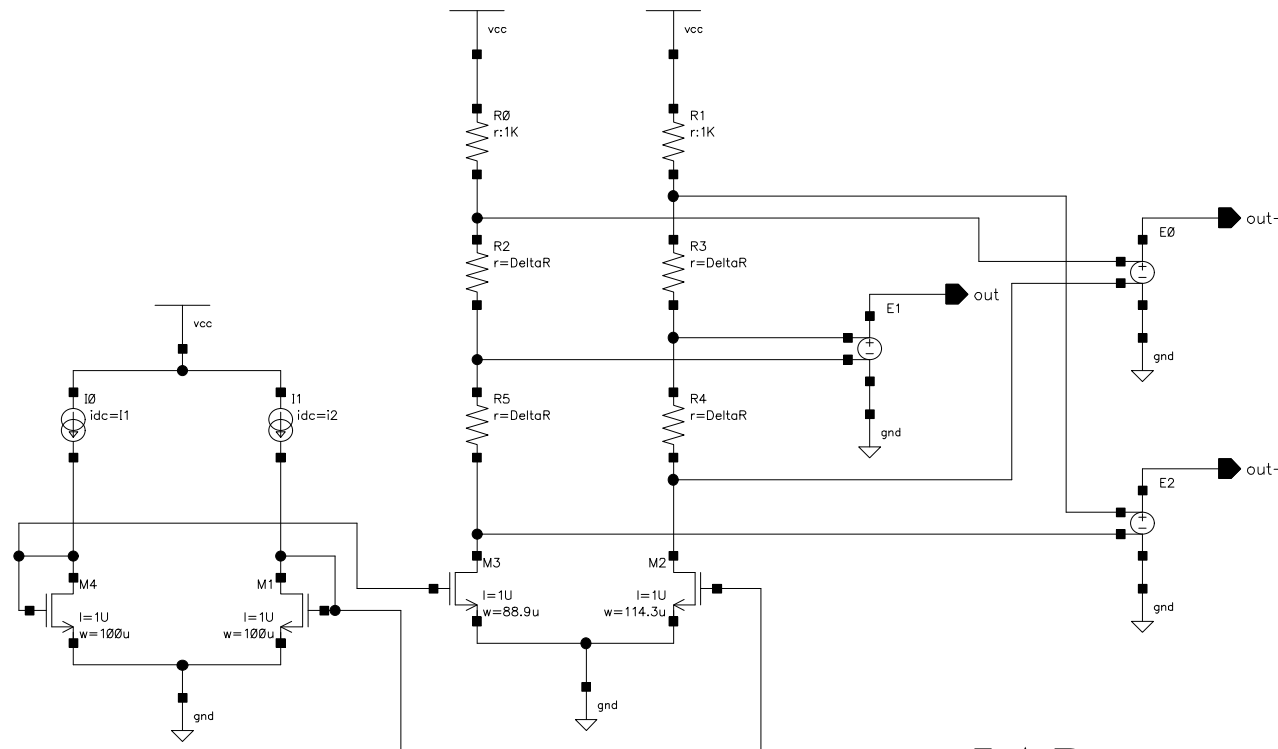
$$K_a = \frac{1}{1+m}$$

$$K_b = \frac{1}{1-m}$$

Le problème revient à dimensionner les transistors, comme pour des DACs. Cette paire n'a pas besoins d'être linéaire sauf au seuil. On ne perd rien puisque cette paire peut être le premier étage du comparateur, obligatoire par ailleurs. Les rés. peuvent être différentes.

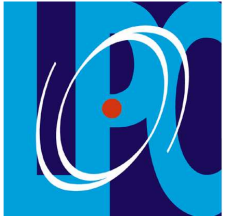


# Courrant + tension

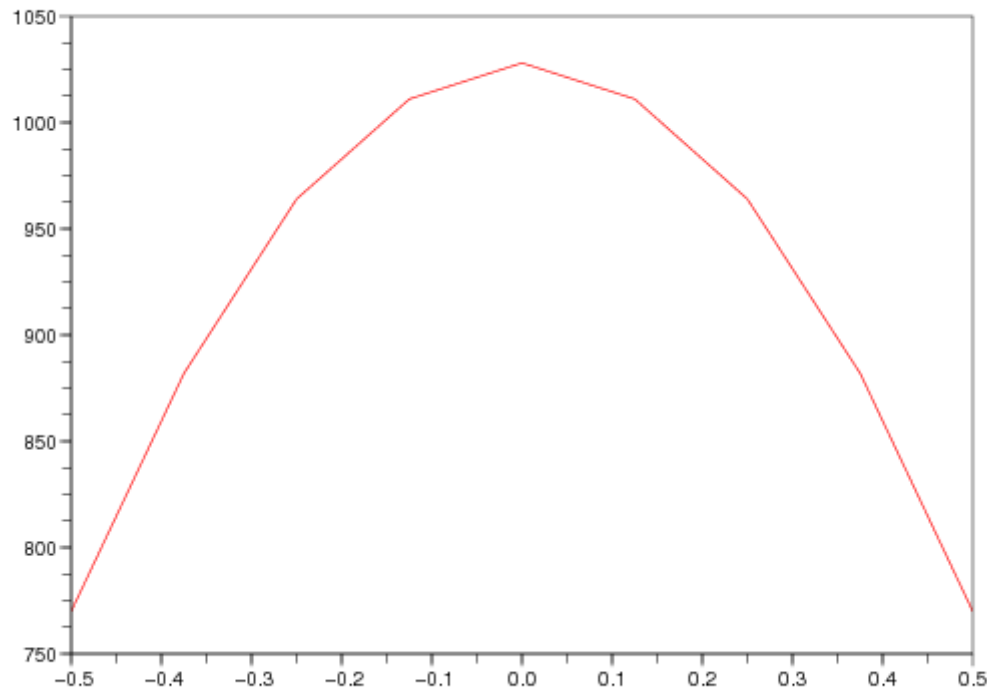


$$\Delta I = \frac{I \cdot \Delta R}{R} \cdot (1 - m^2) \cdot \left( 1 - m \cdot \frac{\Delta R}{R} \right)$$

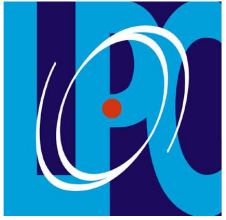




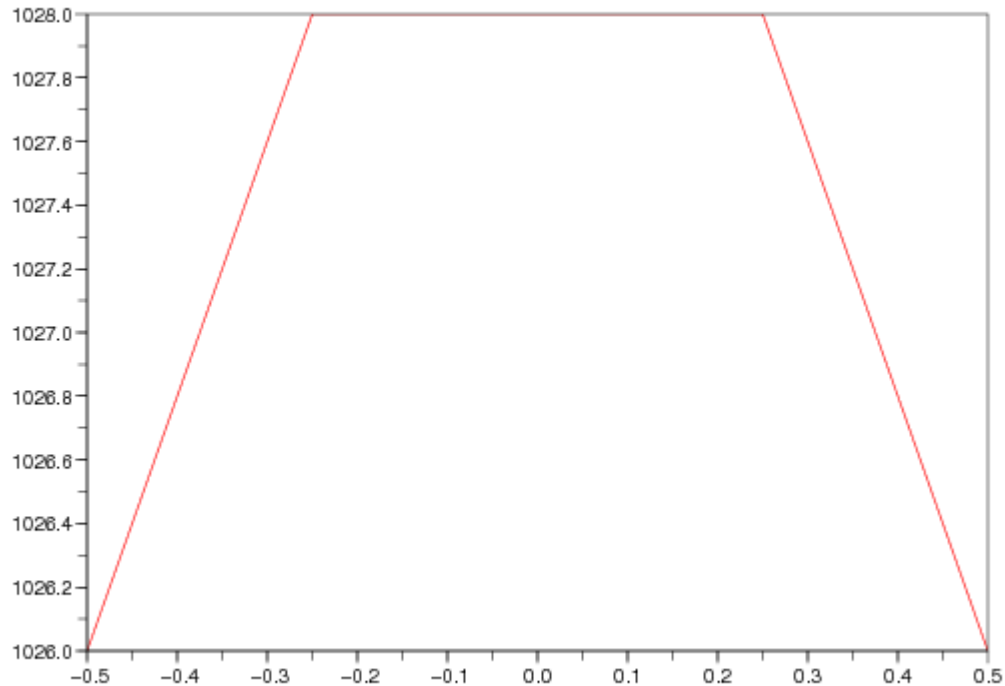
# Gain au point central (1)



**$\Delta R = 1$**



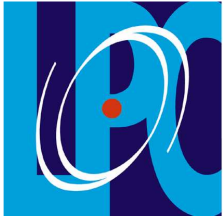
# Gain au point central (2)



**Toutes les autres  
Améliorations  
et corrections  
sont toujours  
valables.**

**Moyennage  
Bulles  
Mise en forme.**

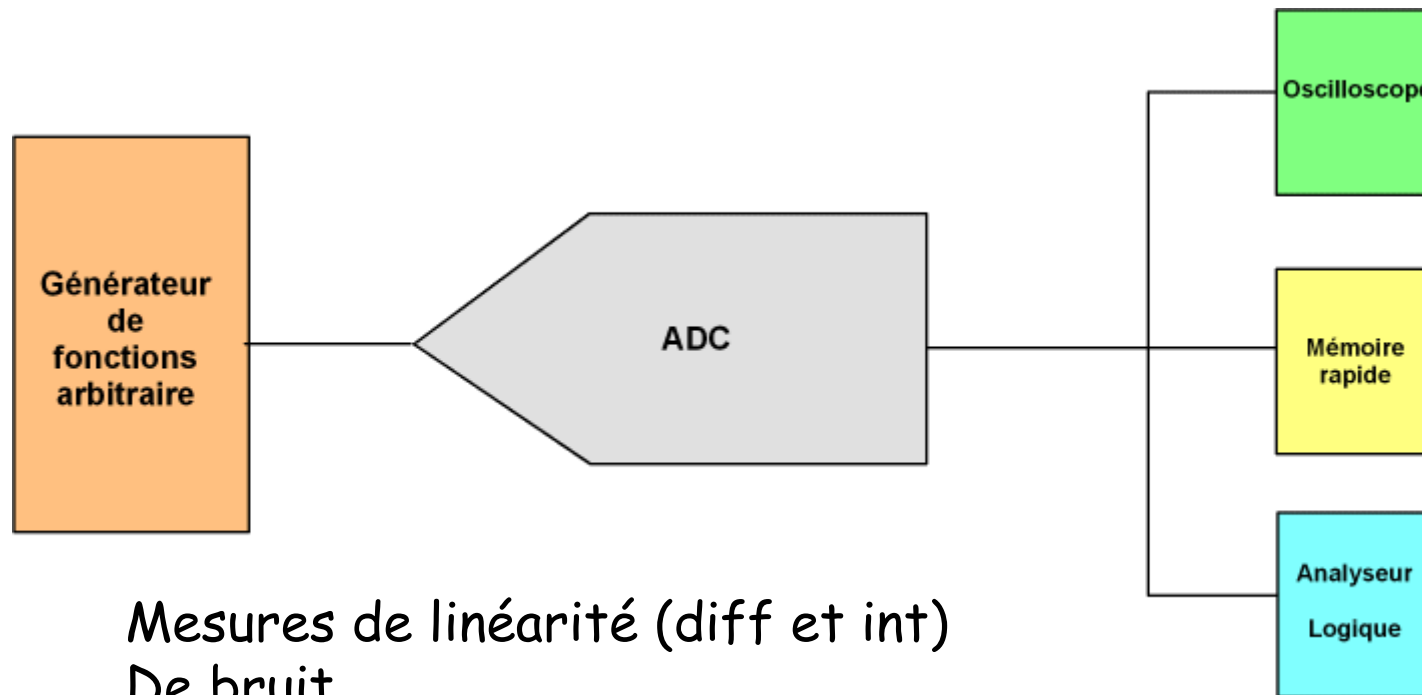
$$\Delta R = 1/1-m^2$$



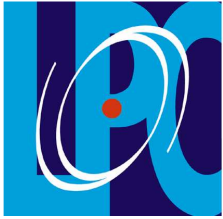
# Test des ADC's

IN2P3

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES



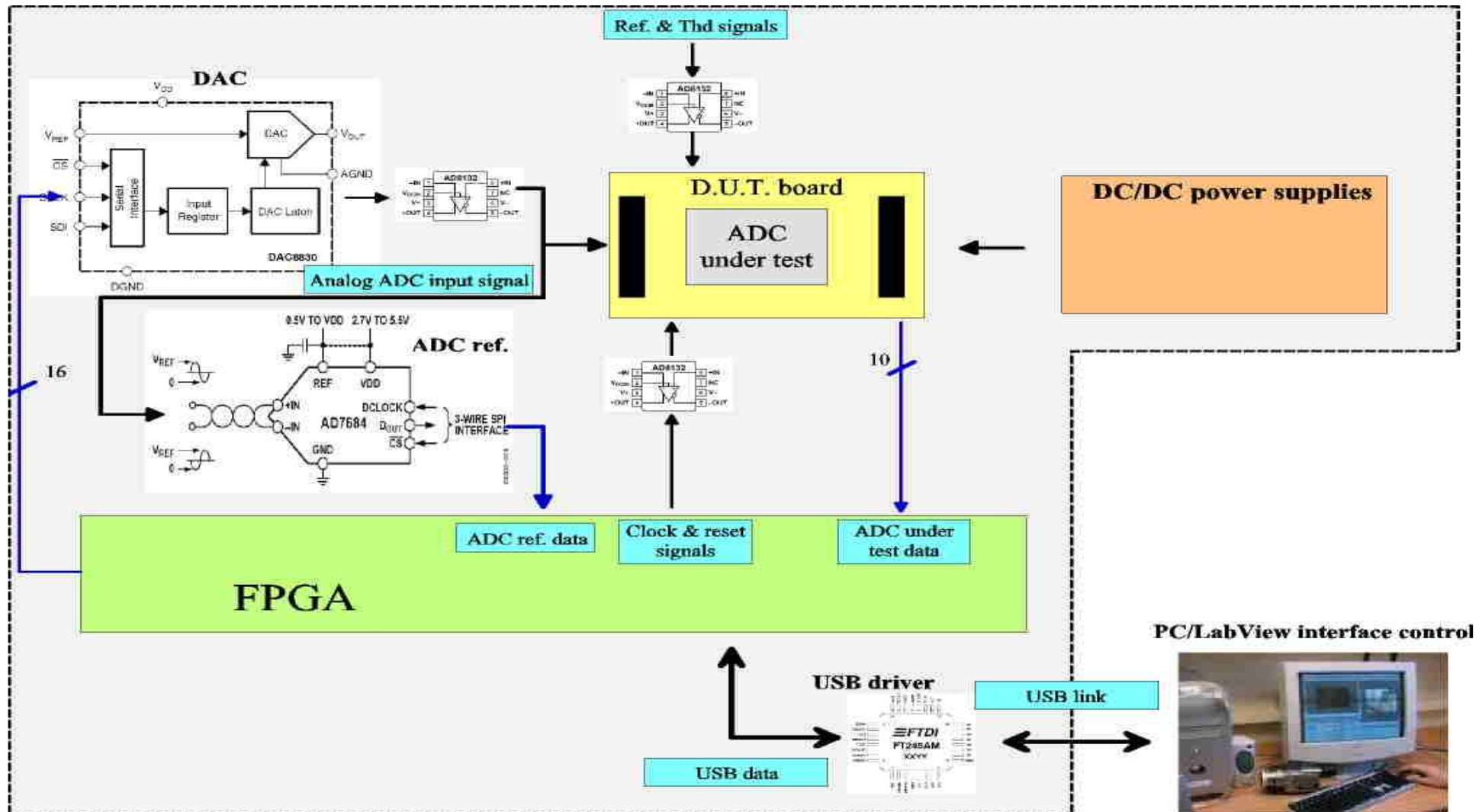
Mesures de linéarité (diff et int)  
De bruit  
Du nombre effectif de bits  
Du rapport signal sur bruit

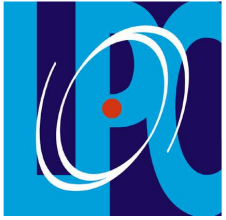


# Test des ADC's

IN2P3

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES



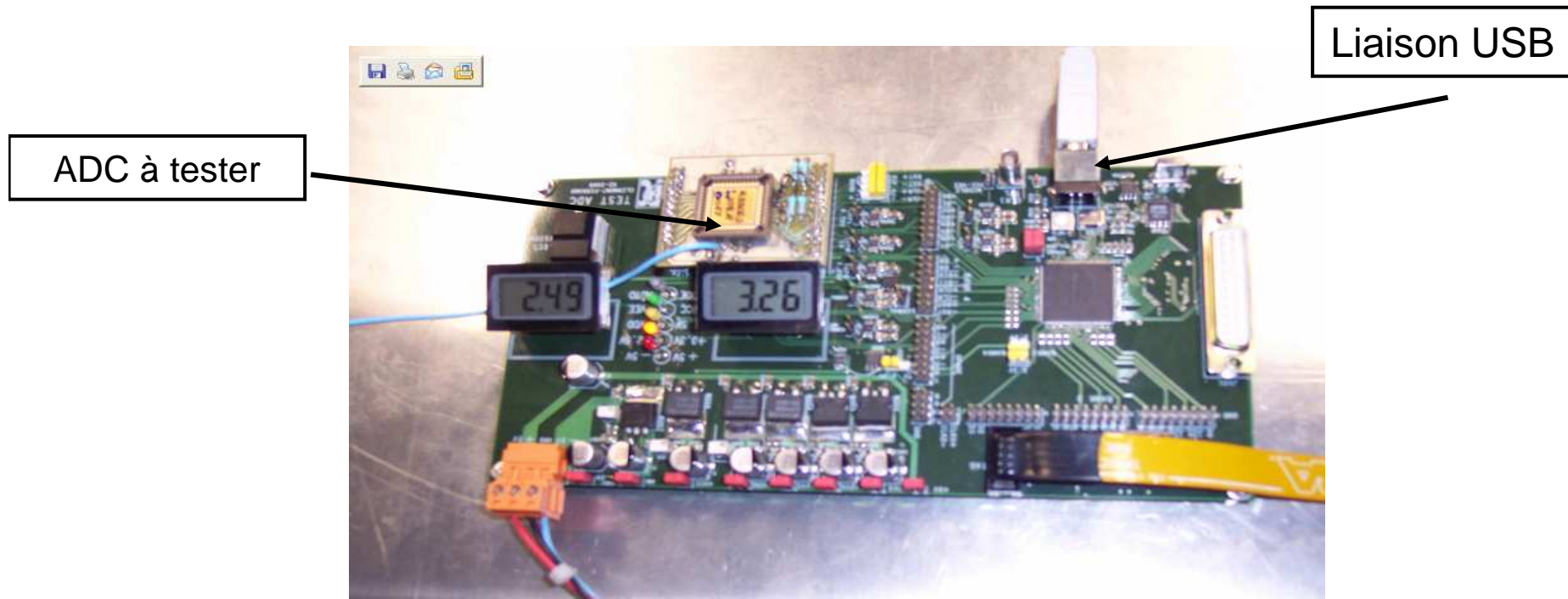


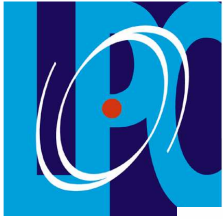
# Test des ADC's

IN2P3

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES

- § Carte générique réutilisable pour tout ADC.
- § Petite carte fille pour chaque ADC.
- § générateur: DAC 16 bits (DAC8830)
- § Référence : ADC 16bits (AD7684)
- § Interface PC par USB interface et Labview.
- § Traitement des données par matlab ou eq.

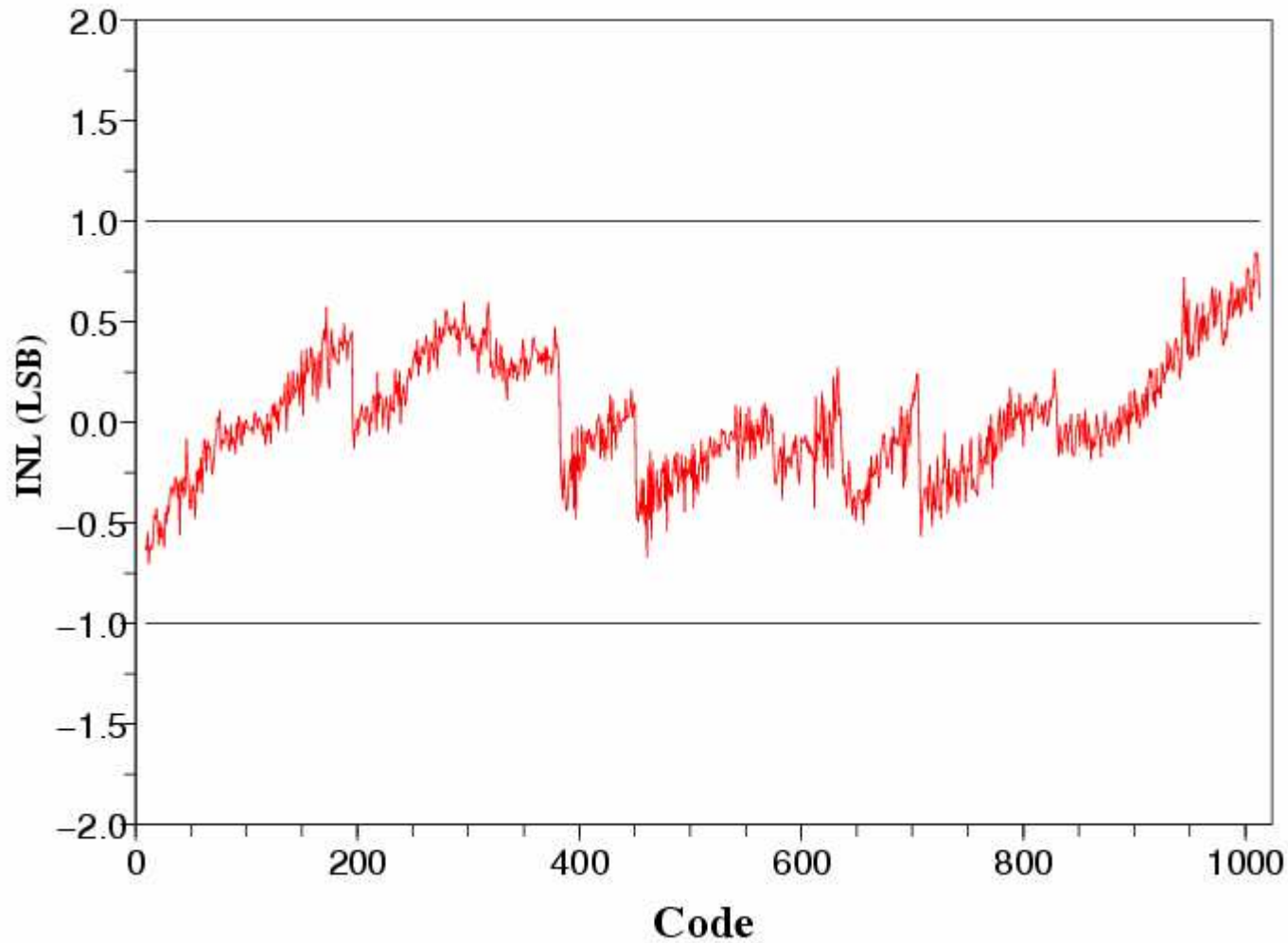


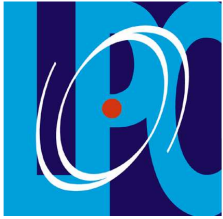


# Test des ADC's

**IN2P3**

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES

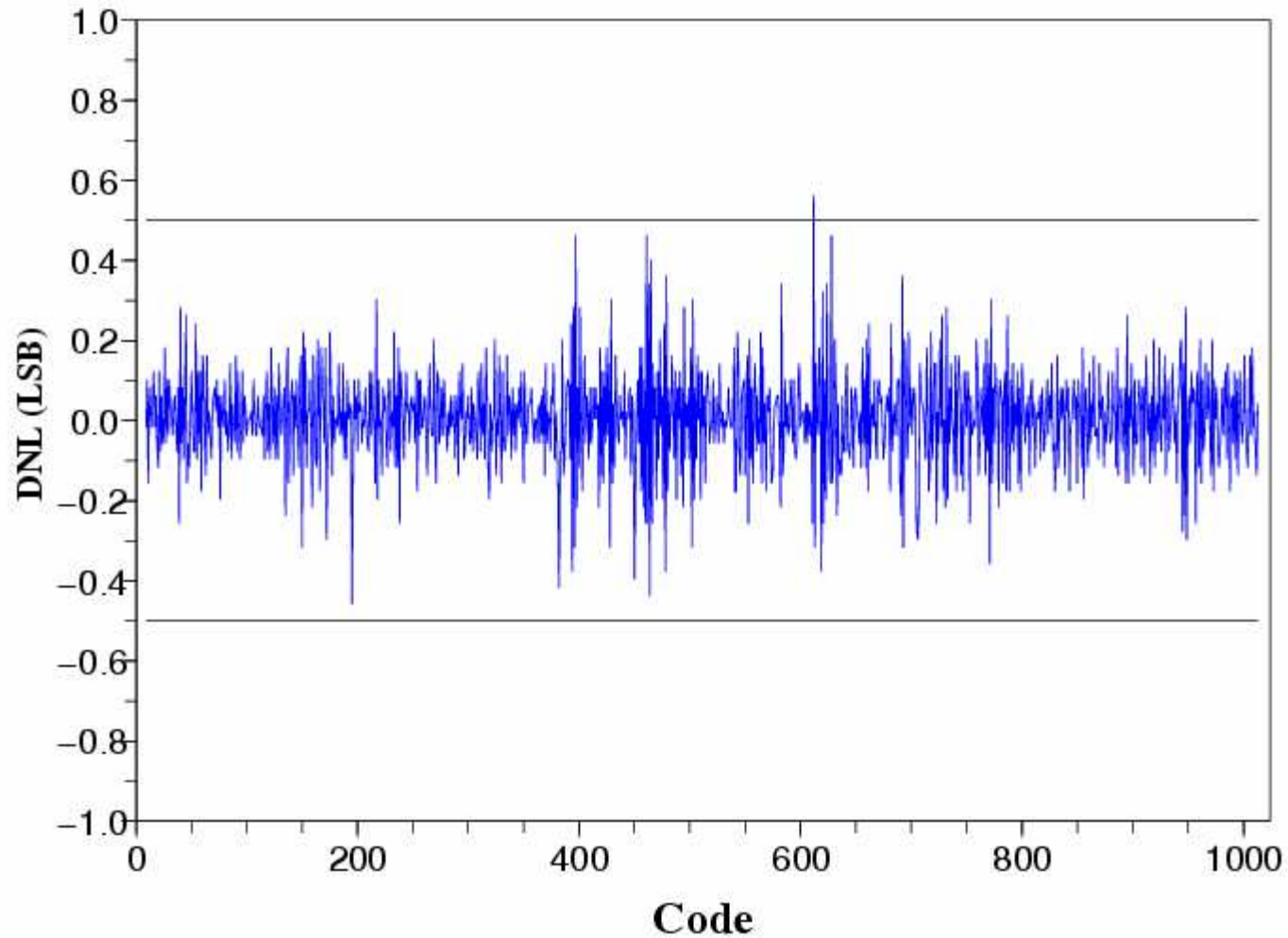


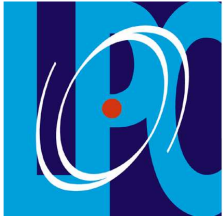


# Test des ADC's

**IN2P3**

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES





# Test des ADC's

**IN2P3**

INSTITUT NATIONAL DE PHYSIQUE NUCLÉAIRE  
ET DE PHYSIQUE DES PARTICULES

