Outils de CAO

Ecole de microélectronique IN2P3

12 -15 octobre 2009, La Londe Les Maures

C. Colledani

Réseau IAO-CAO électronique IN2P3

Mission: Doter les électroniciens de l'IN2P3 des outils de conception permettant de mener la Recherche, Développement et Fabrication nécessaire aux expériences

- **Développements cohérents**
  - **Pas de rupture entre les étapes de conception**
    - **Un Système Intégré**
    - **Des bibliothèques communes (PCB), IP**
- **Environnement standard**
  - **Synergie entre laboratoires, IN2P3, Internationaux**
- **Maintenir le potentiel des électroniciens**
  - **Technicité**
- **Négocier les marchés**
  - **Visibilité de l'Institut**
  - **Interlocuteur unique vis-à-vis des fournisseurs**

Organisation de la Mission

- Centre mainteneur (LAL)
  - Gestion licences CC-IN2P3
  - Serveur Web
    - http://www.in2p3.fr/actions/electronique/organisation.htm
- Top to bottom
  - Chefs de Service
  - Correspondants CAO
  - Correspondants Formation
- Bottom Up
  - Sites experts ➔ Contact avec hot line fournisseurs
  - ASIC: IPHC + LAL
    - Virtuoso ➔ Isabelle, Grégory, Frédéric, Nicolas, Claude + Gisèle
    - SOC ➔ Abdelakder, Guy + Frédéric
- Broadcast ➔ Liste de diffusion: Il faut s'inscrire!
  - Liste CADENCE_IAO-L (simulations, synthèses numériques)
  - Liste CADENCE_MGR-L (installations, management logiciels)
  - Liste CADENCE_MGR_IN2P3-L (licences)
  - Liste CADENCE_PCB-L (flot "SPB" Concept-Allegro)
  - Liste CADENCE_VLSI-L (flots CIC et outils associés)
  - Liste CADENCE_FORUM-L

Outils Cadence

Marché signé en 2008

- **ARTICLE 1 - OBJET DU MARCHE**
  ……L'IN2P3 a vocation de recherche fondamentale en physique nucléaire et en physique des particules.

Les prestations qui font partie de ce marché sont réservées à ce contexte de recherche fondamentale à l'exclusion de tout autre, en particulier à l'exclusion de prestations de service et de contrats industriels lucratifs.

- **Sensibilisez vos services de valo ➔ MIND**

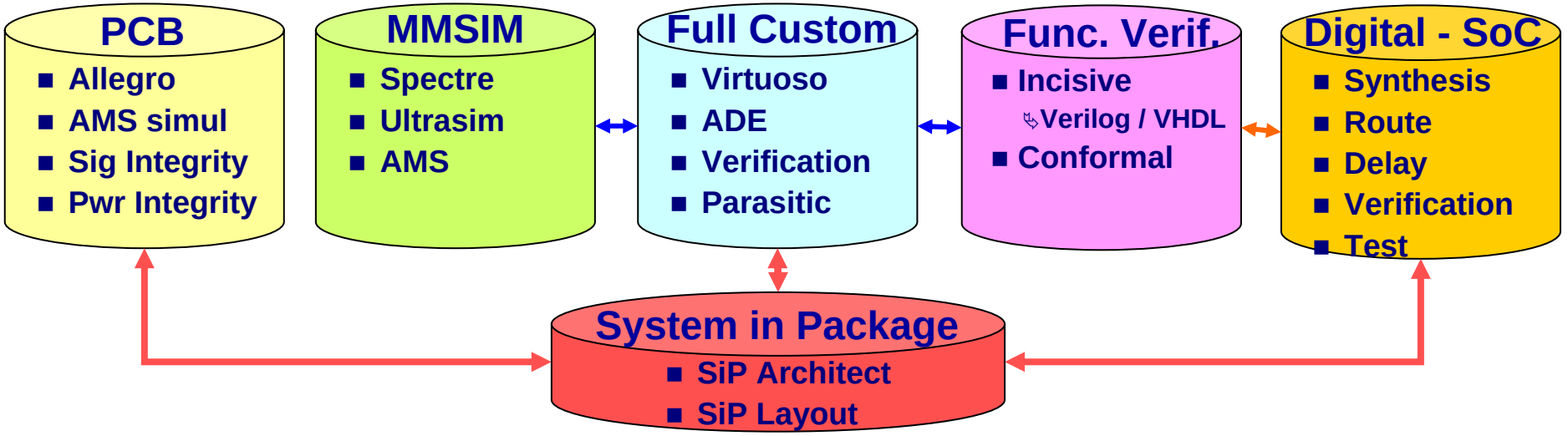
Remarque sur accès Europractice (conf Flot IBM)

- **Justifier d'actions académiques (cours, stagiaires, doctorants)**
- **Les fournisseurs sont attentifs**

Outils de CAO

EuropracLike

Portefeuille du marché



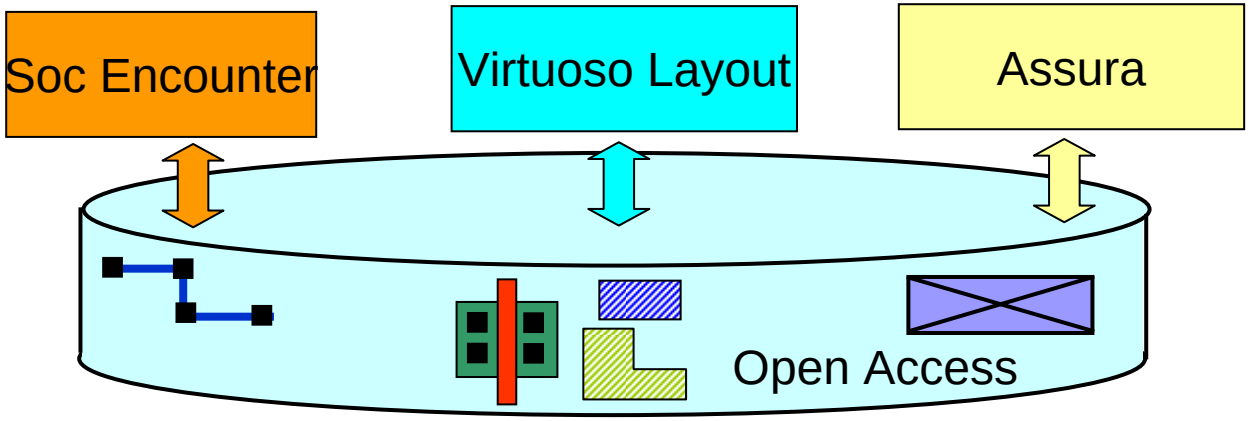
- Des licences centralisées au CCIN2P3
  - Mutualisées → accès aux versions haut de gamme
  - Pour les nouveaux flots (Virtuoso 6.0, Soc, MMSIM)
  - Compatibles avec les utilisations courantes (V5.xx, Ambit)

- 2009 a vu le démarrage de Virtuoso 6.x à l'IN2P3
  - Stage spécifique 4 jours à Clermont, 11 IN2P3 + 2 CEA

Cadence DFII 6.1xx

- **Utilisation d'openAccess (oa)**
  - **Interopérabilité des outils**
    - **Layout et vérification principalement**

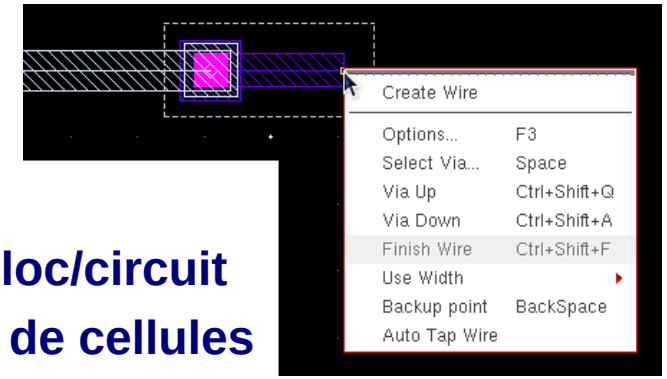
Migration pour archivage des designs "Gold" ?



- **Peu de changements apparents au niveau du file system**
  - **Library → Cell → Cell Views →sch/layout.oa (.cdb)**
  - **Properties Prop.xx → data.dm**
  - **Master.tag ✓**
  - **Lib.defs, cds.lib ✓ → Warning → Library Path Editor**

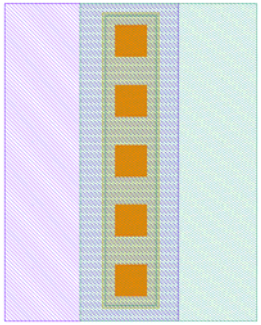
OpenAccess

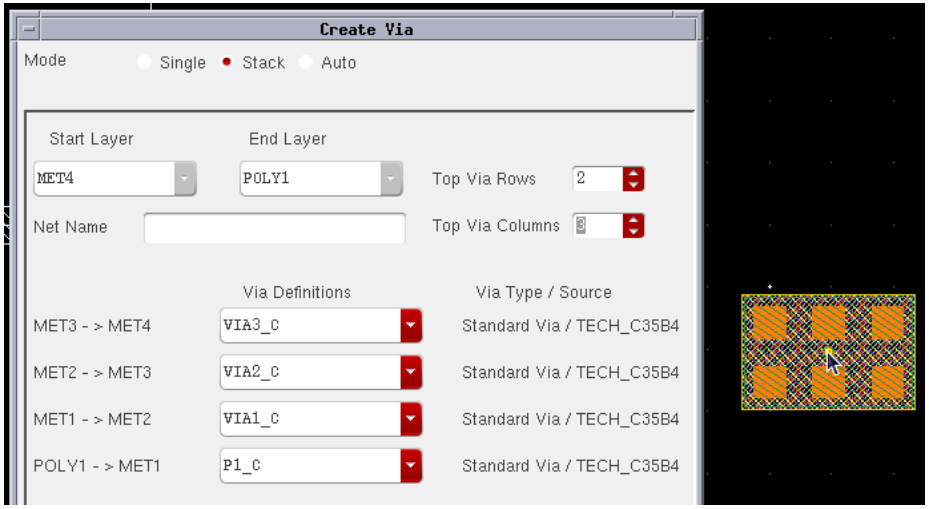
- **L'interopérabilité implique**
  - **Une techfile commune pour Virtuoso et SoC**
  - **Redéfinition et création d'objets layouts**
    - **Wires → Multilayer + Wire editor**
    - **Path segment → Single layer**
    - **Boundaries**
      - **prBoudary → délimite la surface d'un bloc/circuit**
      - **clusterBoundary → identifie un groupe de cellules**
      - **areaBoundary → assigne des éléments à une zone spécifique (High Voltage)**
    - **Blockages, interdictions au**
      - **Placement**
      - **Routage**
      - **Pins …**



OpenAccess

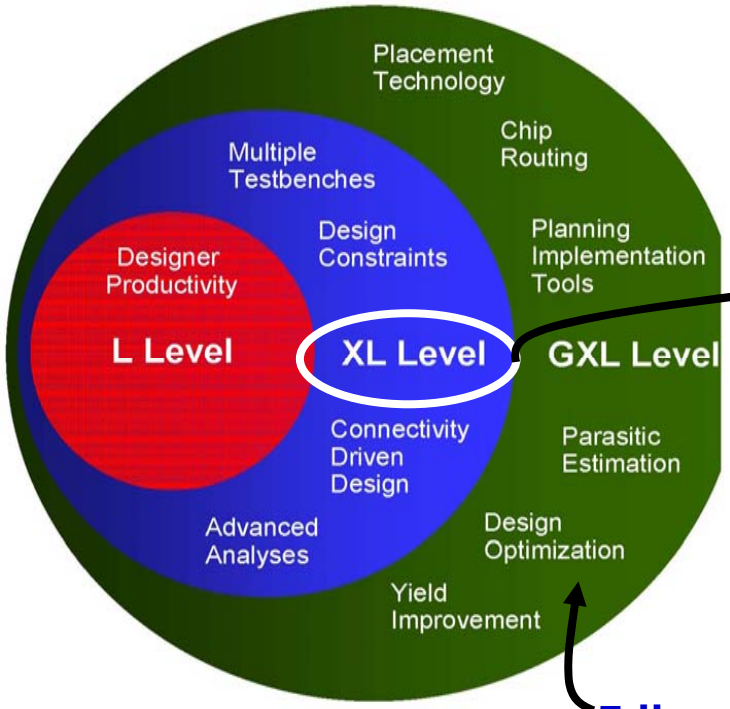
- **L'interopérabilité implique**
  - **Redéfinition et création d'objets layouts**
    - **Marker**
      - **Représentation unifiée**
      - **Sauvé dans la base de données**
      - **Gradué selon la sévérité → Fatal, Warning**
    - **Via**
      - **Plus de symbolic Via**
      - **Stacked Vias**
      - **Auto Vias**



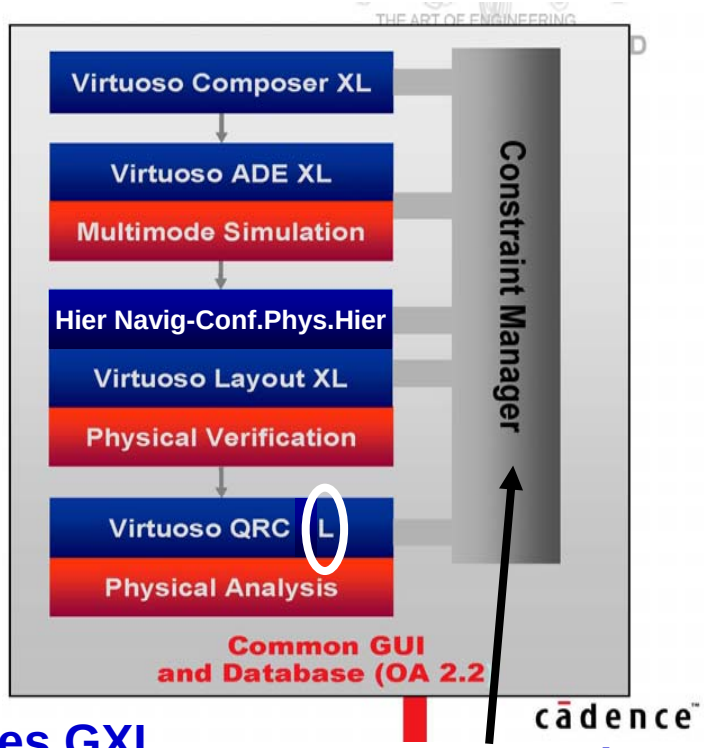


Environnement de travail IN2P3

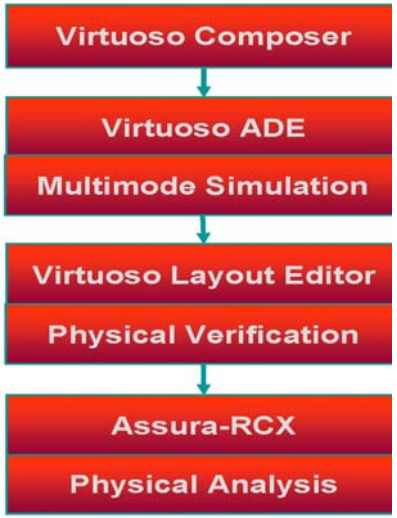
Offre Cadence



XL: config. 6.x de base des labos



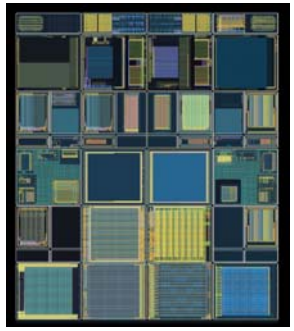
Config. 5.1



5 licences GXL

Propagations des contraintes

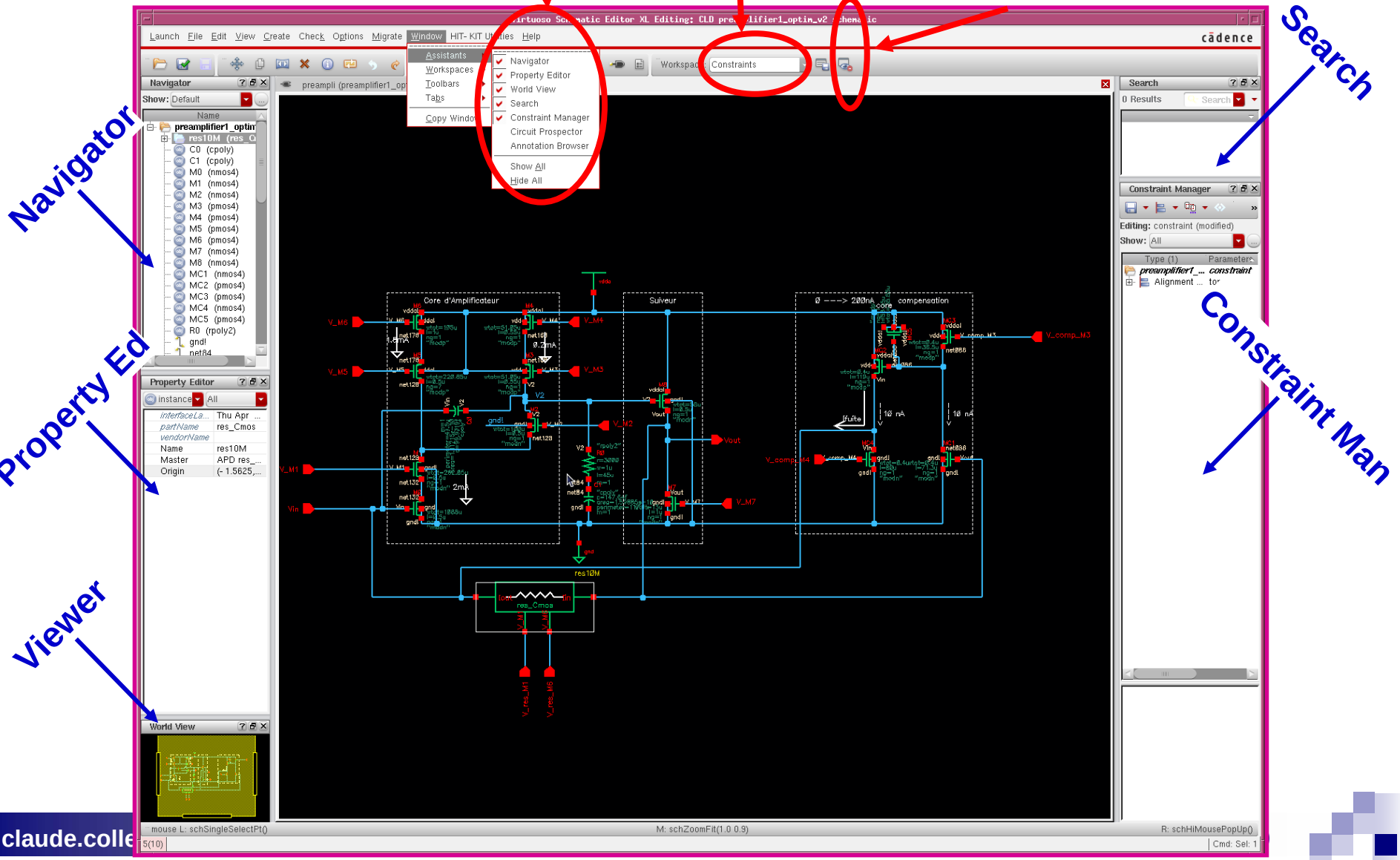
- **Gros designs, réticule MPW**
  - **mode 64bits**
    - **Layout, Layoutplus(32), Assura, Calibre (M-G)**
    - **Certaines fonctionnalités n'existent qu'en 32 bits → SpectreVerilog**
- **Accélération simulation, vérification**
  - **Mode multi-processeur (WS Linux biprocessor / quad cores)**



3DIC Reticule 8 GB

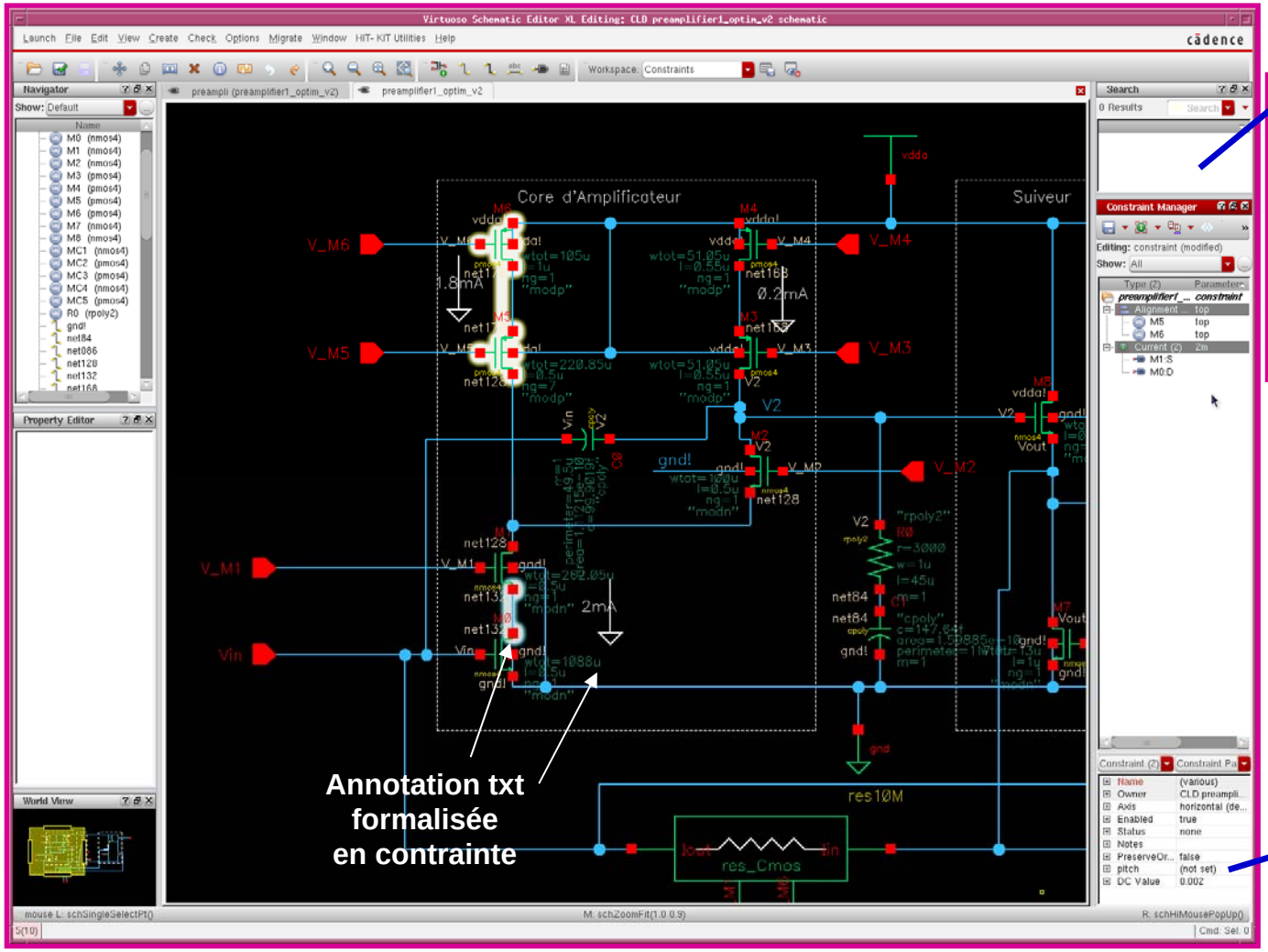
Schematic XL

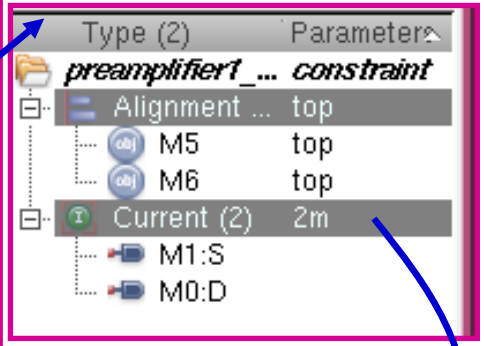
- Un ensemble d'assitants – Des workspaces configurés
- Onglet/schéma

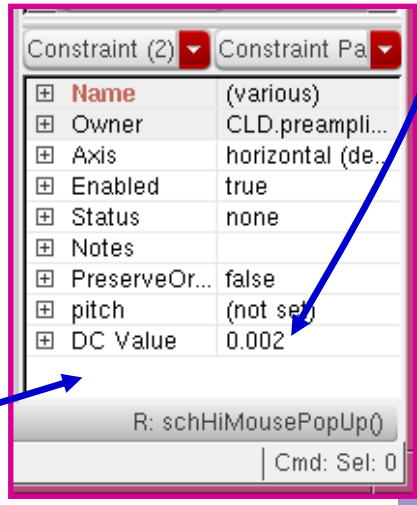


Constraints Assistant

- **Propage et impose clairement les intentions du concepteur**
  - **A l'équipe de design (FE / BE)**
  - **A travers le flot**

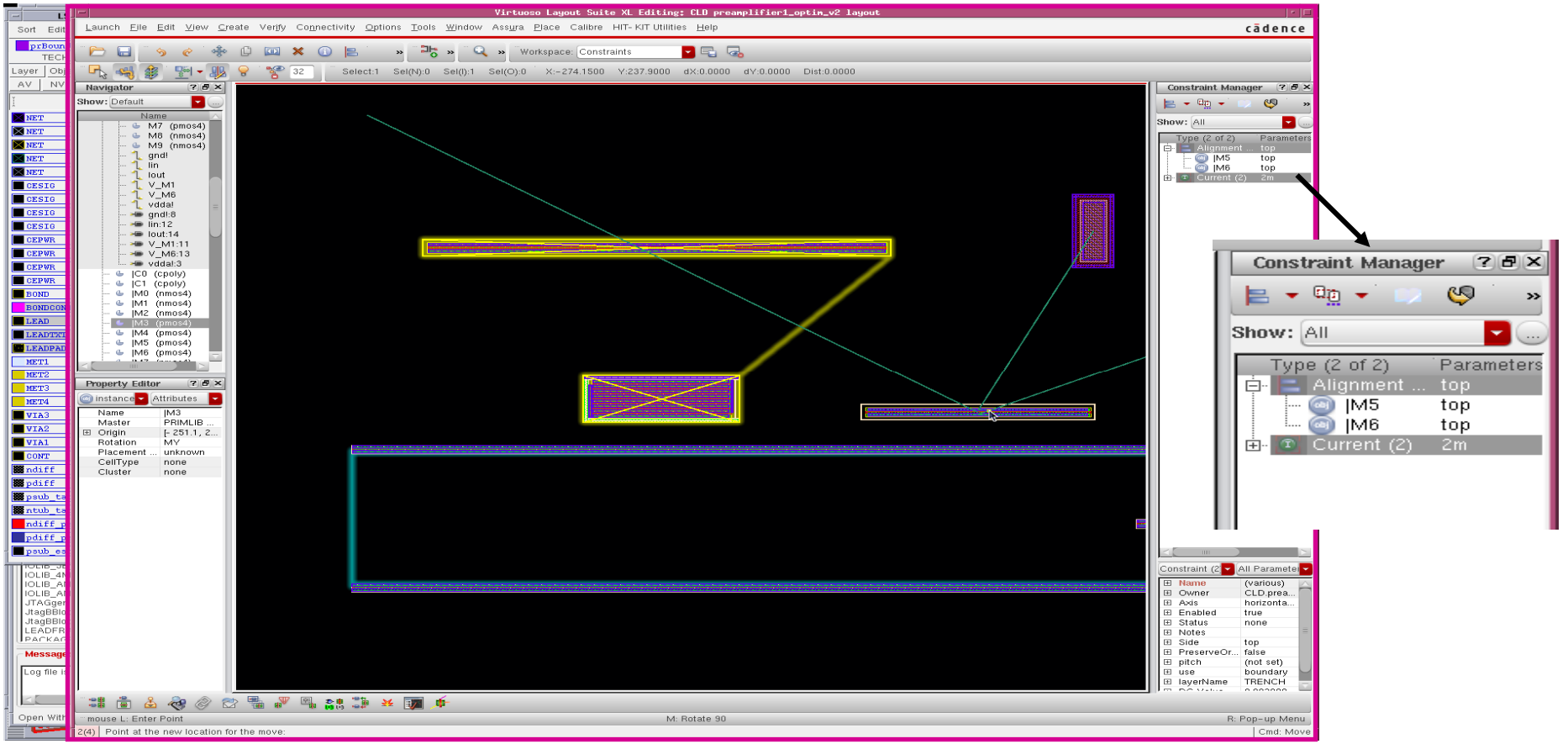






Constraints Assistant

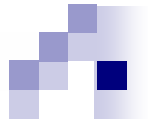
- **Propagation vers le layout (XL)**



Constraints Assistant

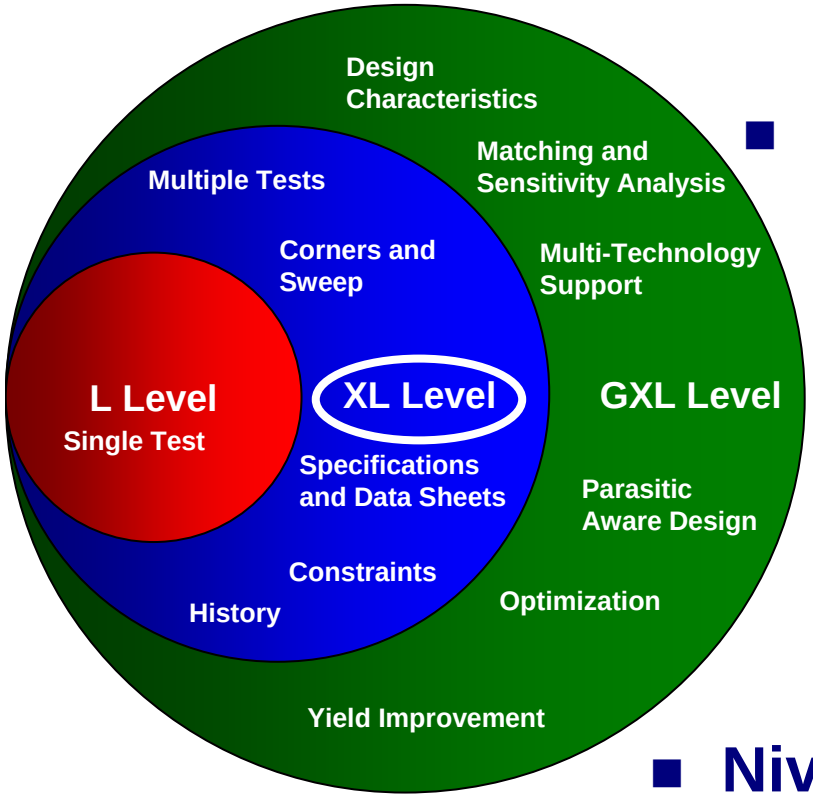
- **Un ensemble de contraintes**
  - **Sur les transistors, les pins, les nets**
  - **De divers types**
    - **Transistors**
      - **Symétrie**
      - **Matching de paires**
      - **Ratio**
      - **Alignement**
    - **Net**
      - **Blindage**
      - **Espacement**

- **Fonction “Prospector”**
  - **Recherche dans la hiérarchie du schéma l’existance de structures prédéfinies qui devraient se voir assigner des contraintes**
    - **Tous les miroirs de courant → Ratio**
    - **Toutes les paires diff → Matching**



ADE L / XL GXL

- **Niveau L** Environnement classique
  - DC, Transient, AC, Sweep, Corners, Monte Carlo

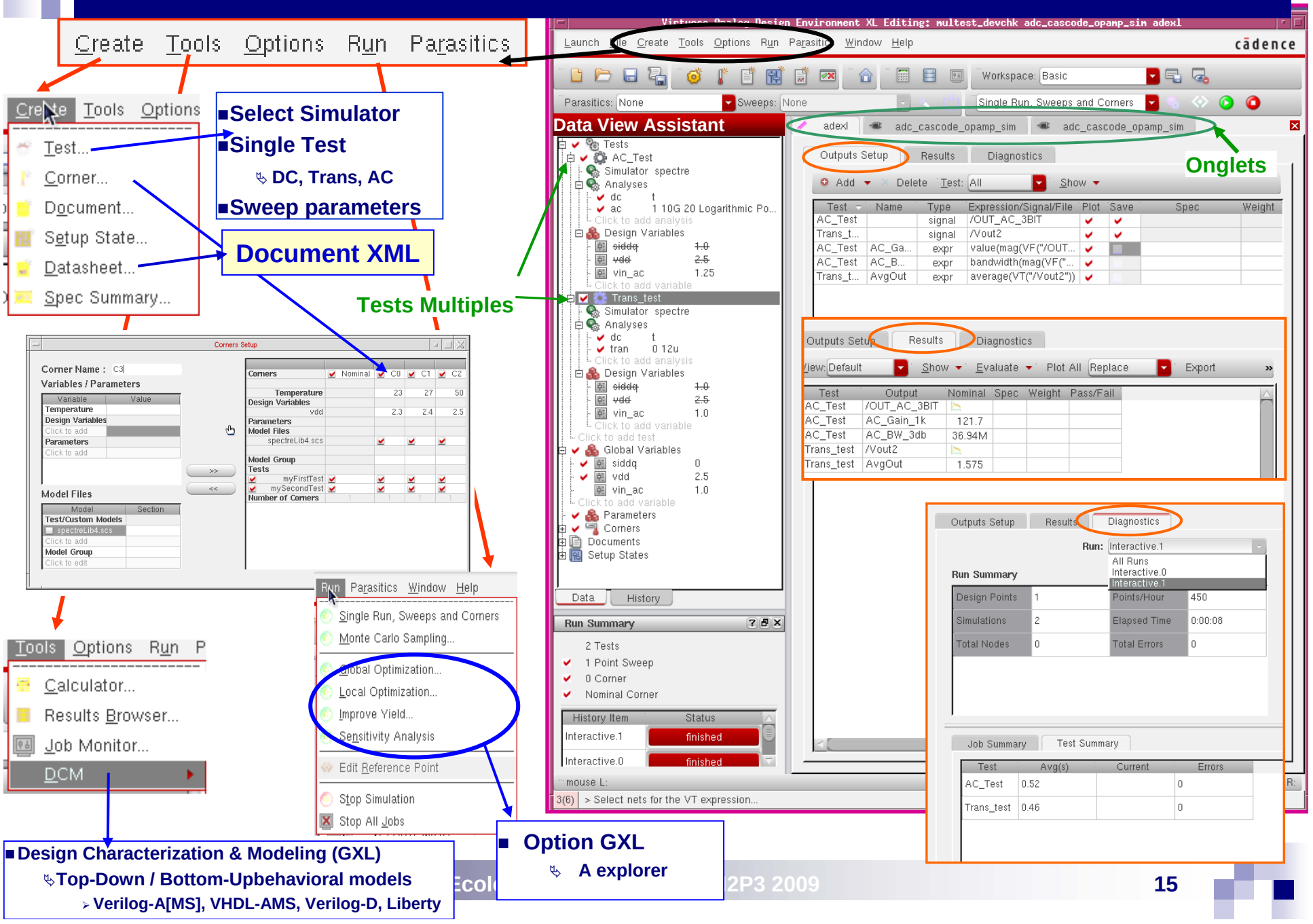


- **Niveau XL**
  - Nouvel environnement de simulation
    - Cockpit sophistiqué pour
      - une vision synthétique
      - Une sauvegarde documentée des simulations
      - Cellview spécifique ***adexl***
  - Sweep, Corners, Monte Carlo

- **Niveau GXL**
  - Rappel, les jetons GXL sont décomposables en session XL

GXL Feature	Token
Cockpit	2
Characterzation / modelling	1
Matching & Sensititvity Analysis	1
Parasitic Aware design	1
Multi-Technology Support	2
Otpimization (ex NeoCircuit)	6
Yield Improvement	10

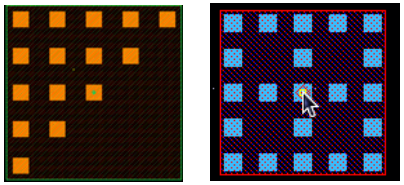
ADE XL - Nouvelles interfaces et vue adexl



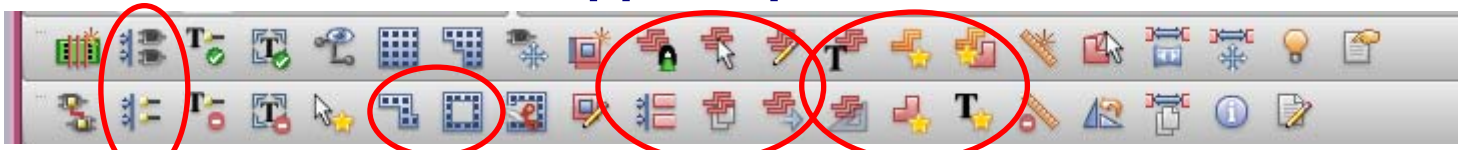
Virtuoso layout

- **Fonctionnalités en forte augmentation**
  - **Wires**
    - Changement de largeur sur segment
    - Stretch avec environnement attaché

  - **Contacts / Vias**
    - Stacked
    - Cut Arrays



  - **Toolbox**
    - A condition d'être supporté par le kit

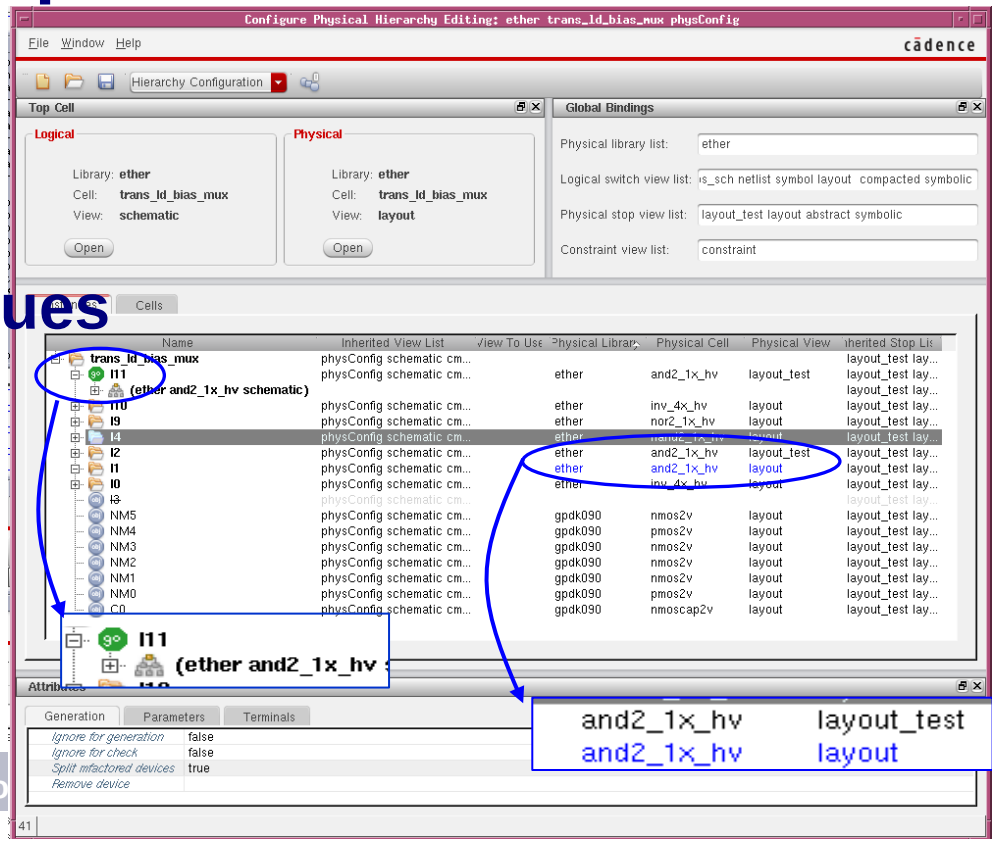


Align Pin/Cells Guard Rings Bus Edit Shape Edit

  - **Dynamic Selection Assistant**
    - Aide à la navigation dans la hiérarchie

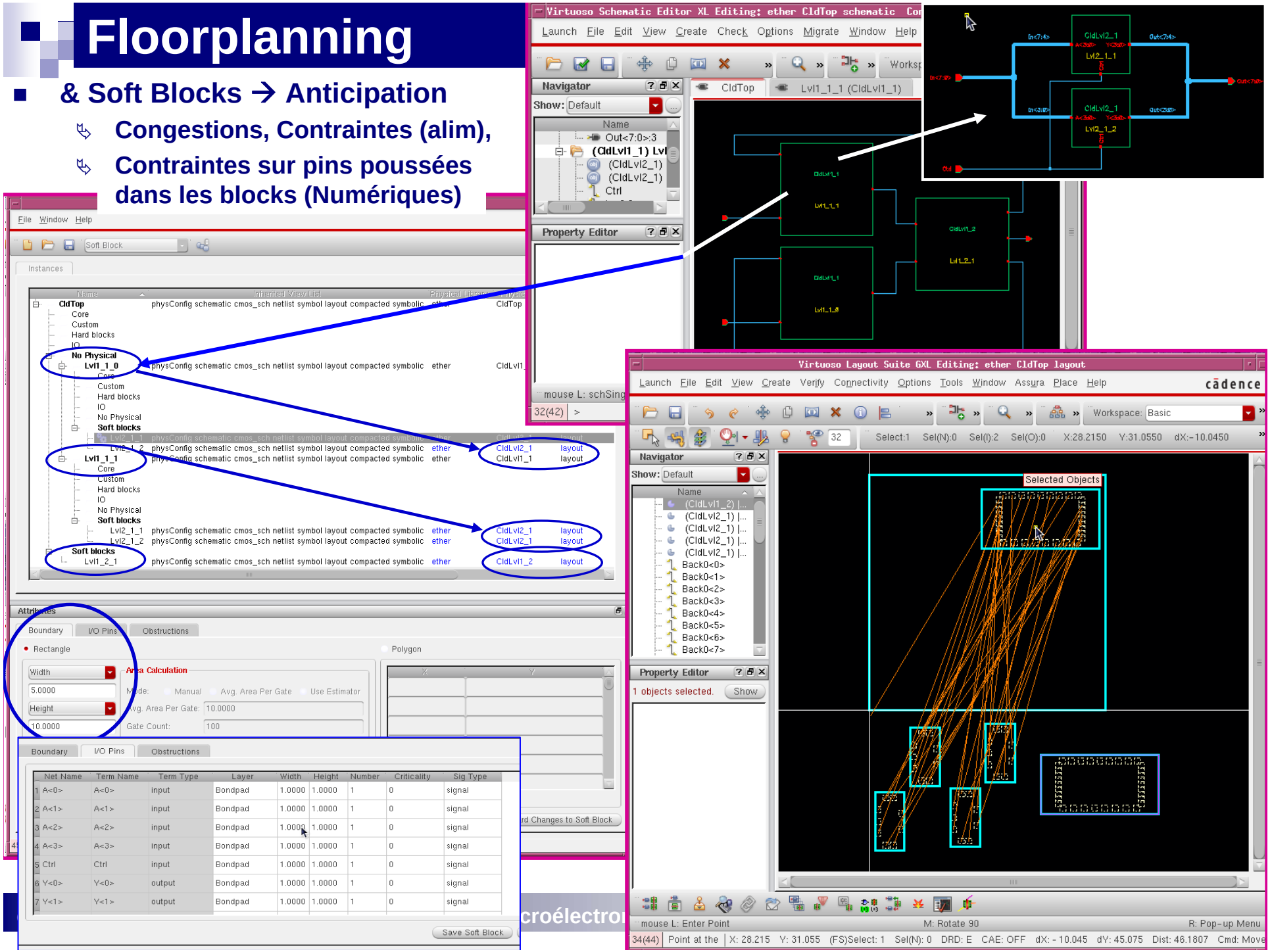
Virtuoso XL

- **Routage Assisté**
  - **Netlist → Vérification en ligne allégée + On Demand**
  - **Design rules → Vérification DRC en ligne**
  - **Contraintes → Contraints manager, blocages**
- **Configuration hiérarchique**
  - **Hierarchy Browser equivalent**
  - **Génère différentes implémentations physiques**
    - **Sans toucher au schéma**
  - **Soft Blocks Mode**
    - **Pour floorplanning (GXL)**



Floorplanning

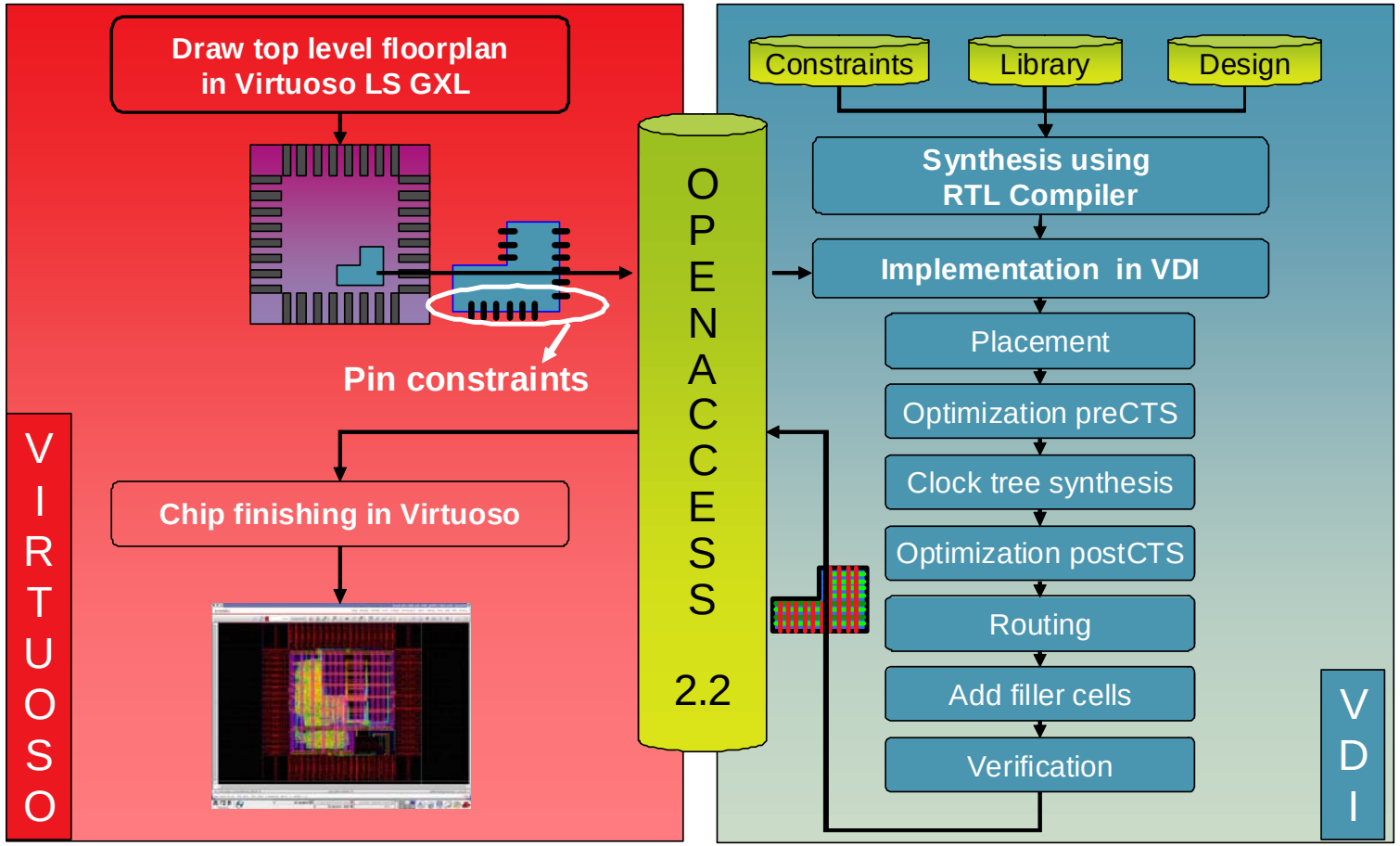
- & Soft Blocks → Anticipation
  - Congestions, Contraintes (alim),
  - Contraintes sur pins poussées dans les blocks (Numériques)



Scénario Mixed Design

Virtuoso digital implementation option

Perfect for "analog-on-top" design flows



VDI uses Encounter and Nanoroute technology

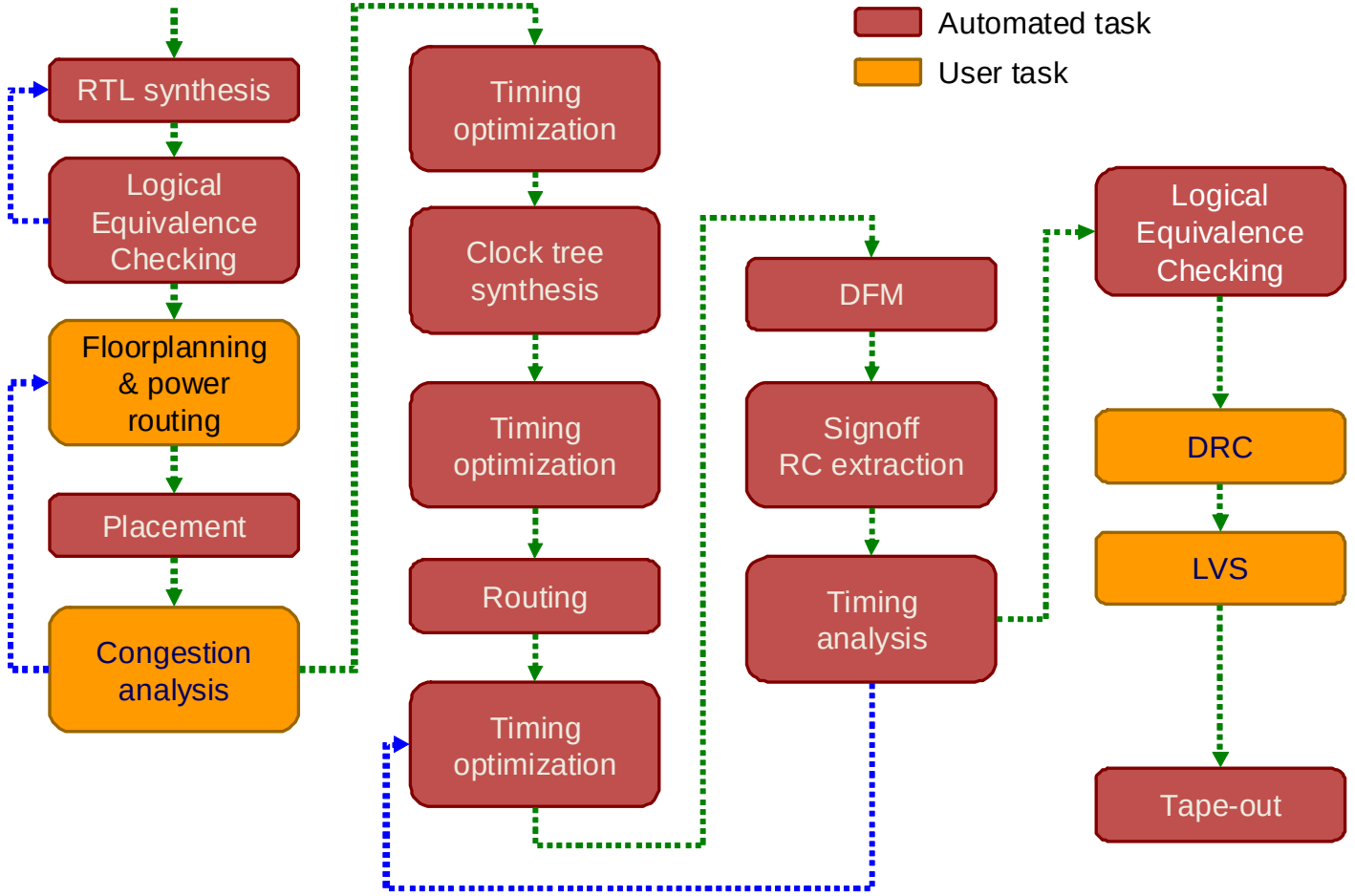
cadence

Configuration kit IBM 0.13µm "CERN By VCAD "

- **Tools**

  Virtuoso 6.1.3 , SOC Encounter 7.1, Conformal 7.2, EXT 7.1.2 (QRC), Assura 3.2, Calibre 2008.3

Digital design flow



Sandro Bonacini - PH/ESE - sandro.bonacini@cern.ch

Digital ASIC @ IN2P3 – SoC + VDIO

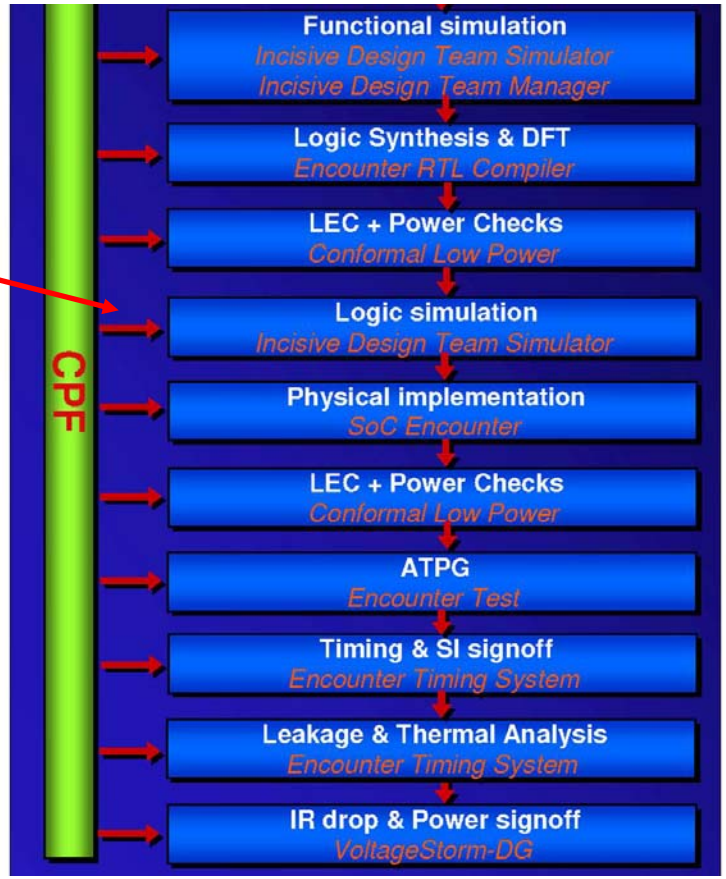
IC numérique Encounter			
FE200	ICD	SOC Encounter	SOC Encounter L, compatible SE
FE200GPS	ICD	SOC Encounter -XL (aka SOC Encounter - GPS)	SOC Encounter XL
RCV200	ICD	Encounter RTL Compiler w/formal vérification (Replace RC200)	Compatibel BuildGates BGX5.15-s064 et RC200 Compatibilité RC 5.1
3002	ICD	Virtuoso Digital Implementation Option	Version légère de SOC Encounter et RT Compiler, 50kGates
CFM100	ICD	Encounter Conformal L (a.k.a Conformal ASIC)	Vérification formelle
FE725	ICD	Encounter Timing System XL (contient Celtic pour VDIO)	Timing test (Celtic) pour VDIO
CFM400	ICD	Encounter Conformal Constraint Designer - L	Version légère de SOC Encounter et RT Compiler, 50kGates
TDE001	ICD	Encounter Test Architect - L	Insertion strucures de test
TDE002	ICD	Encounter True Time Test -L	Génération vecteurs de test
VSDG	ICD	Dynamic Gate Option to VoltageStorm PE (Gate and	IR Drop & Power signoff
VSPE	ICD	Voltage Storm PE	IR Drop & Power signoff

Synthesis Product Packaging

VDIO (with 50K* instances max)	
Capacity Limit	G-200k/M-50k
Global synthesis engine	✓
ChipWare	✓
Power exploration and estimation	✓
Power optimization (MVT, clock gating)	✓
DFT analysis & fixing	✓
Scan insertion	✓
PLE wire modeling	✓
Retiming	
Superthreading master Top-down multi-supply voltage (MSV) Multi-mode Yield Optimization	
Power Shutoff (w/ CPF)	
DVFS	
Predict QoS	

Encounter Back-end Packaging

VDIO (with 50K* instances max)	
Capacity limit (instances)	50K*
Partitioning & Timing Budgeting	
Power Planning & Routing	✓
Placement (std. cell and Block)	✓
Timing Optimization (optDesign)	✓
Timing (CTE and SignalStorm)	✓
Clock Tree Synthesis	✓
Routing (Wroute & NanoRoute)	✓
Multi-Supp Multi-Voltage	✓
Mult-Vth	✓
FE RC Extraction	✓
Signal Wire / Manual Editing	✓
ECO	✓
FE Verify	✓
CeltIC SI Analysis	
Clock Mesh support	
Yield Analysis	
MS (DoT) features (routing, AMS int.)	
OA Support	✓
GDSII Out	✓



Outils pour les principaux kits en usage

	AMS 0.35	IBM 130	Chartered 130	XFAB 0.35	IBM 90	UMC 0.13	ST 0.25
Core & IO Libs	Foundry	Foundry ARM	ARM Synopsys	Foundry	? ARM	FARADAY ARM	Foundry
Virtuoso	6.1	6.1	5.1	6.1	6.1	5.1 / ?	5.1
SoC / VDIO	X	X	X	X	X	X	X
Assura DRC-LVS	X	X		X	X	X	
RCX	X			X		X	
QRC		X			X		
Calibre DRC-LVS	Signoff	X	Signoff	Signoff	X		Signoff
xRC							
Hercules DRC-LVS		X	X		X		
STAR-Rcx			X				X
Magma LVS 3D?			X (Tezzaron)				

Contraintes / Implications

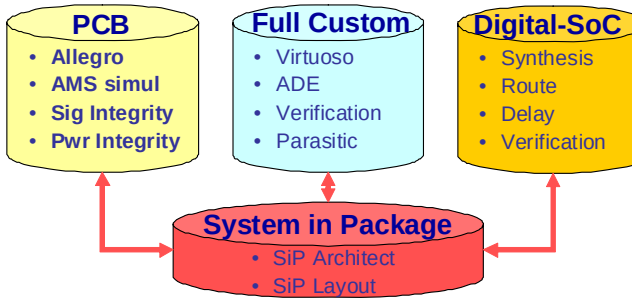
- **Flot de conception CMS → Cadence-Mentor-Synopsys**
  - Accès à tous les outils
    - Europractice à travers les pôles
  - Mise en Oeuvre / Maintenance
  - Formation sur outils autres que Cadence

- **Cores & IO cell libraries**
  - Si externe (ex ARM)
    - Accès au programme universitaire
      - Pas de maintenance
    - Reconstitution des librairies
      - GDS2 + DEF + Modèles +Tech files
    - Cohérence du flot
    - Négociation d'un support
  - Black box / macro
    - Bibliothèque industrielle AMS dans les pôles
  - Radtol / SEL & SEU free
  - RAM blocks / Memory compiler / IP

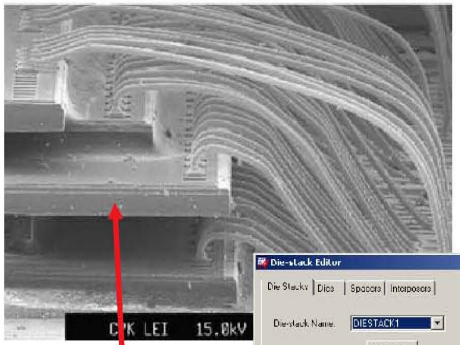
- OK pour IBM 130
- Chartered ou autres ?

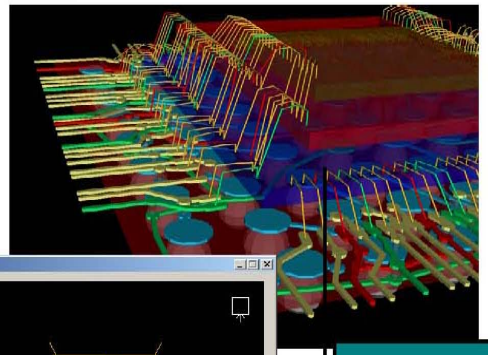
ALLEGRO – SiP → System In Package

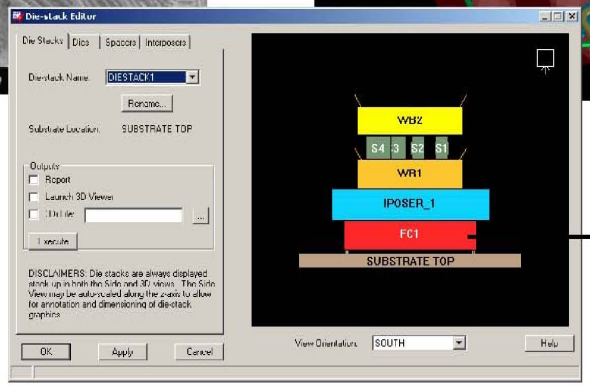
- **Single package that combines all of the electronic components needed to provide a system or sub-system**
  - digital ICs, analog ICs, RF ICs, passive components or other elements)



- **Complex die stack design**



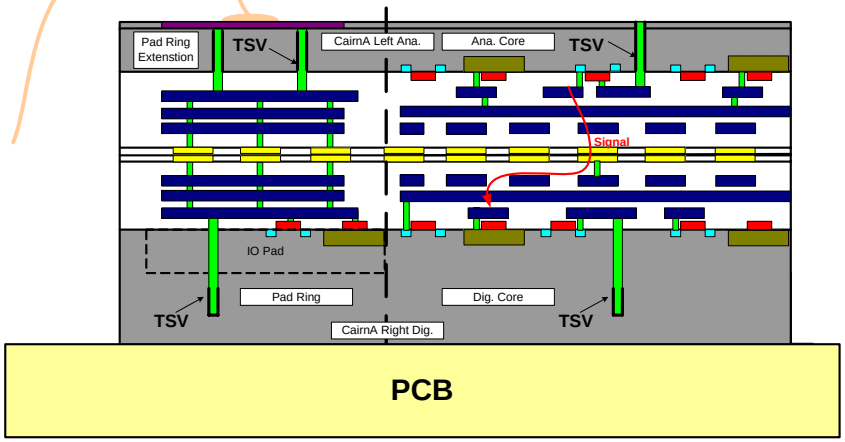




Actual Stack Design

3D Stack Viewer

3D Stack Design

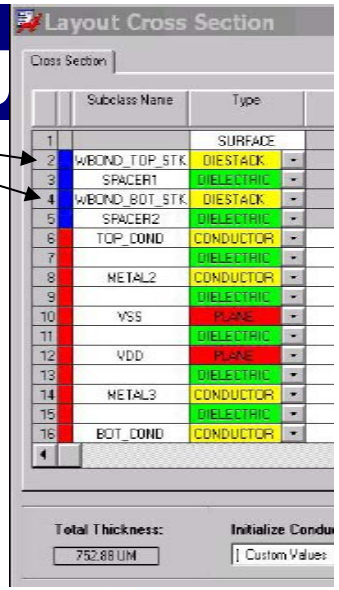


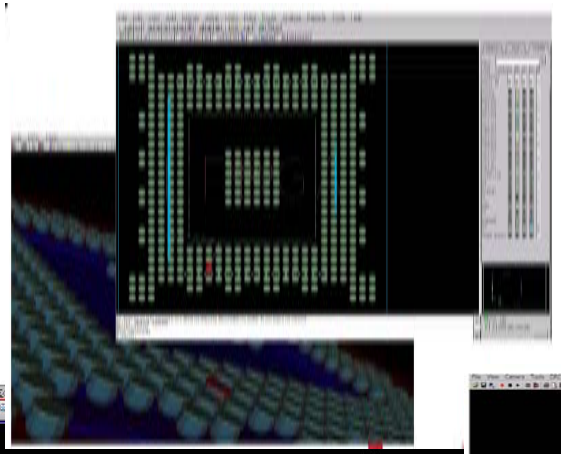
- **CAIRN A**
  - **Gds2 Tier1 & 2 + PCB database**

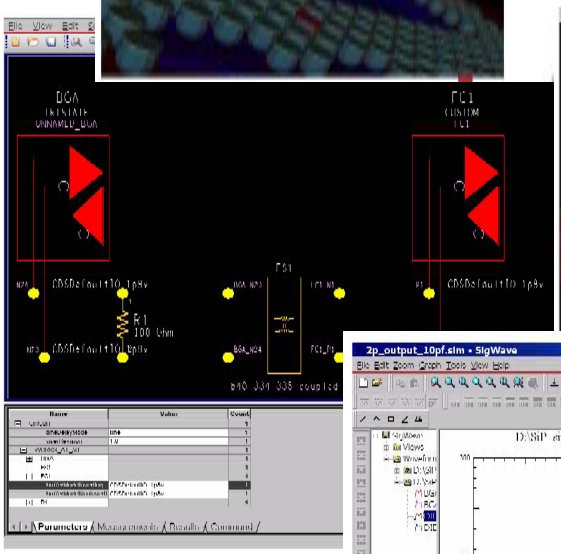
N2

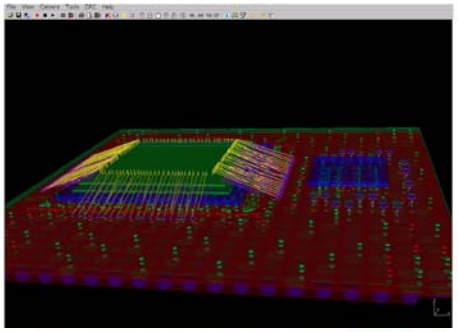
ALLEGRO – SiP → System In Packag

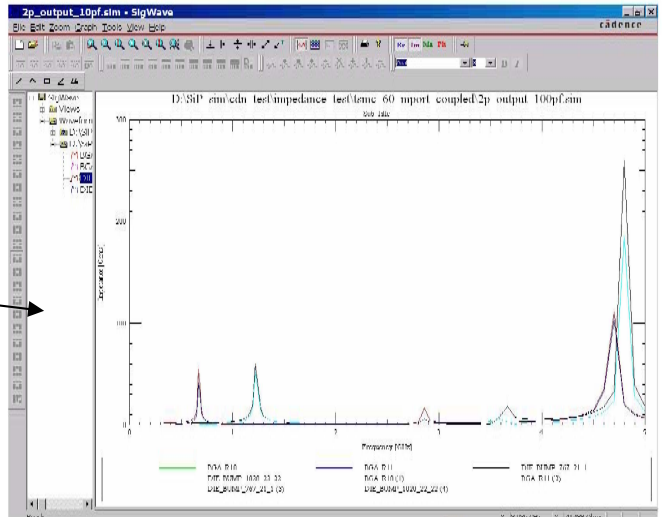
- **Signal Analysis** → Layers
  - **Stackup design**
    - **Crossection details**
  - **Setting contraints**
    - **Multi-die connection exploration**
  - **Interconnect modeling**
    - **Wirebonds**
  - **Reflections, crosstalk, timing**
    - **Simulating routed nets**
    - **Circuit simulation**
  - **Power analysis**
    - **Impedance profil of the pins**











Conclusion: Utiliser Virtuoso 6 comme vecteur d'évolution

- **Solidifier les flots des kits (conf "IBM-CERN by VCAD")**
  - **Méthodologie du flot**
    - **Mixed layout platform**
    - **Vérification formelle**

- **Augmenter la méthodologie de travail → Equipes / Pôles**
  - **Aide à la documentation intégrée**
  - **Constraint manager, Mixed floorplanning, Chip estimate**
  - **Outils de haut niveaux GXL**
    - **Qui routent en maîtrisant les >1000 règles de design**
    - **Caractérisation, Virtuoso Custom Router**

- **Travailler en amont, plus grande interaction avec**
  - **Les électroniciens du PCB, Intégration des ASIC au détecteur → Construction d'échelles**
    - **Modèles des ASICs (IBIS, BSDL)**
    - **System in Package**
  - **Les numériciens → Toujours plus de fonctionnalités intégrées dans les ASIC**
    → Pilotage / RO des ASIC par FPGA
    - **Modèles communs avant partitionnement et ciblage**
    - **INCISIVE, + FPGA suites: Synplify, ISE, Quartus**
  - **Les testeurs → Cahier des charges de testabilité avant design**
    - **Scan Insertion**
    - **Test Pattern Generator**
  - **Les mécaniciens**
    - **Visualisation 3D**
    - **Simulation thermique**

- **→ De nombreux outils sur lesquels se former**
  - **Formations dédiées**

Difficulté à maîtriser toutes les fonctionnalités quand on va du FE au BE