

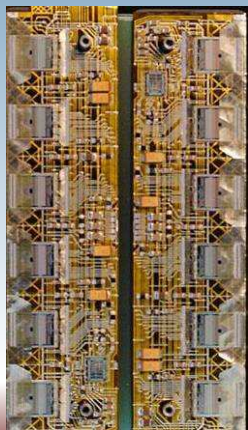


# Caractérisation d'ASIC conçus à l'IPHC ...

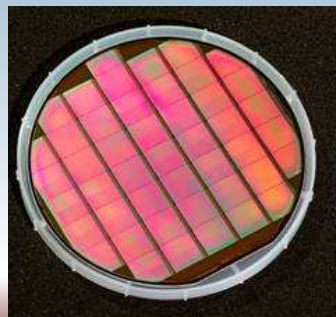
## L'évolution des besoins de 1998 à 2009 ...

### Des détecteurs **Micro-pistes** aux **MAPS** ...

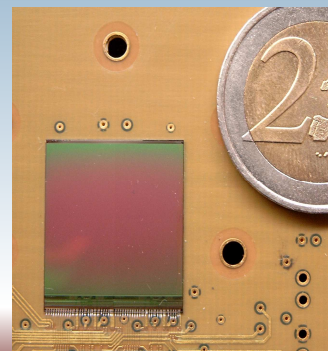
Gilles CLAUD



Caractérisation de HAL25  
HAL25 (ALICE) sur PCB



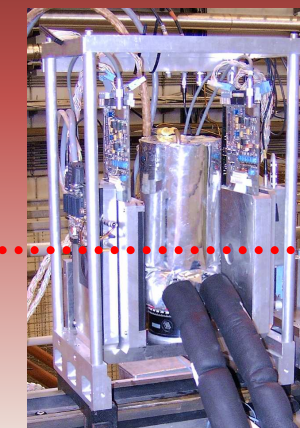
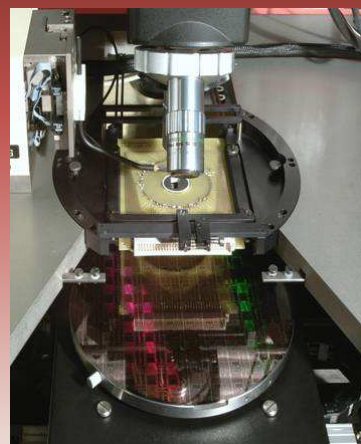
Test fonctionnel  
MAPS sur Wafer



Caractérisation – Photons X  
MAPS sur PCB

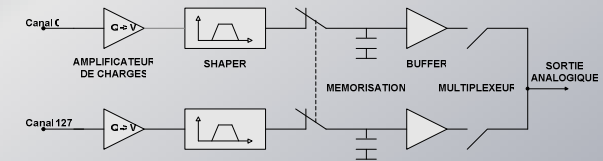


Test en faisceau  
MAPS dans le Télescope

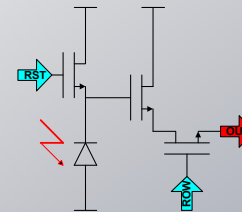


# L'évolution ... des ASIC ... et des Tests ...

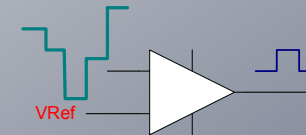
- ▶ ASIC de lecture de détecteurs à  $\mu$  pistes → Mise en forme du signal



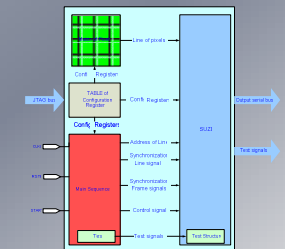
- ▶ L'ère Primaire des MAPS → Capteur à pixels – Sortie analogique



- ▶ L'ère Secondaire des MAPS → Numérisisation

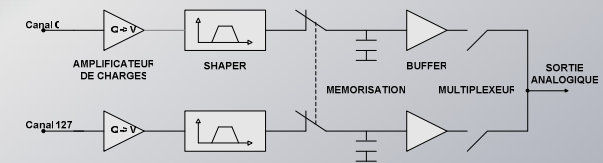


- ▶ L'ère Tertiaire des MAPS → Suppression de 0

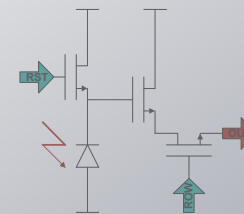


# L'évolution ... des ASIC ... et des Tests ...

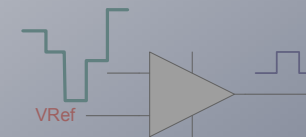
- ▶ ASIC de lecture de détecteurs à  $\mu$  pistes → Mise en forme du signal



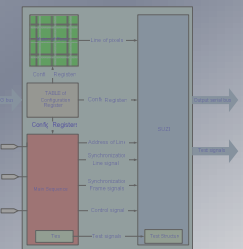
- ▶ L'ère Primaire des MAPS → Capteur à pixels – Sortie analogique



- ▶ L'ère Secondaire des MAPS → Numérisisation

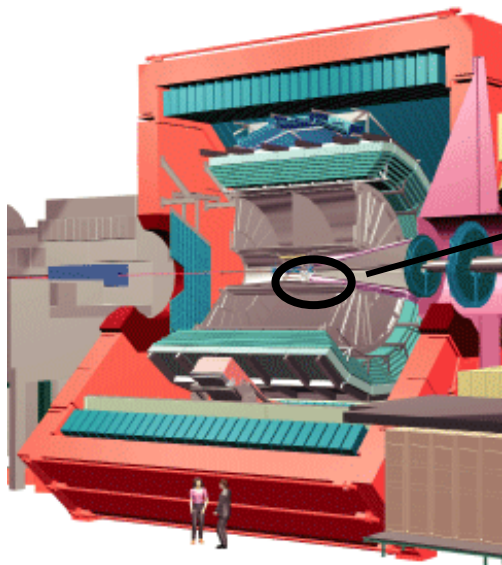


- ▶ L'ère Tertiaire des MAPS → Suppression de 0



# HAL25 : Asic de lecture de détecteurs à $\mu$ pistes

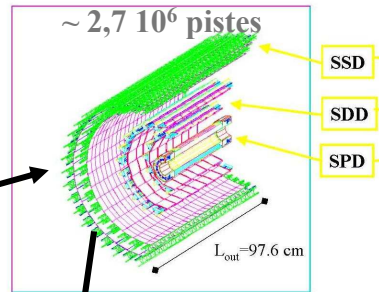
Expérience ALICE



Détecteur de Vertex

Couche externe SSD

$\sim 2,7 \cdot 10^6$  pistes



$L_{out} = 97.6$  cm



72 Echelles de 23 Modules

Module = Détecteur 2 x 768 pistes + 12 HAL25

## Caractérisation $\rightarrow$ Quels paramètres ?

### ► Caractérisation électrique ☺ ( Q $\rightarrow$ I ou V )

► Car l'ASIC peut être dissocié du détecteur

### ► Chaîne analogique « classique »

► Piédestal [mV]

► Gain [mV/MIP]

► Linéarité [%]

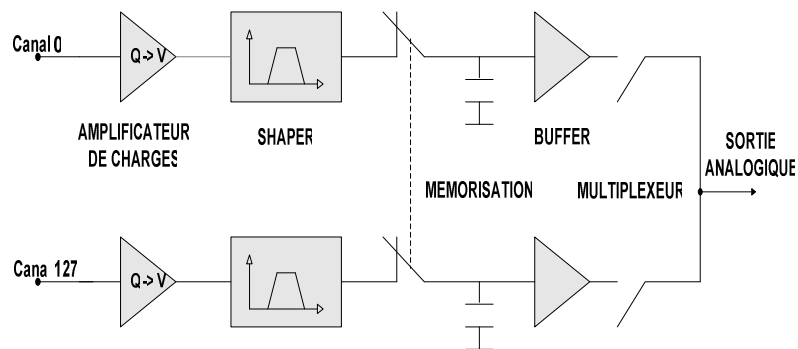
► Shaping time [ $\mu$ s]

► Bruit [e-]

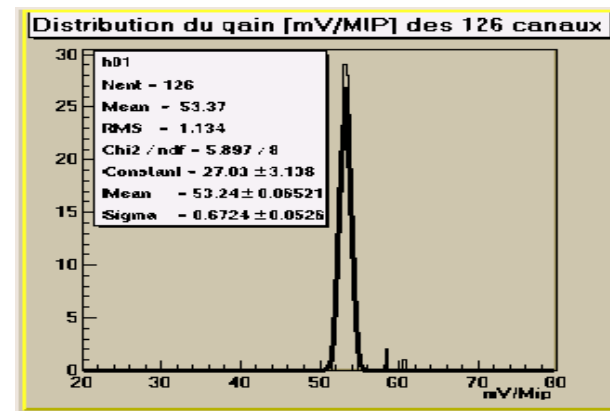
► Diaphonie ... [%]

### ► Dispersion des paramètres $\rightarrow$ Car 128 chaînes !

## HAL 25 $\rightarrow$ 128 Canaux : Préampli – Shaper - Mémorisation

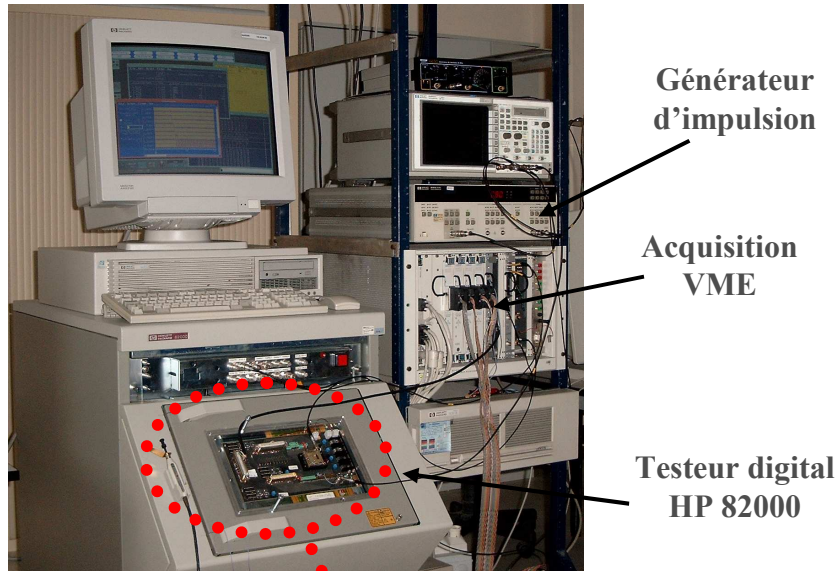


Lecture : Flux données analogiques série à 10 MHz





## HAL 25 : Définition du banc de test

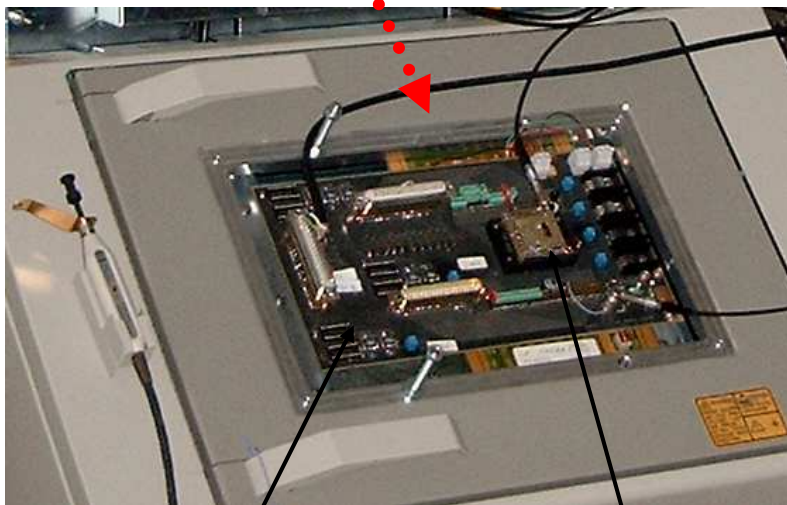


### Contexte de test

- ▶ Tests réalisés **au laboratoire** ( pas de tests en faisceau )
    - Banc de test **flexible** MAIS « **sédentaire** »
  - ▶ **Testabilité intégrée** dans l'ASIC
    - ▶ Générateur de test qui émule le signal du détecteur
    - ▶ Injection externe pour calibrer le générateur
    - ▶ Slow control (JTAG) pour configurer l'ASIC
- Permet de tester **TOUS les canaux ( 128 )**  
→ **Facilite l'automatisation** des tests

### Banc de Test Mixte

- ▶ **Contrôle digital de l'ASIC** → « **Steering** »
  - Testeur de CI numériques  
HP82000 – 32 voies I/O – 100 MHz
- ▶ **Calibration du générateur de test interne** → **Calibration**
  - Générateur d'impulsion externe
- ▶ **Acquisition des données analogiques** → « **Readout** »
  - Acquisition VME – ADC 12 bits @ 20 MHz



# HAL 25 : Pourquoi utiliser un testeur du CI numériques ?

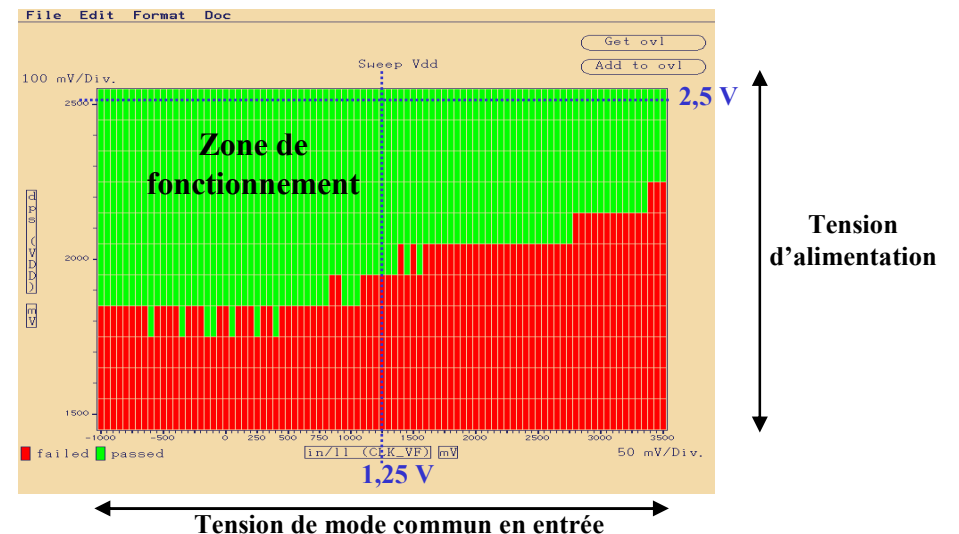
Un générateur de pattern suffit ... ou un FPGA pour piloter HAL 25 ... Non ?



- ▶ Avantages HP82000 / Générateur de pattern
  - ▶ Acquisition de signaux → Test de fonctions digitales
    - ▶ Translateur horloge LVDS / CMOS de HAL 25
    - ▶ JTAG
  - ▶ Balayage des signaux → Recherche de faiblesses
    - ▶ Niveaux
    - ▶ Fréquence / Setup time / hold time

## Recherche de faiblesses – Tests aux limites → Translateur LVDS / CMOS

- ▶ Recherche des limites de fonctionnement de
  - ▶ La tension d'alimentation
  - ▶ Du mode commun sur l'entrée LVDS
- ▶ Exécution 1000 fois d'un test fonctionnel
  - ▶ En balayant le mode commun → Axe X
  - ▶ En balayant la tension d'alimentation → Axe Y
- ▶ Résultat affiché → « shmoo plot »
  - ▶ Zone verte → Le test passe
  - ▶ Zone rouge → Le test échoue



## Conclusion

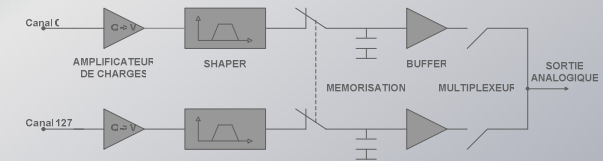
### Caractérisation d'ASIC de lecture de détecteurs à $\mu$ pistes

- ▶ Caractérisation de l'ASIC **indépendante** du détecteur
  - ▶ **Caractérisation électrique** → Simple conversion  $Q / V$
  - ▶ Il est possible **d'intégrer de la testabilité** dans l'ASIC → **Simplifie** les bancs de test
- Automatisation** des tests – **Détection** d'ASIC défectueux dans l'expérience
- ▶ **Pas de nécessité** de déployer / dupliquer les bancs de test hors du laboratoire
  - ▶ Utilisation **d'équipements de test flexibles** ( mais sédentaires ) → Testeur de CI numériques
  - ▶ Possibilité d'effectuer un **test détaillé** ( exhaustif ? ) de l'ASIC
    - ▶ Recherche des **limites de fonctionnement** → « shmoo plot »
    - ▶ **Test intensif** de la logique du circuit → Vecteurs de test
- ▶ Tests avec détecteur → Tests en faisceau ?
  - ▶ **Toujours nécessaires !** Mais **peuvent être découplés des tests au labo**
  - ▶ **Peuvent être réalisés par une autre équipe** avec des ASIC validés

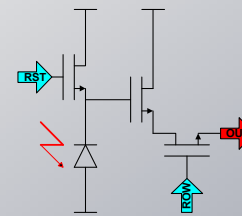


# L'évolution ... des ASIC ... et des Tests ...

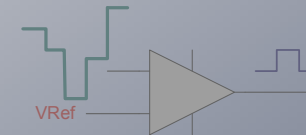
- ▶ ASIC de lecture de détecteurs à  $\mu$  pistes  $\rightarrow$  Mise en forme du signal



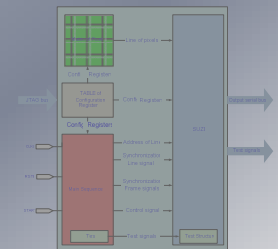
- ▶ L'ère Primaire des MAPS  $\rightarrow$  Capteur à pixels – Sortie analogique



- ▶ L'ère Secondaire des MAPS  $\rightarrow$  Numérisation



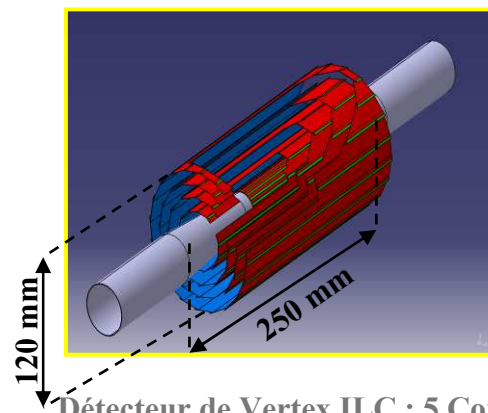
- ▶ L'ère Tertiaire des MAPS  $\rightarrow$  Suppression de 0





# MAPS Analogique : Monolithic Active Pixels Sensors

- Futurs Détecteurs de vertex : STAR – ILC – CBM
- Imagerie biomédicale



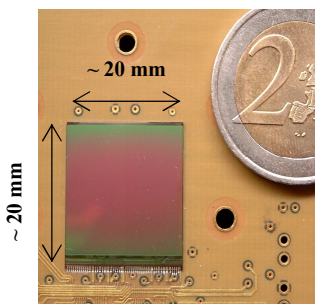
Exemple : ILC

- ✓ ~ 300  $10^6$  pixels
- ✓ Pitch 20-10  $\mu\text{m}$
- ✓ Temps de lecture 25-200  $\mu\text{s}$
- ✓ 50 KRad/an
- ✓  $10^{11}$   $n_{\text{eq}}/\text{cm}^2/\text{an}$

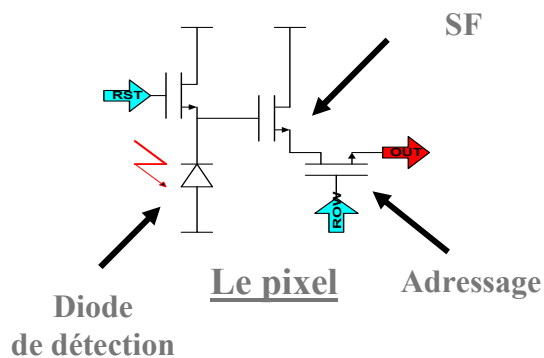
Détecteur de Vertex ILC : 5 Couches de MAPS ~ 300  $10^6$  pixels

Le capteur : C'est une matrice de pixels

- Un pixel **actif** → Source follower dans le pixel
- Une **matrice** → système de lecture séquentielle



Exemple : Mimosa 5  
10<sup>6</sup> pixels / 4 cm<sup>2</sup>



## Caractérisation → Quels paramètres ?

► Caractérisation électrique **impossible**

► Car l'ASIC est indissociable du détecteur ...

► Paramètres **du capteur**

- Rendement de production → [%] de pixels morts → ~ n/1000
- Gain [ $\mu\text{V}/e^-$ ] → ~20  $\mu\text{V}/e^-$
- Bruit [ $e^-$ ] → ~12  $e^-$
- Collection charge dans le pixel central [%] → ~ 30 %
- Résolution spatiale (position particule) [ $\mu\text{m}$ ] → ~ 3  $\mu\text{m}$
- Efficacité de détection [%] → > 99,5 %

► Dispersion des paramètres ?

→ Réalisable ? Quelques  $10^3$  à  $10^6$  canaux ...

## Caractérisation du **CAPTEUR**

► Test fonctionnel en lumière visible

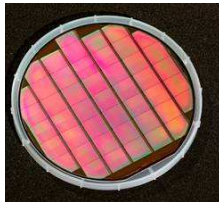
► Calibrations avec photons X

► Tests en faisceau – Valider / Référence

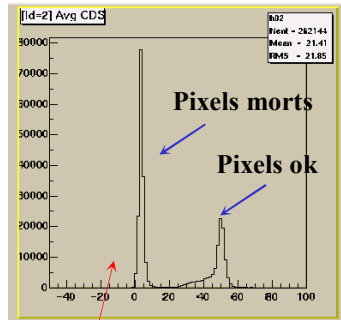
# MAPS Analogique : Une caractérisation en 3 étapes

## Test Fonctionnel - Courant de fuite

Rendement de production [%]

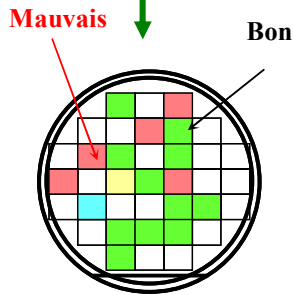
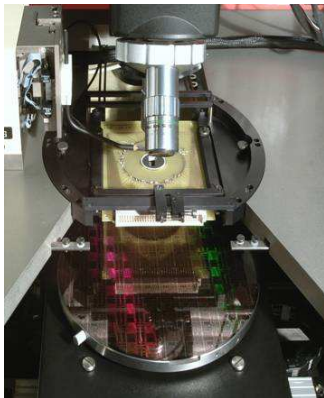


Galette 6 pouces  
33 MAPS



Test Sous Pointes

Affichage en ligne



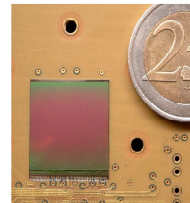
Carte Galette

Test sous-pointes des wafers

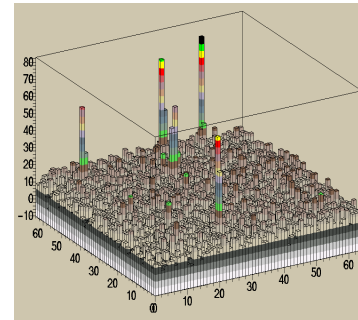
Statistique ~ 1000 Trames / Mesure → 10 Secondes

## Calibration - Photons X

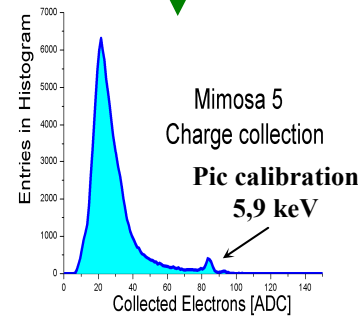
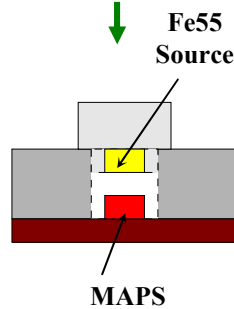
Gain [ $\mu\text{V}/e^-$ ] – Collection charge [%]



MAPS  
&  
Source



Affichage en ligne



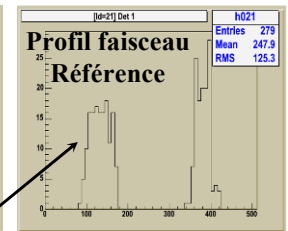
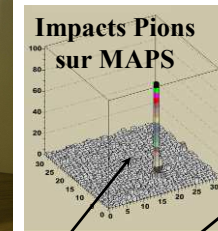
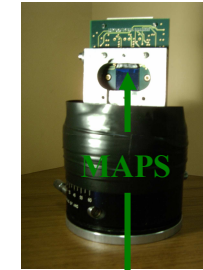
Analyse hors ligne

Calibration des MAPS sur PCB

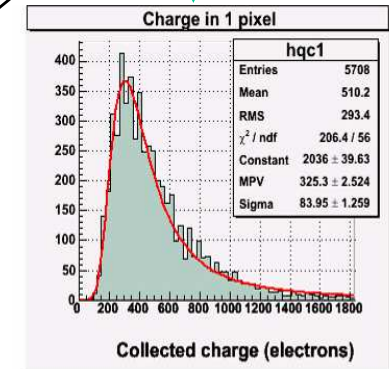
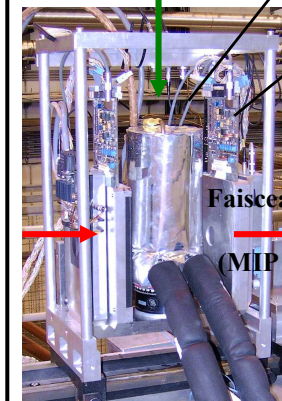
Statistique ~ 10 000 Trames / Mesure → ~ 1 Heure

## Performance de détection

Résolution [ $\mu\text{m}$ ] - Efficacité détection [%]



Affichage en ligne



Télescope : Résolution ~ 1  $\mu\text{m}$  Analyse hors ligne

Test en faisceau ( CERN / DESY )

Statistique ~ 10 000 Trames / Mesure → Jusqu'à 10 Heures

Ces trois bancs de test requièrent →

- Un **Système d'Acquisition**
- Un **monitoring on-line** des mesures
- Une **analyse off-line** des mesures

# MAPS Analogique : Quel équipement de Pilotage & d'Acquisition ?

## HP 82000 + DAQ VME ? ( Coût ~ 200 K€ )



Pas adapté ... car cet équipement

- ▶ Doit être **transportable**
  - ▶ Tests sous pointes des wafer
  - ▶ Tests en faisceau
- ▶ Doit être **duplicable**
  - ▶ Pour le labo → ~ 4 proto MAPS / an
  - ▶ Pour les collaborateurs hors du labo
- ▶ Doit avoir un **coût raisonnable**

## Pilotage & Acquisition d'un MAPS

- ▶ Reçoit Horloge ( 1-50 MHz ) + Token
- ▶ Fournit flux analogique série
  - ▶ 4 à 8 voies / MAPS
  - ▶ 4 10<sup>3</sup> à 256 10<sup>3</sup> pixels / voie
  - ▶ Nécessite 12 bits dynamique

## Développement d'un système compact ( Coût ~ 13 K€ VME - ~ 7,5 K€ USB )

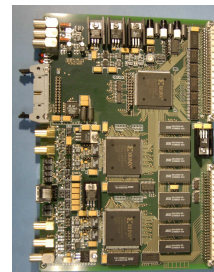
### Carte Pilotage & Acquisition MAPS

Deux versions - Développées au labo

Avant 2005 → Bus VME

Après 2005 → Bus USB

- Séquenceur ( fournit horloge + token )
- 4 X ADC 12 bits – 256 10<sup>3</sup> échantillons



### DAQ VME

- DAQ : CPU RIO 2 – Lynx OS
- Supervision & Monitoring : PC Linux



# MAPS Analogique : Le Système d'Acquisition

## Caractéristiques

### Contrôle & Monitoring



### Séquenceur & ADC VME

### Analogique

- 16 ADC 12 bits 20 MHz

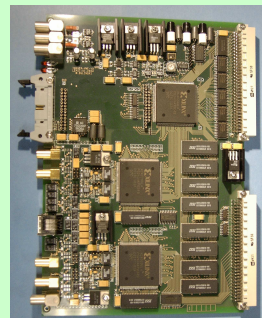
### Digital

- Gestion Trigger externe
- Générateur de séquence

### DAQ : PC & VME

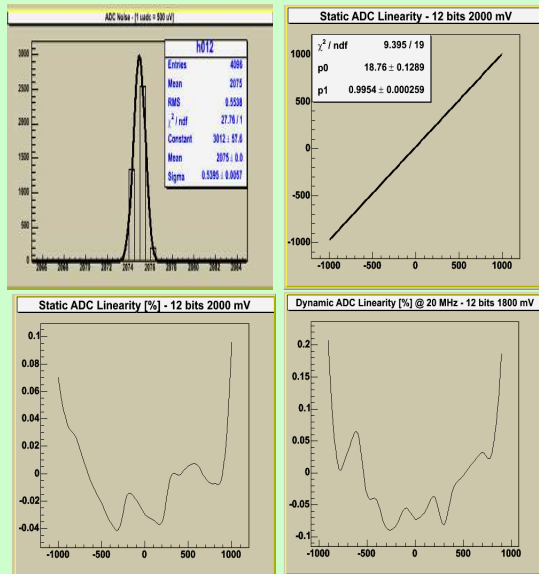
- 4 Mo/s VME - Ethernet 6 Mo/s

### Caractérisation carte ADC

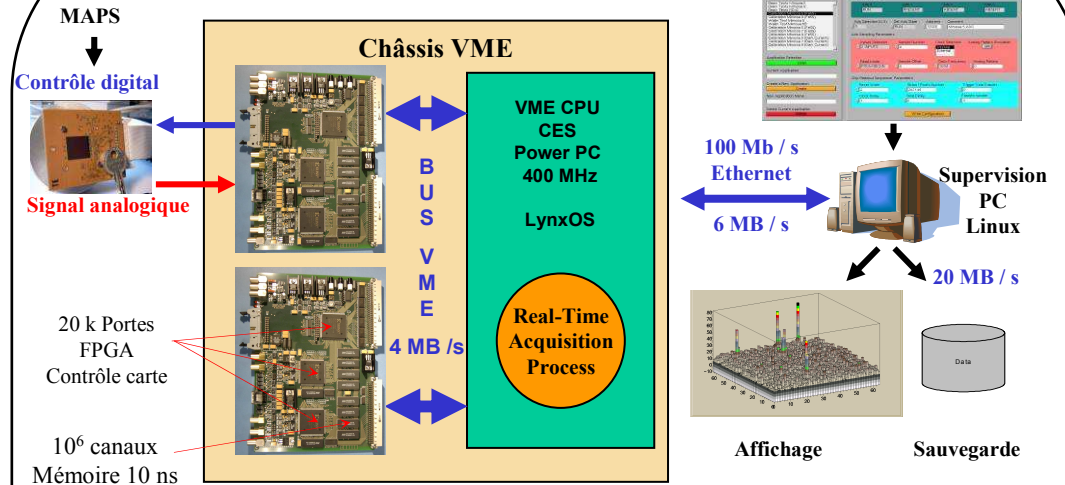


### Caractérisation ADC

- Résolution 512  $\mu$ V
- Bruit 284  $\mu$ V
- Linéarité  $\sim$  0,2 %



## Synoptique



### Architecture DAQ : Supervision PC – Acquisition VME

- **Supervision** ▶ PC – Linux – Monitoring Root
- **Acquisition** ▶ RIO2 PPC 400 MHz – LynxOS
- **Lecture MAPS** ▶ Cartes Séquenceur & ADC VME

### Conception du banc de test

- Définition architecture ▶ Système & Cartes
- Test / Caractérisation ▶ Séquenceur - ADC VME
- Développement logiciel ▶ Supervision - Acquisition
- Déploiement matériel ▶ Interfaçage – Synchronisation



# Conclusion

## Caractérisation de MAPS à sortie analogique

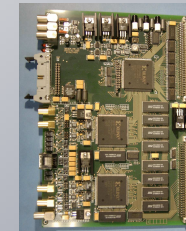
### ► Caractérisation de l'ASIC **indissociable** du détecteur

- **Tests fonctionnel MAPS sur wafer** : Capteur excité par photons lumière visible
- **Calibration** : Capteur excité par photons X ( Fe<sup>55</sup> 5,9 Kev )
- **Validation / Référence ( micro pistes SI )** : Faisceaux de test CERN & DESY ( 3-4 semaines / an )
- **Tenue aux rayonnements** ( Ionisant & Neutrons ) → Refaire calibration & Tests en faisceau avec MAPS irradiés

### ► Ressources nécessaires à la caractérisation des MAPS

#### ► Développement & Déploiement d'équipements de test

- Cartes de test MAPS – Carte d'acquisition ( Suivi de production & Test )
- Logiciel : Slow control, DAQ, Monitoring et Analyse
- Une dizaine de systèmes déployés chez nos collaborateurs ( Développement & Test MAPS )  
( IRFU Saclay, IPNL Lyon, Univ Genève, Univ Francfort, DESY Hambourg, Univ Rome, Bristol, Berkeley, Oregon, Oahio ... )



#### ► Caractérisation → Nécessite un **Spectre élargi de compétences**

- **Physique** du pixel → Physiciens Instrumentalistes → **Frontière des domaines floue**
- **Electronique** du pixel → Concepteurs Microélectroniciens → **Recouvrement nécessaire !**
- **Steering & Readout** MAPS → Ingénieurs Test

**Une forte interaction entre Concepteur, Physiciens et Ingénieurs Test est nécessaire**

# Notes / Avis : Quels équipements de Test ?

Testeur Industriel de CI Mixtes → Agilent 93000  
( DSP Analog Instrumentation )

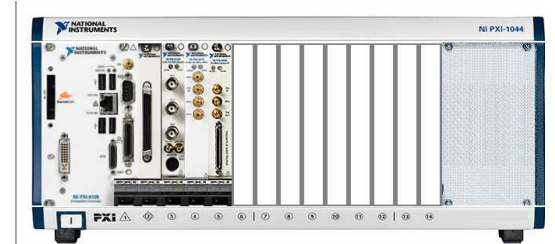


Développement au laboratoire  
de systèmes de Test



Instrumentation modulaire

- PXI de National Instrument
- Association de Générateurs / Analyseurs



Châssis PXi National Instrument

## Pour Quels ASICs ?

- ▶ Si l'ASIC est de type HAL25 → Caractérisation électrique
  - ▶ Testeur de CI Mixtes **semble bien adapté ( Mais vérifier SNR des ADC ! )**
    - ▶ Pas de développement de cartes de test ou d'acquisition
    - ▶ Réduit le développement logiciel → Intégration de progiciels
    - ▶ Facilite la mise en oeuvre de tests aux limites ( shmoo plot ) → Outils prédéfinis & configurables
    - ▶ Transposition aisée des tests au labo vers des tests en production sur ATE similaire
  - ▶ **Inconvénients**
    - ▶ Le coût → Un seul équipement → Equipement mutualisé → **Planning d'utilisation**
    - ▶ Disposer d'une **expertise d'utilisation du testeur** → Ingénieur dédié → **Service Test ?**
    - ▶ La souplesse de mise en oeuvre des test risque d'être contrée par la lourdeur d'accès au testeur
- ▶ Si l'ASIC est de type MAPS → Caractérisation du capteur
  - ▶ Le Testeur de CI mixtes **SEUL ne convient pas** ( Duplication & Mobilité des systèmes de test )
  - ▶ Il peut néanmoins être utile → Cas de MAPS intégrant du traitement
  - ▶ Il faut composer entre développements au labo et instrumentation modulaire



Générateur de pattern  
Tektro



Générateur / Analyseur logique  
Agilent

## Solution **Matérielle** ou **Logicielle** → Exemple pour le JTAG

- ▶ Utiliser un **CI contrôleur JTAG** → Exemple : eTBC ( Embedded Test Bus Controller ) - 74LVT8980
- ▶ Utiliser une **carte JTAG** → Exemple : JTAG Technology - Corelis
- ▶ **L'implémenter** soi même **en logiciel** → Exemple : Sortie sur simple port // de PC

### Décision de l'implémenter en logiciel ...

#### ▶ Pourquoi ?

- ▶ C'était notre **premier ASIC intégrant le JTAG ...**
- ▶ En cas de **bug dans l'ASIC** → On peut **adapter le côté contrôleur**
  - ▶ Prendre des **libertés / protocole**
  - ▶ Pour **comprendre** le bug **ET / OU** Pour le **contourner**

#### ▶ Comment l'implémenter ?

- ▶ Gérer le **séquencement & sérialisation** des signaux dans une **bibliothèque en C**
- ▶ Piloter un port d'I/O en bas niveau - **Fréquence atteinte ~ 100 kb/s**

#### ▶ **Inconvénient** → **Lenteur ( ~100 kb/s ) ... Slow Control ... Non ? Quoi que ...**

#### ▶ Les bénéfices ...

- ▶ Sortie intermédiaire de **vecteurs de test** → Pour **Tests avec HP 82000 @ 10 MHz**
- ▶ **Portabilité : Développé en 1997** sous VME / OS9 – **Toujours utilisé en 2009** PC / Windows

1997 – 2003  
JTAG

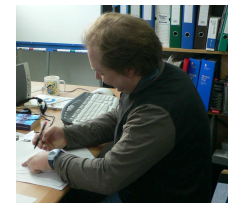
ALICE 128C – HAL 25



Gilles CLAUS

Gilles.claus@ires.in2p3.fr

2004 – 2009  
JTAG  
MAPS



Kimmo JAASKELAINEN

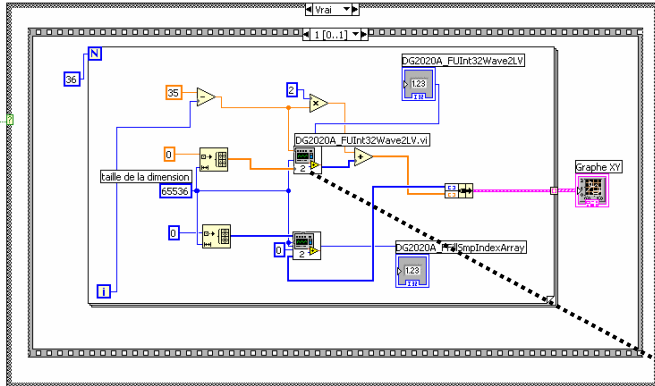
Kimmo.jaaskelainen@ires.in2p3.fr

# Notes / Avis : Quels logiciels de Test ?

## Quel Style de Programmation ?

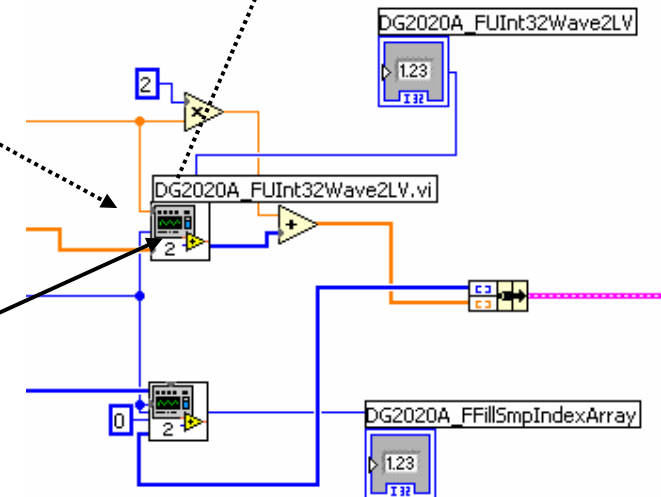
- ▶ **LabView / C – JAVA ( ou autre ... ) ?**
- ▶ **Graphique / Textuel ?**
- ▶ **Un schéma / Un programme ?**
- ▶ **Lenteur / Efficacité d'exécution ?**
- ▶ **Efficacité / Lenteur de développement ?**
- ▶ **Code « Jetable » / Réutilisable ?**

```
dg2020ac
SInt32 DG2020A_FUInt32Wave2LV ( SInt8 WaveId, SInt32 MaxSampleNb, UInt32* PtData ) {
    SInt32 VPtr;
    DG2020A_TWave* VPtrWave;
    err_retFailNull ( WaveId, (ERR_OUT,"WaveId<= 0 !", WaveId) );
    if ( WaveId >= DG2020A_NB_MAX_WAVES ) {
        err_retFail ( -1, (ERR_OUT,"WaveId=> DG2020A_NB_MAX_WAVES=>id", WaveId, DG2020A_NB_MAX_WAVES ) );
    }
    VPtrWave = s (DG2020A_VGContext.AWaves[WaveId]);
    if ( VPtrWave == NULL ) {
        err_retFail ( -1, (ERR_OUT,"Wave record pointer (id) == NULL !", WaveId) );
    }
    if ( VPtrWave->PtData == NULL ) {
        err_retFail ( -1, (ERR_OUT,"Wave data pointer (id) == NULL !", WaveId) );
    }
    if ( PtData == NULL ) {
        err_retFail ( -1, (ERR_OUT,"Dest array pointer == NULL !" ) );
    }
    if ( MaxSampleNb < VPtrWave->SampleNb ) {
        err_retFail ( -1, (ERR_OUT,"Destination array too small id samples < id ", MaxSampleNb, VPtrWave->SampleNb ) );
    }
    memcpy ( PtData, VPtrWave->PtData, VPtrWave->DataSz );
    return (0);
}
```



## Ma philosophie ...

- ▶ **Labview**
  - ▶ **Interface graphique (GUI)**
  - ▶ **Driver** des cartes ( Si fournis par constructeur → **Pas pour les écrire !** )
  - ▶ **Traitements** : FFT, etc ... ( **SI** ils existent → **Pas pour les écrire !** )
- ▶ **Le langage C**
  - ▶ Pourquoi le C plus qu'un autre ? ... → **Pour sa portabilité**
  - ▶ Pour le code « complexe » → **Traitement des données**
    - ▶ **Efficacité** du code ( temps d'exécution )
    - ▶ **Lisibilité – Maintenance – Réutilisabilité** du code
- ▶ **Une solution : Encapsuler du C dans LabView**
  - ▶ **Appels de fonctions C via DLL dans LabView**
  - ▶ **LabWindows CVI**

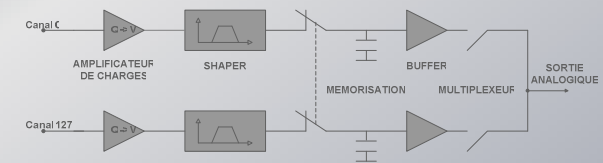


Code LabView  
contenant des appels de fonctions C via DLL

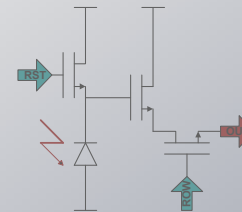


# L'évolution ... des ASIC ... et des Tests ...

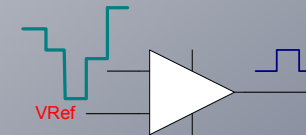
- ▶ ASIC de lecture de détecteurs à  $\mu$  pistes → Mise en forme du signal



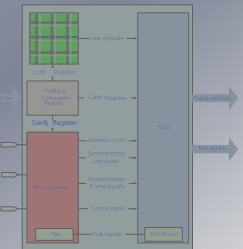
- ▶ L'ère Primaire des MAPS → Capteur à pixels – Sortie analogique



- ▶ L'ère Secondaire des MAPS → Numérisation



- ▶ L'ère Tertiaire des MAPS → Suppression de 0

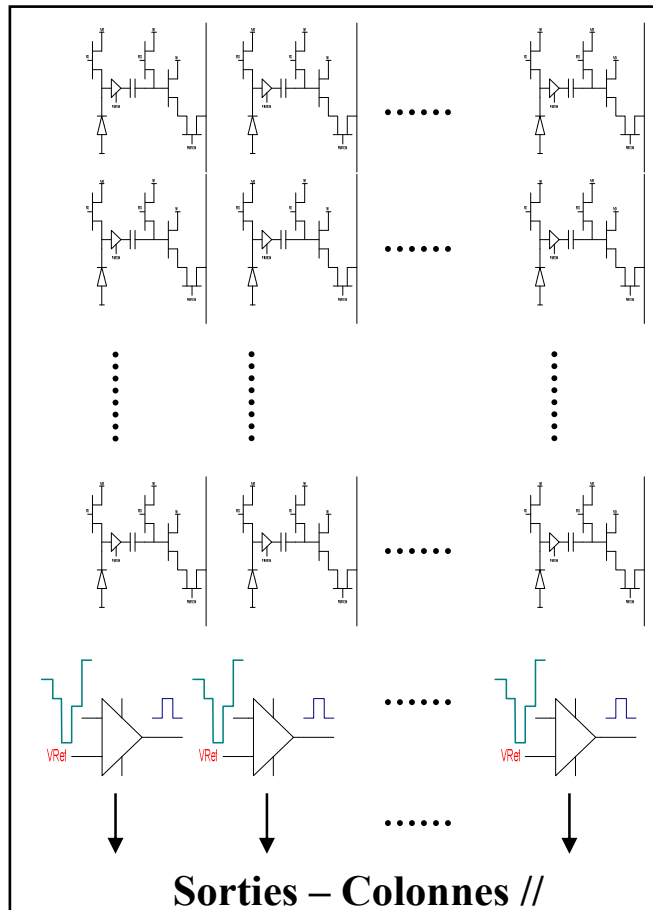


# MAPS à sortie numérisée → Discriminateur ...

MAPS architecture colonnes // ( Proto à 24 puis 1152 colonnes )

## Caractérisation

- ▶ Une sortie / colonne
- ▶ Lecture ligne par ligne
- ▶ Discriminateur en bas de colonne



Mimosa 8 Collaboration IRFU - IPHC

- ▶ L'ASIC n'est plus un « simple » détecteur
  - ▶ Traitement embarqué
    - ▶ CDS dans le pixel
    - ▶ Discriminateur en bas de colonne
- ▶ Dissocier caractérisation : Pixel / Discriminateur
  - ▶ Caractériser le pixel seul → Analogique
  - ▶ Caractériser le discri seul → Signal DC en entrée
  - ▶ Caractériser l'ensemble Pixel + Discri

## Testabilité intégrée

- ▶ Emulation signal détecteur pour tester le discri
- ▶ Nécessité d'un slow control ( JTAG )
  - ▶ Sélection des modes de fonctionnement : Test / Normal
  - ▶ Ajustement des polarisations + seuils discri
  - ▶ Dévalidation des colonnes bruyantes / mortes
  - ▶ Emulation données pour valider transmission

# MAPS à sortie numérisée : Le discriminateur

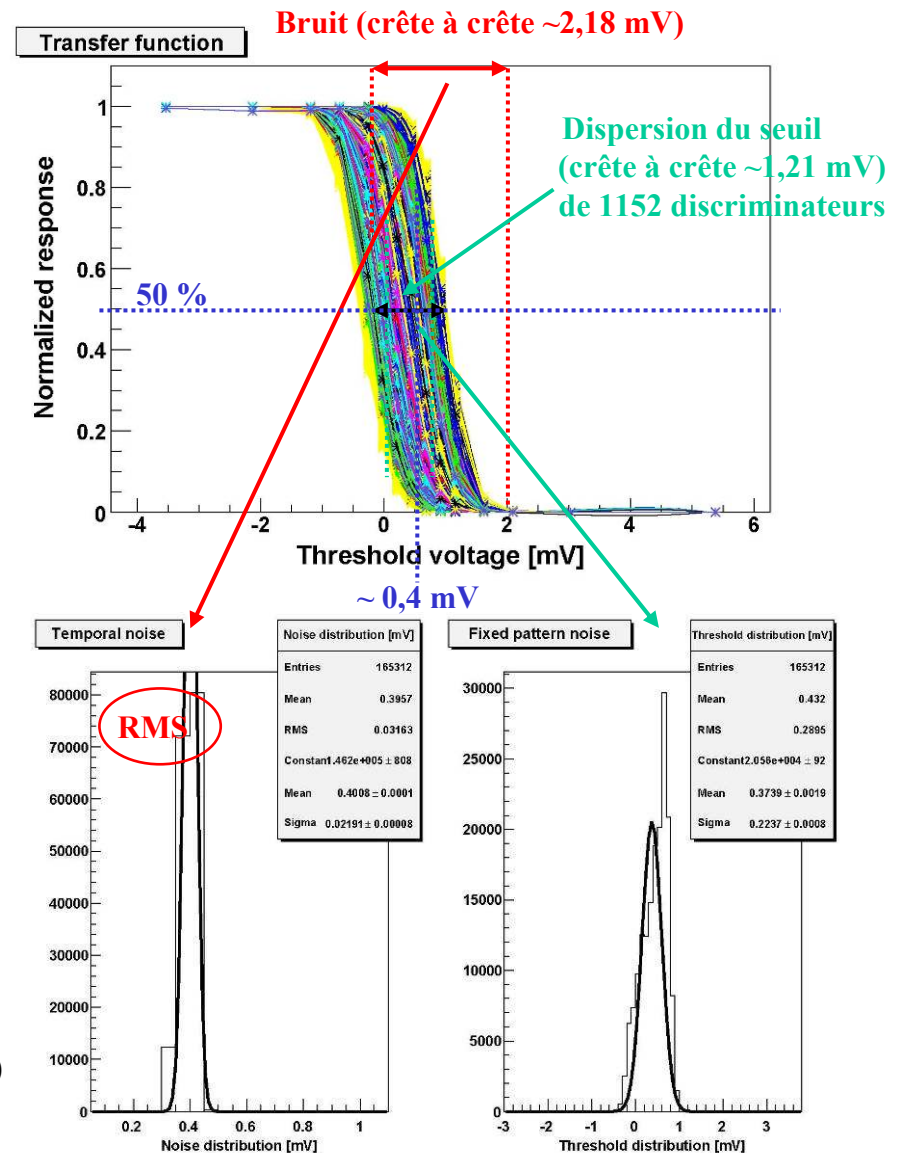
## Paramètres caractéristiques ?

( But → Définir le seuil de déclenchement )

- ▶ Le bruit → **TN = Temporal noise**
- ▶ La dispersion du seuil → **FPN = Fixed pattern noise**

## Comment les obtenir ?

- ▶ Tracer les fonctions de transfert « courbes en S »
  - ▶ Balayer les seuils des discriminateurs ( Axe X )
  - ▶ Compter les occurrences 0/1 et normaliser ( Axe Y )
  - ▶ Tracer les courbes : occurrences 0/1 = f ( Seuil )
  - ▶ « Fitter » les courbes → Extraire TN et FPN
  - ▶ Distribution du TN et FPN pour TOUS les discriminateurs
- ▶ Développement de logiciels d'analyse
  - ▶ On-line ( pour les réglages ) & Off-line ( calcul TN et FPN )



## Conclusion

### Caractérisation de MAPS à sortie numérisée

#### ▶ Caractérisation « classique » du Pixel analogique

- ▶ **Calibration** : photons X Fe<sup>55</sup> à 5,9 Kev
- ▶ **Validation / Référence ( micro pistes SI )** : Faisceaux de test CERN & DESY

#### ▶ + **Caractérisation deS discriminateurS**

- ▶ Seul = Emulation du signal du pixel - Pour Mimosa 26 → 1152 fonctions de transfert
- ▶ Connecté au pixel - Pour Mimosa 26 → 663552 fonctions de transfert ( une par pixel )
- ▶ Caractérisation du discriminateur → **Caractérisation électrique**

#### ▶ Test en faisceau de l'ensemble : Pixel + Discriminateur

- ▶ **Balayage du seuil** des discriminateurs → Efficacité de détection = f ( Seuil )

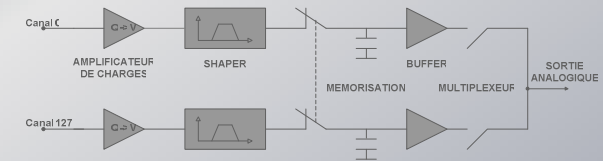
**Ajout de traitements** dans le MAPS ...

→ La part de la **caractérisation électrique** augmente / celle du capteur

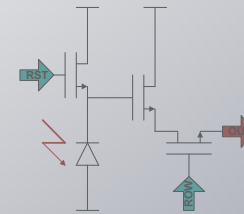


# L'évolution ... des ASIC ... et des Tests ...

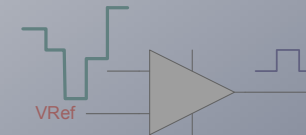
- ▶ ASIC de lecture de détecteurs à  $\mu$  pistes  $\rightarrow$  Mise en forme du signal



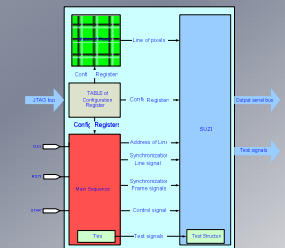
- ▶ L'ère Primaire des MAPS  $\rightarrow$  Capteur à pixels – Sortie analogique



- ▶ L'ère Secondaire des MAPS  $\rightarrow$  Numérisation

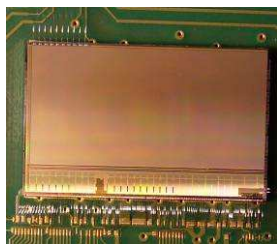
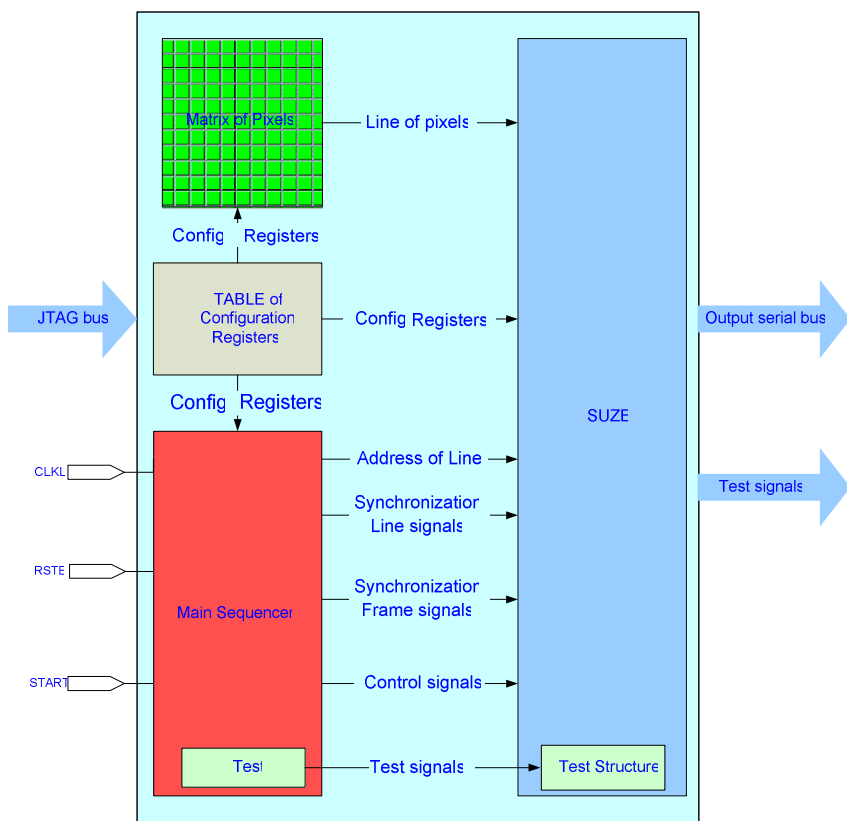


- ▶ L'ère Tertiaire des MAPS  $\rightarrow$  Suppression de 0



# MAPS à suppression de 0 : Mimosa 26 ...

## Mimosa 26

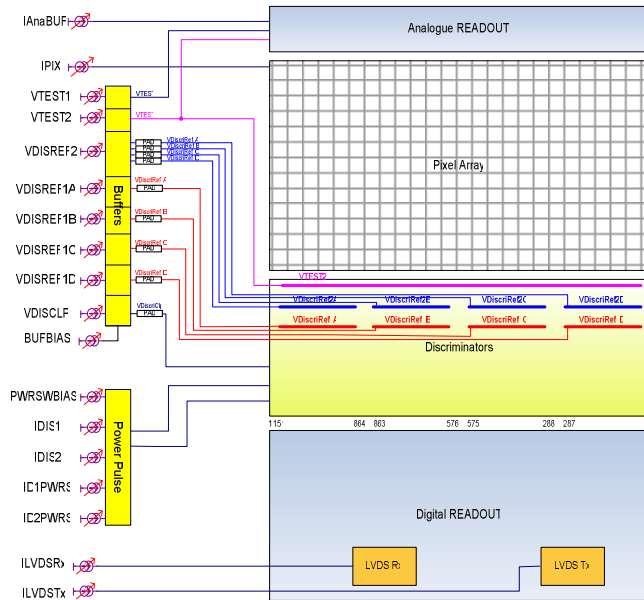


## Mimosa 26 ?

- ▶ **Capteur final** pour le télescope de faisceau du JRA1 du projet Européen (FP6) **EUDET** ( R & D détecteurs ILC )
- ▶ **Intégration : MAPS numérique & suppression de 0**
  - ▶ **Mimosa 22** → MAPS numérique 576 lignes x 128 colonnes ( 2008 )
  - ▶ **SUZE** → Circuit de suppression de zéros ( 2008 )
- ▶ **Quelques chiffres clefs**
  - ▶ **Nombre de pixels : 663 552 pixels**
    - ▶ 1152 colonnes x 576 lignes
  - ▶ **Surface active : ~ 2 cm<sup>2</sup> ( 10,6 mm x 21,2 mm )**
  - ▶ **Pitch des pixels 18,4 μm**
  - ▶ **Temps de lecture 115,2 μs**
    - ▶ Fréquence trame = 8680 Hz
- ▶ **Flux de données**
  - ▶ **Sans suppression de zéro → 678 Mo/s = 5,5 Gb/s ( Interne à Mimosa 26 → Pas en sortie de l'ASIC ! )**
  - ▶ **Après suppression de zéro**
    - ▶ **Max ~ 19 Mo/s**

# Mimosa 26 : La Testabilité Intégrée ... prend de l'ampleur ...

→ Forte interaction Concepteurs / Testeurs pour définir la testabilité en amont du design de l'ASIC



## Sortie Normale & Sorties de Test

- ▶ **Sortie Normale** → **Après suppression de zéros**
  - ▶ 2 Liens série LVDS @ 80 MHz – ~ 10 kbits / trame
- ▶ **Sortie de Test digitale** → **Avant suppression de zéros**
  - ▶ 2 Liens série LVDS @ 10 MHz - ~1 kbits / trame
- ▶ **Sortie de Test analogique** → **Avant discriminateur**
  - ▶ 8 Liens analogiques @ 10 MHz → 576 échantillons / trame

## Testabilité **intégrée**

- ▶ **Impossible** d'acquérir les données brutes ( 687 Mo/s )
  - ▶ Tester des fractions / blocs de Mimosa 26
  - ▶ Permet de conserver le temps d'intégration nominal
  - ▶ Balayage des blocs pour tester tout le chip
- ▶ Test du pixel analogique → Limité à 8 colonnes / 1152
  - ▶ Possibilité de balayer les 1152 colonnes par blocs de 8
- ▶ Test des discriminateurs seuls
  - ▶ Emulation du signal du pixel via référence DC
- ▶ Test du pixel + discri ( avant suppression de zéro )
  - ▶ Tester une ligne / 576 – Balayage automatique de la ligne testée
- ▶ Test de la logique de suppression de zéro ( SUZE )
  - ▶ Rq : Traitement du SUZE effectué ligne par ligne
  - ▶ Emulation de l'état de deux lignes consécutives ( 1152 colonnes )
- ▶ Test de l'interface digitale de sortie
  - ▶ Header, trailer de trame configurables
- ▶ Slow control requis pour paramétrer ces modes d'opération
  - ▶ JTAG – Environ 50 registres de configuration

# Mimosa 26 : Equipements requis pour le Test

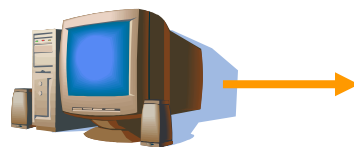
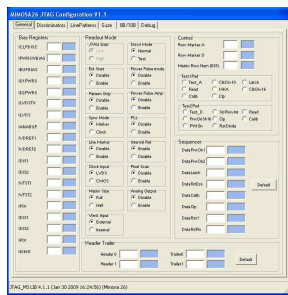
De quoi avons nous besoin pour caractériser Mimosa 26 ?

2 – Slow Control ( JTAG )  
Pour configurer Mimosa 26

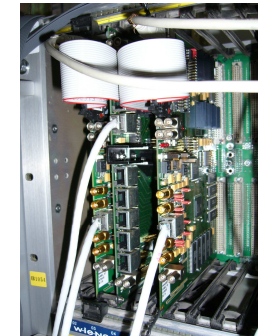
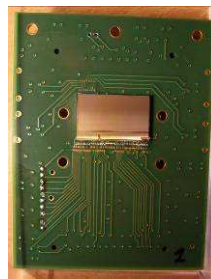
1 – PCB pour Mimosa 26  
Carte Proximité & Auxiliaire

3 – DAQ analogique pour le pixel

5 – Logiciel d'analyse

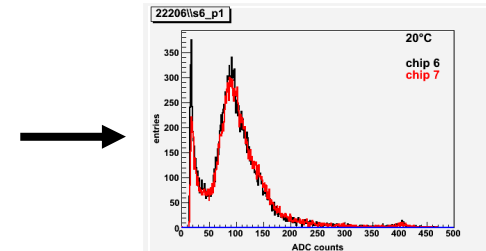
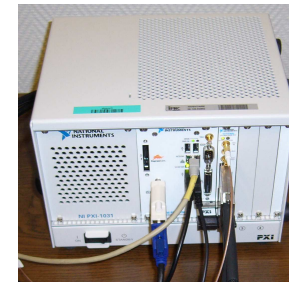


JTAG via PC // Port

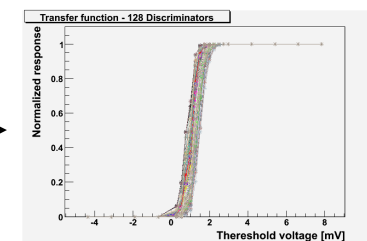


4 – DAQ digital

- Sortie normale ZS
- Test Discriminators + Pixel



Collection de charge Fe<sup>55</sup>



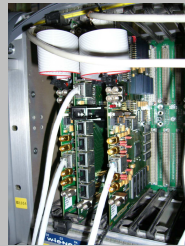
Courbes en "S" des discriminateurs

Nous avons besoin de ...

1. PCB sur lequel Mimosa 26 est bondé & des cartes d'interface
2. Slow control pour configurer Mimosa 26
3. DAQ analogique pour caractériser les pixels
4. DAQ digital pour caractériser la sortie normale ZS & discriminateurs
5. Logiciels d'analyse des données

# Mimosa 26 : Quel DAQ utiliser ?

## Analogique



- ▶ **Besoin**
  - ▶ 8 Voies @ 10 MHz
- ▶ **Ce dont on dispose**
  - ▶ Carte ADC USB 4 voies - 12 bits @ 50 MHz
- ▶ **Solution ?**
  - ▶ Deux cartes ADC USB
  - ▶ Carte de duplication & distribution d'horloge

## Carte PXI de NI

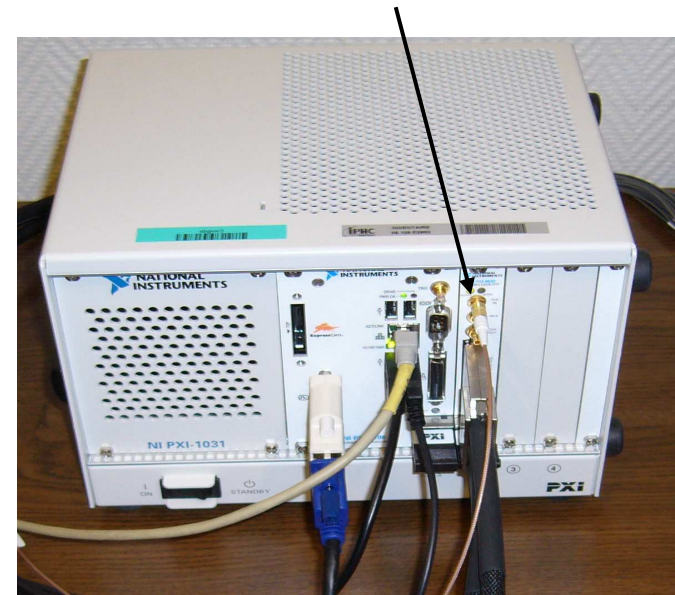
- ▶ Carte d'acquisition PXI 6562
  - ▶ 16 entrées – 200 MHz (SDR) / 400 MHz (DDR)
  - ▶ Mémoire sur la carte pour 1820 trames de Mimosa 26
- ▶ Comment lire Mimosa 26 avec une carte standard ?
  - ▶ Stocker des blocs de trames brutes en mémoire
  - ▶ Désérialisation par le logiciel DAQ ( en C ;-)

## Digital

- ▶ **Besoin**
  - ▶ 2 Voies @ 80 MHz
- ▶ **Ce dont on dispose**
  - ▶ Carte USB 16 voies @ 50 MHz
- ▶ **Solution ?**
  - ▶ Pas de solution avec les équipements du labo
  - ▶ Achat carte PXI NI 16 voies @ 200 MHz

### Châssis PXI

- CPU – Windows
- Carte ACQ 16 voies  
Coût ~ 13 K€





# Mimosa 26 : DAQ Digital → Banc de Test

Architecture Client / Serveur : **Châssis PXI = serveur de données** + **PC de supervision = client**

## Superviseur

- PC Windows

## DAQ PXI

- Carte d'acquisition digitale

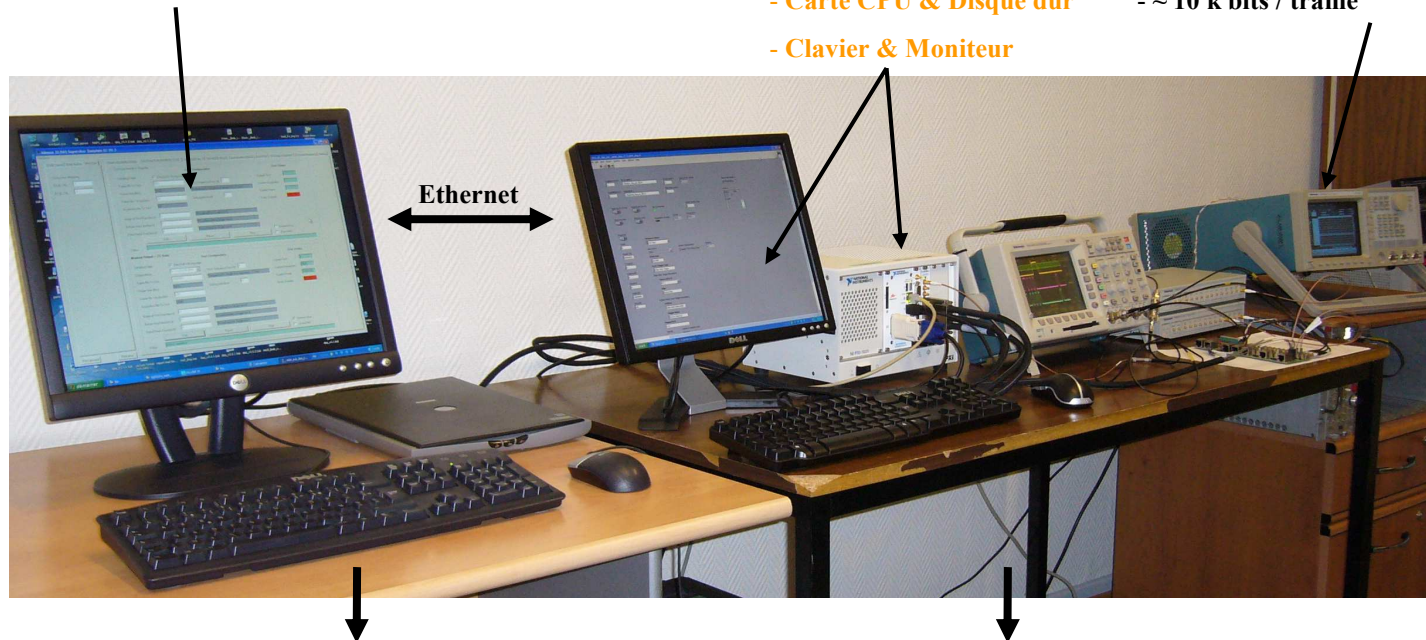
- Carte CPU & Disque dur

- Clavier & Moniteur

## Emulation de Mi26 par générateur de pattern

- 2 outputs 80 MHz / 8 Mhz

- ~ 10 k bits / trame



## Fonction

- |  |  |
|--|--|
| <ul style="list-style-type: none"> <li>• Interface Graphique ( GUI )</li> <li>• Monitoring &amp; Analyse</li> <li>• Data transmission via Ethernet ( Client )</li> </ul> | <ul style="list-style-type: none"> <li>• Contrôle de la carte d'acquisition</li> <li>• Désérialisation des données</li> <li>• Data transmission via Ethernet ( Server )</li> </ul> |
|--|--|

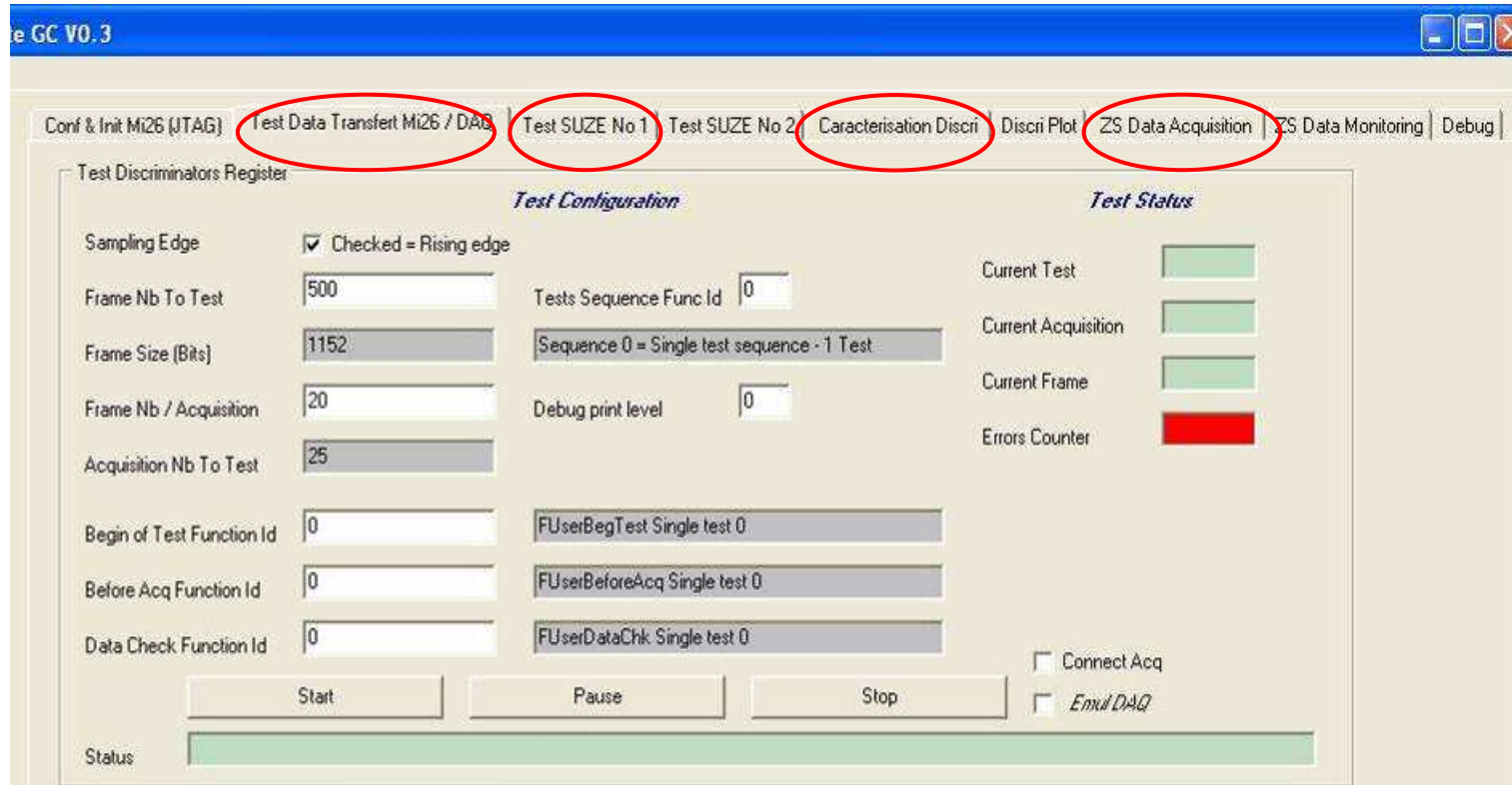
## Logiciel / Langage

- |   |   |
|---|---|
| <ul style="list-style-type: none"> <li>• GUI → C++ Builder Borland</li> <li>• Processing → C &amp; C++</li> </ul> | <ul style="list-style-type: none"> <li>• GUI &amp; NI Board driver → Labview</li> <li>• Désérialisation &amp; Ethernet → C</li> </ul> |
|---|---|



# Mimosa 26 : DAQ Digital → Supervision

## Application de Supervision : 4 Logiciels in 1



### Quatre fonctions principales

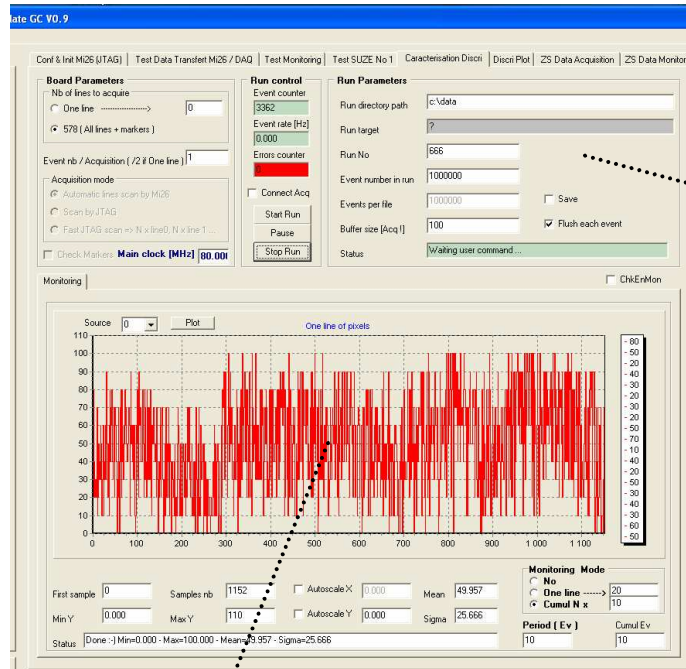
- ▶ **Test de trames connues** émises par Mimosa 26 → Header, Trailer, etc ...
- ▶ **Caractérisation des discriminateurs** → Courbes en « S »
- ▶ **Test de SUZE** → Configuration pattern par JTAG – Acquisition – Comparaison / pattern attendu
- ▶ **Acquisition et monitoring de la sortie en mode normal ( ZS )** → Tests en faisceau

*Mimosa 26 a beaucoup de modes de fonctionnement ... Architecture DAQ Client / Server Développement & Tests ~ 3 Mois*

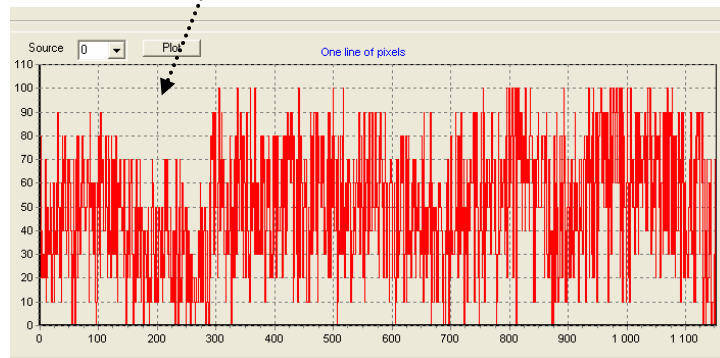
# Mimosa 26 : DAQ Digital → Caractérisation discriminateurs

## Exemples d'outils inclus dans le logiciel de supervision du DAQ

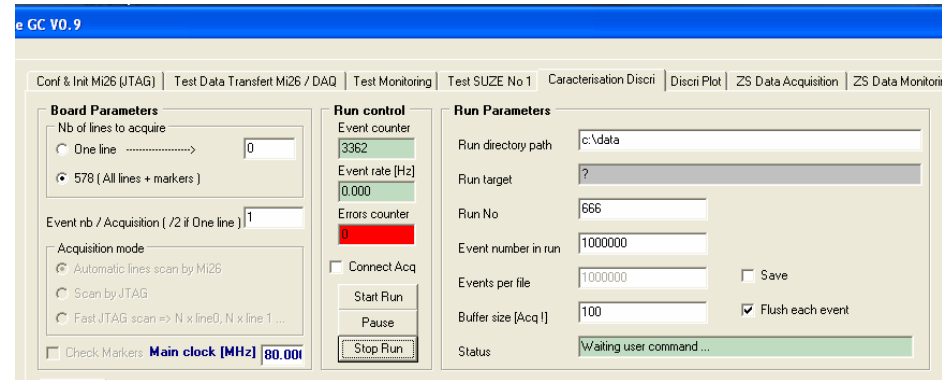
Panneau de caractérisation des discriminateur



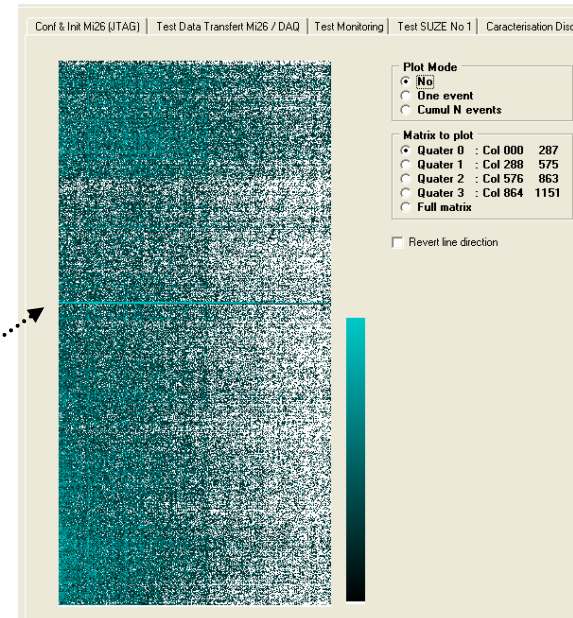
Monitoring d'une ligne (Cumul [%] sur N événements)



Contrôle de la prise de données



Monitoring de 1/4 de Mimosa 26 (Cumul [%] sur N événements)



Ligne morte → Toujours à 1

# Mimosa 26 : DAQ Digital → Test SUZE

Modèle SW de configuration & d'acquisition pour les tests de SUZE → « Fonctions à compléter »

## Panneau de contrôle d'exécution des Tests de SUZE

Test with normal Memory Output [ ZS ]

**Test Configuration**

Sampling Edge  Checked = Rising edge Tests Sequence Func Id 0 Sequence 0 = Single test sequence - 1 Test

Output Mode 0 - 2 x Out 80 MHz Debug print level 0

Frame Nb To Test 1000

Frame Size (Bits) 9216

Frame Nb / Acquisition 200

Acquisition Nb To Test 5

Begin of Test Function Id 0 FUserBegTest Single test 0

Before Acq Function Id 0 FUserBeforeAcq Single test 0

Data Check Function Id 0 FUserDataChk Single test 0

**Test Status**

Current Test

Current Acquisition

Current Frame

Errors Counter

Connect Acq  Emul DAQ

Start Pause Stop

Status



**Guy DOZIERE**  
Concepteur de SUZE  
Testeur Principal de SUZE



**Gilles CLAUD**  
Concepteur du modèle SW  
Testeur Secondaire de SUZE

### Fonction « Begin Test »

→ Configuration générale (JTAG) de Mi26 en début de test

```
char* ACOM_TSUZE__TCDbgReg_FUserBegTestSingleTest0 ( SInt8 Exec, void* PObj, void* PtData, UInt32 DataSz ) {
    static char VRet = 0;
    ACOM_TSUZE__TCDbgReg* VPtObj = (ACOM_TSUZE__TCDbgReg*) PObj;
    // -----
    // User can modify function comment here
    // -----
    char* VFuncCmt = "FUserBegTest Single test 0";
}
```

### Fonction « Before Acq » - Une Acquisition = N Trames de Mi26

→ Configuration (JTAG) de Mi26 avant chaque acquisition

```
char* ACOM_TSUZE__TCNorm_FUserBeforeAcqSingleTest0 ( SInt8 Exec, void* PObj, void* PtData, UInt32 DataSz ) {
    static char VRet = 0;
    ACOM_TSUZE__TCNorm* VPtObj = (ACOM_TSUZE__TCNorm*) PObj;
    // -----
    // User can modify function comment here
    // -----
}
```

### Fonction « Data Check »

→ Comparaison de la réponse de Mi26 / Pattern attendu

```
char* ACOM_TSUZE__TCNorm_FUserDataChkSingleTest0 ( SInt8 Exec, void* PObj, void* PtData, UInt32 DataSz ) {
    static char VRet = 0;
    ACOM_TSUZE__TCNorm* VPtObj = (ACOM_TSUZE__TCNorm*) PObj;
    // -----
    // User can modify function comment here
    // -----
    char* VFuncCmt = "FUserDataChk Single test 0";
}
```

Non

Oui

Fin de test ?

Rapport  
de  
Test

La mise à disposition d'un environnement de test ... permet

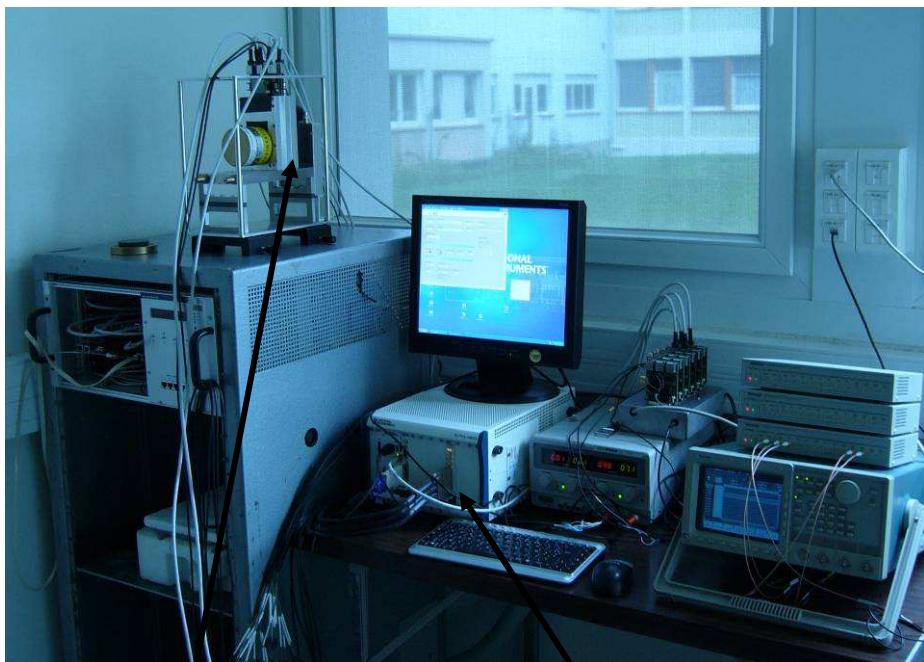
- Au concepteur de se focaliser sur les tests PAS sur les outils de test
- A l'ingénieur test de s'impliquer AUSSI dans les tests

→ Réduit le risque de bugs cachés - Deux approches complémentaires des tests



## Mimosa 26 : En route vers les tests en faisceau ...

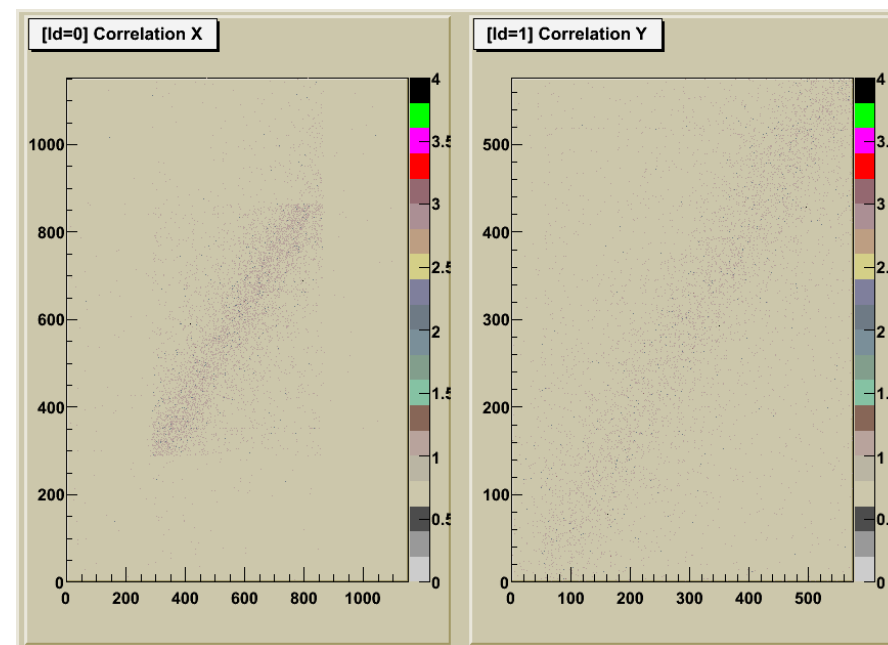
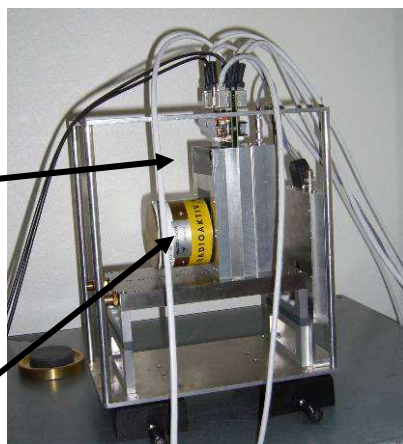
### Tests final au laboratoire de Mimosa 26 et de son DAQ



Système d'acquisition de Mimosa 26

Télescope équipé de 2 plans de Mimosa 26

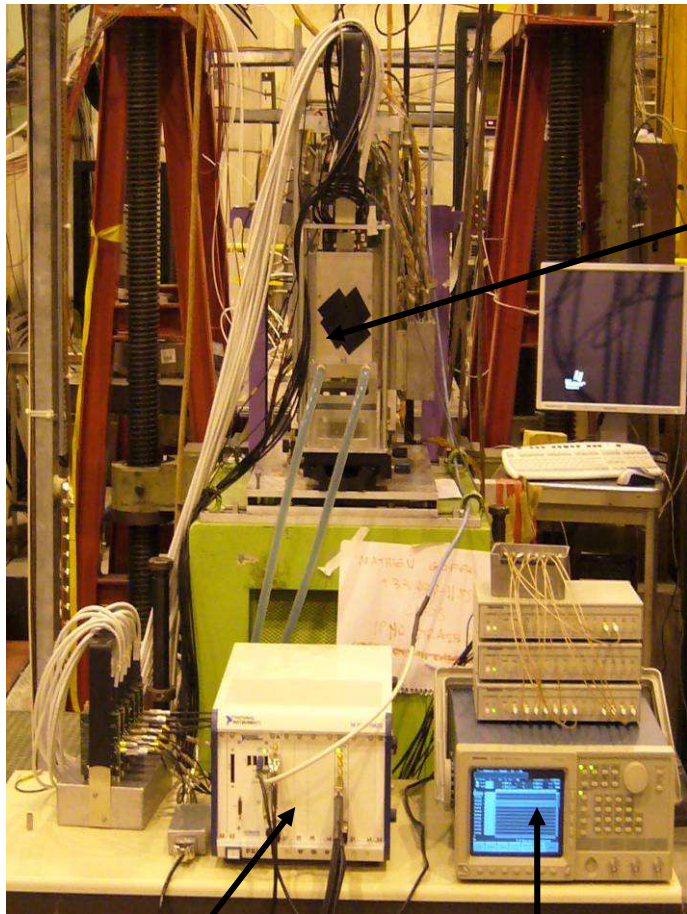
Source Ruthénium ( $Ru^{106}$ )



Corrélation entre les positions d'impacts sur les deux plans du télescope dans les deux directions X et Y

Ce test ne permet pas de prouver le bon fonctionnement du DAQ, c'est « juste » la cerise sur le gâteau **APRES** avoir validé le DAQ en émulant des hits à des positions connues sur Mimosa 26

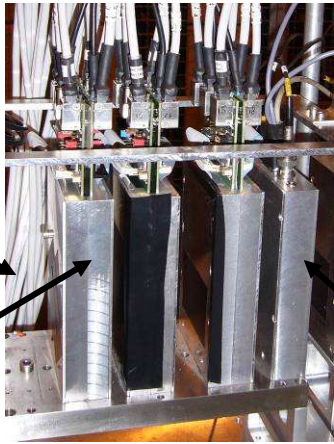
# Mimosa 26 : Tests en faisceau au CERN ( Pions 120 Gev )



DAQ PXI  
6 x 2 voies @ 80 MHz

Générateur de pattern  
( Duplication horloge + start )

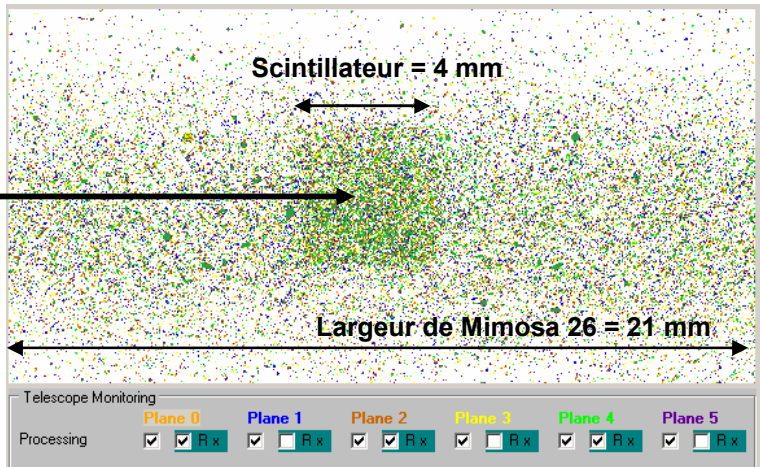
Télescope 6 plans de Mimosa 26



Module  
2 Plans de Mimosa 26

Scintillateur 4 x 4 mm

Ombre  
du  
scintillateur



Monitoring du DAQ  
Cumul des hits sur 6 plans ( 1 couleur / plan )

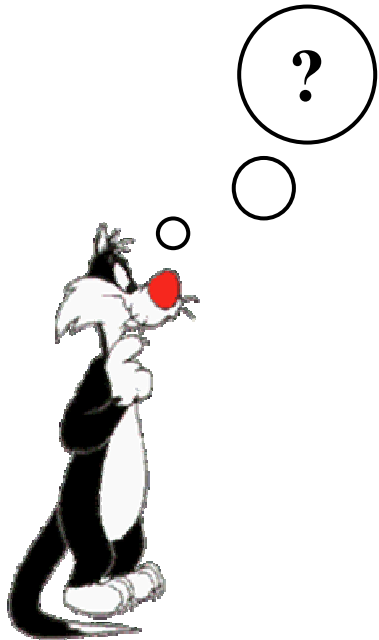
**Le DAQ développé pour les tests au labo est aussi utilisé en faisceau de test → Un seul DAQ**



## Conclusion

### Caractérisation de MAPS à suppression de 0 intégrée

- ▶ **Caractérisation d'un MAPS à sortie numérisée**
  - ▶ **Pixel analogique : Calibration avec photons X Fe<sup>55</sup> à 5,9 Kev**
  - ▶ **Discriminateur : Courbes en « S » - Distributions Bruit et Seuil à 50 %**
  - ▶ **Pixel + Discriminateur : Même type de mesures que discriminateur seul**
  - ▶ **Comparaison / Référence ( Télescope à MAPS ) : Faisceaux de test CERN**
- ▶ **+ Test & Validation de la logique de suppression de zéro**
  - ▶ **Emulation de deux lignes de données des discriminateurs**
- ▶ **La Testabilité intégrée ... prend de l'ampleur ...**
  - ▶ **Design du MAPS plus complexe ... trouver le bon compromis**
  - ▶ **Nombreux modes de fonctionnement à gérer côté slow control & DAQ**
- ▶ **Coût du test de Mimosa 26 ... Total ~ 2 Années / Homme**
  - ▶ **Développer des outils réutilisables ( Ex : JTAG ... développé en 1997 ... toujours utilisé )**
  - ▶ **Favoriser le développement logiciel / matériel → Plus souple et Plus portable**  
**Quitte à perdre sur la cadence de mesure « l'event rate » ... car c'est le prix de la souplesse**

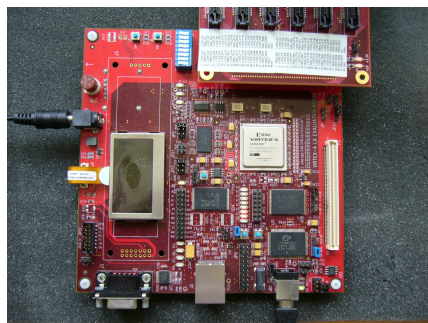


## Timing

- ▶ **Mimosa 26 retour fonderie 18/02/2009**
  - ▶ Il faut le bonder sur PCB et faire les premiers essais
- ▶ **Jugé opérationnel le 20/02/2009 → Do + 3 Jours !**
  - ▶ Lecture Mimosa 26 OK et les pixels réagissent à la lumière
- ▶ **Caractérisation de base 6 mois ... approfondie → 1 an**
- ▶ **Testé en faisceau au CERN début septembre**
- ▶ **Question !**
  - ▶ **Mais quand ont-ils testé leurs bancs de test ?**



## De l'intérêt de l'émulation ...



Du contrôleur JTAG de Mimosa 26 ...  
via FPGA Virtex 4

Les bancs de tests  
étaient ainsi testés et validés  
**avant l'arrivée de Mimosa 26**

Il n'y a pas de secret ... pour réussir ... il  
ne suffit pas d'être bon ...  
**Il ne faut pas oublier de s'entraîner !**



De la trame de sortie de Mimosa 26 ...  
via un générateur de pattern

# Les Futurs blocs à intégrer ...et les MAPS en 3D ...

## ► Caractérisation d'ADC

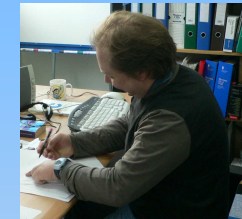
- Objectif : Dynamique 125 mV – 10 MS/s – 25  $\mu$ m pitch – 500  $\mu$ W
- WILIAM (Wilkinson & SAR) – SARA (SAR) – MAD (Résolution variable)



Nicolas PILLET

## ► Caractérisation de PLL et Sérialiseur 8B/10B

- PLL : 160 MHz – Locking time 60  $\mu$ s – Jitter < 20 ps → Présentation I.Valin
- 8B/10B : → Présentation G.Dozière



Kimmo JAASKELAINEN

## ► Les MAPS en 3D ...

- 3D 2 Tiers ( Chartered A + D ) → IPHC
  - 256 x 96 pixels – Pitch 12  $\mu$ m – Shaper – Discr - Time stamp 30  $\mu$ s
  - Acquisition pendant 1 ms & Readout 199 ms ( Cycle ILC )
- 3D 3 Tiers ( Pixel XFAB 0,6  $\mu$ m + Chartered A + D ) → Collaboration IPHC & Bergamo & Pavia
  - 245 x 245 pixels – Pitch 20  $\mu$ m – Shaperless – Discr
  - **STriPSet** ( Self-Triggering Pixel Tracker ) – Resolution 1  $\mu$ s
- 3D 2 Tiers Rolling shutter → Collaboration IRFU & IPHC
  - 32 x 256 pixels – Pitch 20  $\mu$ m – Discr – Principe de lecture de Mimosa 22

# Notes / Avis : Testeur Industriel de CI → DSP Analog Instrumentation

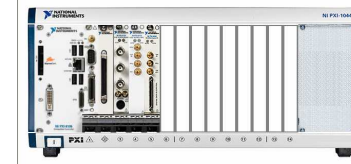
Testeur Industriel de CI Mixtes → Agilent 93000  
( DSP Analog Instrumentation )



Développement au laboratoire  
de systèmes de Test



Instrumentation modulaire



Châssis PXI National Instrument



Générateur / Analyseur logique  
Agilent

## ► Testeur Industriel de CI bien adapté à la caractérisation ?

- « Scan de bruit » de Mimosa 26 ( Discr1 et Pixel + Discr1 ) → **Oui**
- Logique de suppression de 0 (SUZE) de Mimosa 26 → **Oui**
- ADC → **Oui**
- PLL et Sérialiseur 8B/10B → **Oui**
- Fonctions digitales des MAPS 3D → **Oui**

→ **Car le traitement est logiciel (DSP)  
donc « Tout devrait être possible » ?**

## ► **Oui ... Mais ...**

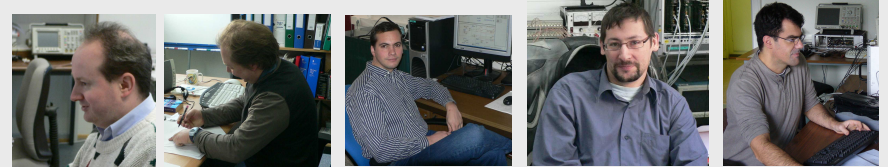
- Nous avons testé **en même temps** : un ADC, Mimosa 26, une PLL ... il eût fallu **trois testeurs ...**
- Dans le cas des MAPS **un DAQ sera toujours nécessaire pour les tests avec source et en faisceau**

## ► Quelle solution ... découpler le test des sous-ensembles électroniques ( Testeur CI ) / MAPS ( DAQ ) ?

- **Deux équipes test** seraient nécessaires pour maîtriser les **deux familles d'outils**
- **Impossibilité de tester hors du labo** les sous-ensembles électroniques ( Ex : Test des discriminateurs en faisceau au CERN ... )

Quels que soient les équipements de Test → La priorité est la ressource Humaine

Le Test est un métier – Il doit s'apprendre – Il doit se transmettre





# Les personnes impliquées dans les tests

## Développement bancs de test ...

## Tests & Caractérisation ...

## Transfert - Collaborations

Slow Control - Développement FW  
Conception – Caractérisation  
PLL – Liens Série Rapides



Kimmo JAASKELAINEN

Montage & Test Cartes  
Développement HW & SW  
Emulation ASIC



Matthieu SPECHT

Définition des bancs de Test - Coordination  
Développement SW DAQ & Monitoring



Gilles CLAUS

Conception de Cartes d'Acquisition  
Cartes de Test des MAPS \*



\* Wojciech Dulinski

Développement FW  
DAQ Test en faisceau



Cayetano SANTOS

\* Les micro-électroniciens directement impliqués dans les tests

Test de SUZE



\* Guy DOZIERE

Caractérisation MAPS & Tests d'irradiation  
Conception SW Analyse



Michael DEVEAUX



Michal KOZIEL



Mathieu GOFFE



\* Andrei DOROKHOV

Caractérisation des ADC



\* Nicolas PILLET

Collaboration IPHC / IRFU ( CEA )  
Conception MAPS Numériques



Marie GELIN  
Caractérisation MAPS  
Analyses données faisceau

EUDET → Télescope faisceau



Antonio BULGHERONI  
Caractérisation MAPS  
Conception SW analyse faisceau

STAR → Upgrade VTx



Michal SZELEZNAK  
Caractérisation MAPS  
Intégration / STAR

Sans oublier les physiciens qui analysent les données faisceau

J.Baudot, M.Gélin, R.De Masi, CDritsa ...



# Transparents supplémentaires / Annexes

## ▶ ASIC lecture détecteurs à micro-pistes

- ▶ Expériences ALICE & STAR → Page 38
- ▶ Synoptique HAL 25 → Page 39
- ▶ Principe de lecture et émulation signal détecteur → Pages 40-41

## ▶ MAPS

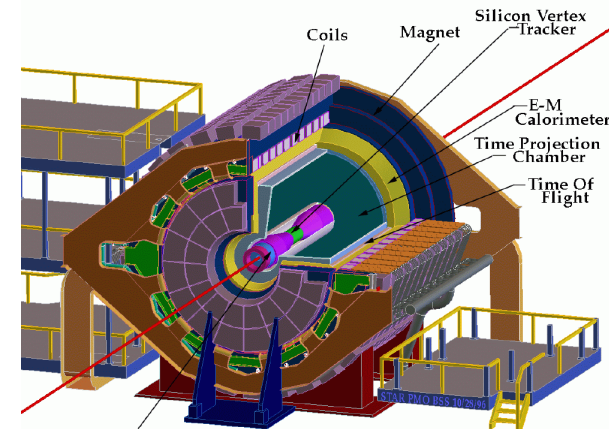
- ▶ MAPS pour les détecteurs de vertex → Pages 42-43
- ▶ Télescope de faisceau équipé de MAPS ( EUDET ) → Page 44
- ▶ Application d'imagerie biomédicale ( SUCIMA & EBCMOS ) → Pages 45-46
- ▶ Principe de fonctionnement des MAPS → Pages 47-48
- ▶ Tolérance aux radiations → Page 49
- ▶ Tests de MAPS sur wafer ( Cas de Mimosa 5 ) → Pages 50-52
- ▶ Slow control de Mimosa 26 → Page 53
- ▶ Readout de Mimosa 26 → Page 54-55
- ▶ DAQ USB pour les MAPS analogiques → Pages 56-57

## STAR ( Solenoid Tracker At RHIC ) – 2002 ...

QPG – Collisions faisceaux Ions Au-Au @ 130 à 200 GeV

### Silicon Vertex Tracker

- 3 Couches internes SDD
  - $13 \cdot 10^6$  canaux - Pitch  $25 \mu\text{m}$
- 1 Couche SSD
  - $0,5 \cdot 10^6$  Pistes Si – Pitch  $95 \mu\text{m}$
  - Lecture 5 ms
  - 1 kRad/an – 10 ans
  - ALICE128C – 20 kRad

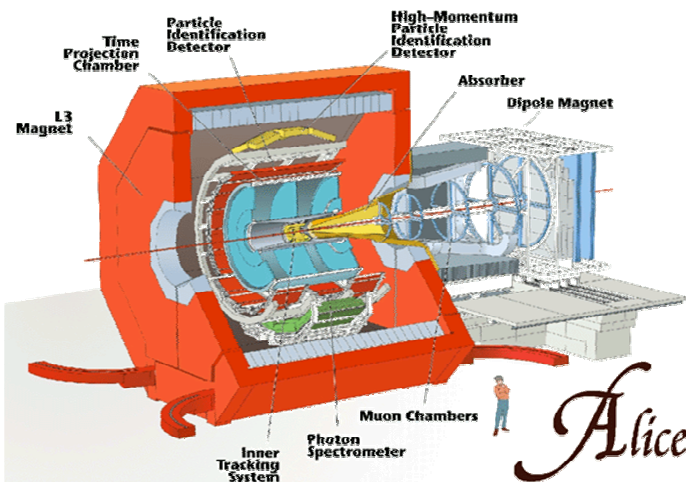


## ALICE ( A Large Ion Collider Experiment ) @ LHC – 2007

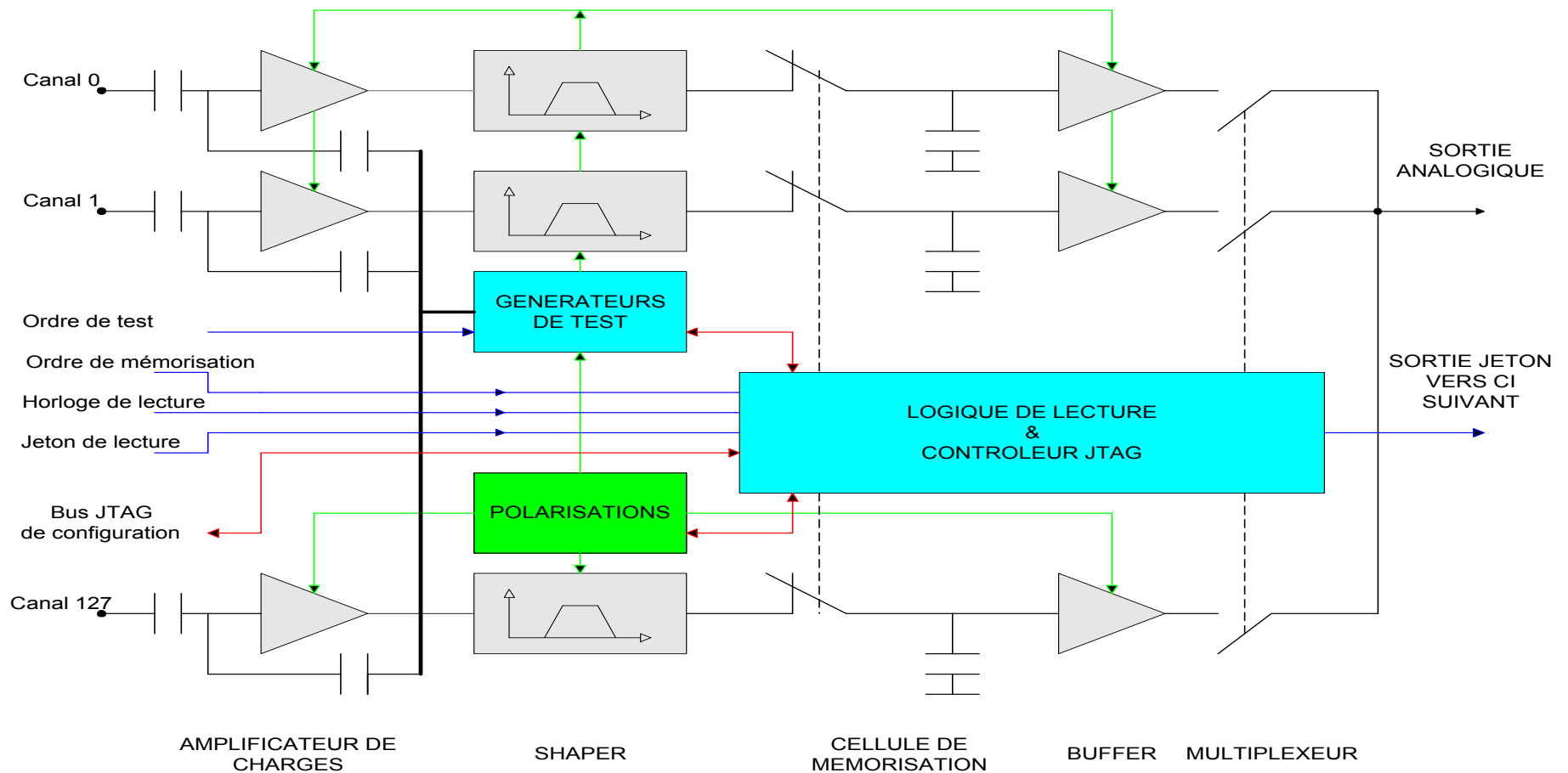
QPG – Collisions faisceaux Ions Pb - Pb @ 5,5 TeV

### Silicon Vertex Tracker

- 2 Couches de pixels Si SPD =  $14 \cdot 10^6$  Pixels
- 2 Couches de drift Si SDD =  $192 \cdot 10^3$  Canaux
- 1 Couche strip Si SSD
  - $2,6 \cdot 10^6$  Pistes Si –  $95 \mu\text{m}$
  - Lecture 2 x 768 pistes @ 10 MHz ~  $153 \mu\text{s} = 65 \text{ kHz}$
  - L0 50 kHz – L1 6,5 kHz - L2 60 Hz
  - 1 kRad/an – 10 ans – **Mais** instantané > 10 kRad
  - HAL25 – 200 kRad



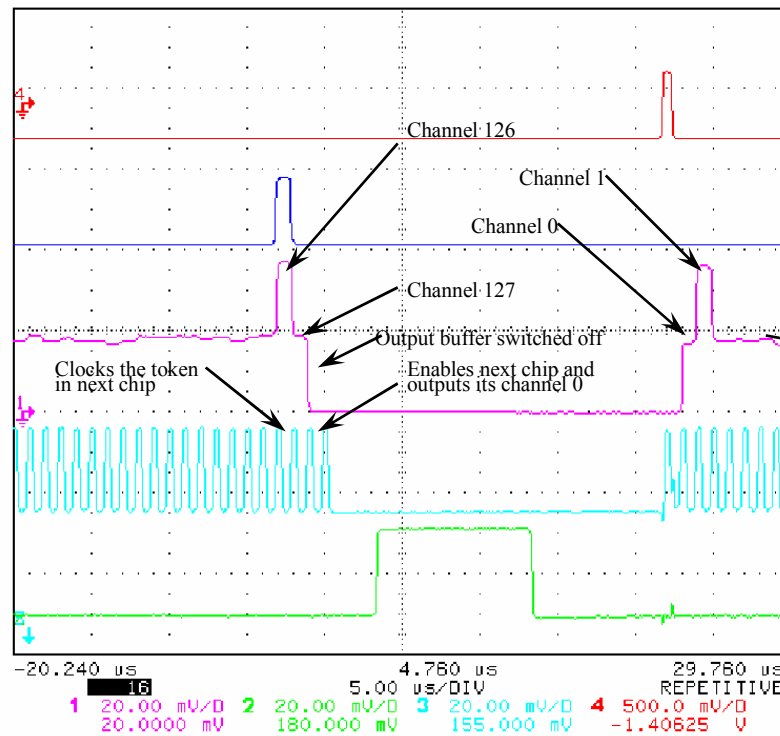
## SCHEMA SYNOPTIQUE DE HAL 25



## CYCLE DE LECTURE DE HAL 25

### JETON TokenIn / TokenOut

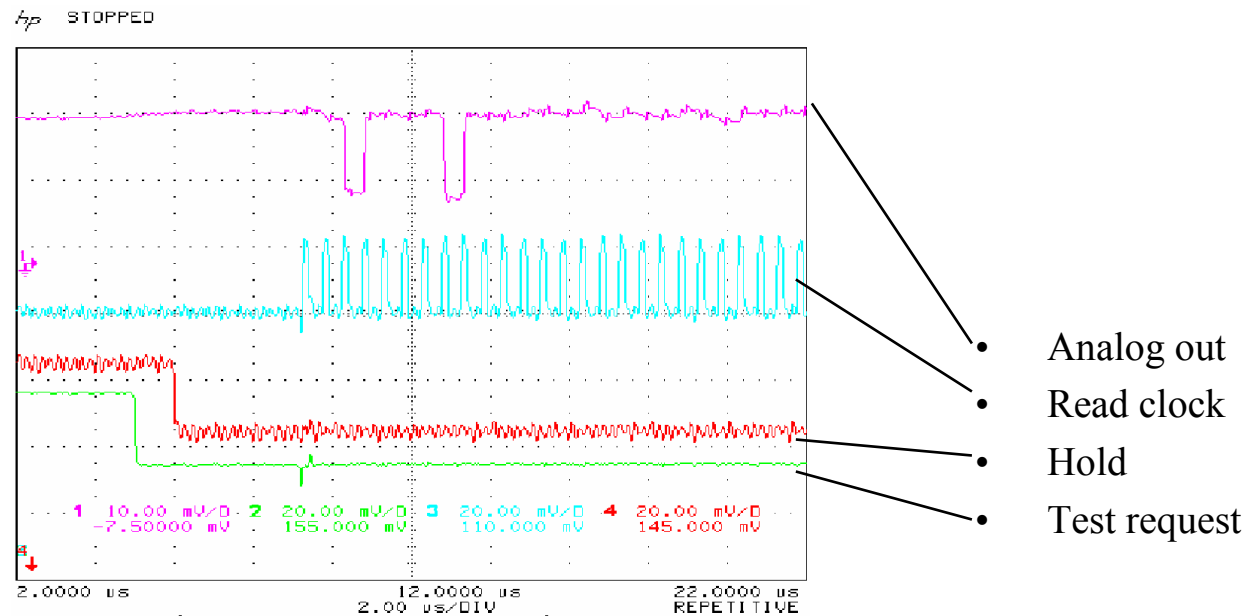
STOPPED



- TOKENIN in the first chip
- TOKENOUT
- Analog out
- Read clock
- Test request

## CYCLE DE LECTURE DE HAL 25

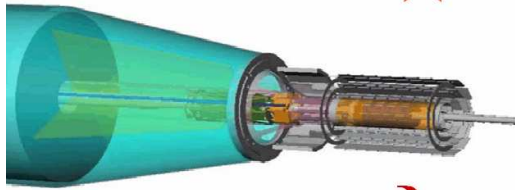
Injection d'une impulsion de test sur les canaux 1 et 6





### STAR @ RHIC Vertex Detector Upgrade – 2010

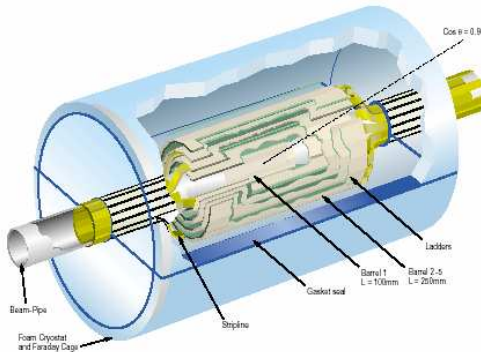
QPG – Collisions faisceaux Ions Au-Au @ 130 à 200 GeV



- Remplacement SVT actuel ( SDD )
- 3 Couches de MAPS
- $13 \cdot 10^6$  Pixels – Pitch  $30 \mu\text{m}$
- Lecture 1 ms – Intégration 0,2 ms
- 30 kRad/an -  $1,2 \cdot 10^{12} n_{\text{eq}}/\text{cm}^2/\text{an}$

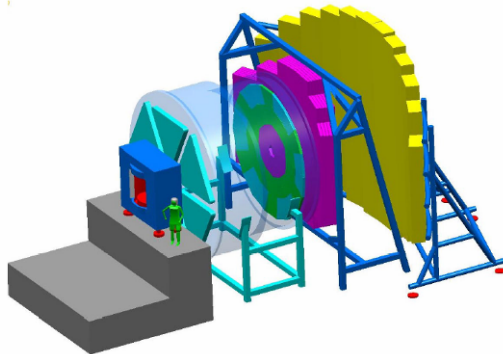
### ILC Vertex Detector – 201X

Collisions faisceaux  $e^+ e^-$  @ 500 GeV ... 1 TeV



### CBM @ FAIR Vertex Detector- 201X

QPG – Collisions Cible Fixe Ions Au @ 25 – 40 GeV



- Nouveau détecteur
- 3 Couches de MAPS
- ? \*  $100 \cdot 10^6$  Pixels – 20 à  $40 \mu\text{m}$
- Lecture 10  $\mu\text{s}$
- $< 1$  MRad/an -  $10^{13} n_{\text{eq}}/\text{cm}^2/\text{an}$

## Performances des différents détecteurs à pixels

Détecteurs pour International Linear Collider (ILC) ...

Paramètre	Objectif ILC	Hybrid Pixels	CCDs	MAPS
Resolution spatiale	$\leq 5\mu\text{m}$	$\sim 30\mu\text{m}$	$\sim 5\mu\text{m}$	$1,5\mu\text{m}$
Epaisseur	$\sim 50\mu\text{m Si}$	$\sim 500\mu\text{m}$	$\sim 50\mu\text{m}$	$\sim 120\mu\text{m}$
Vitesse de lecture	$\sim 30\mu\text{s}$	$\sim 25\text{ns}$	??	Under study
Tenues aux radiations	$\geq 5 \times 10^{10} n_{\text{eq}}$	$> 10^{14} n_{\text{eq}}$	$\sim 10^9 n_{\text{eq}}$	$\sim 10^{12} n_{\text{eq}}$

## But & Moyens

- ▶ Infrastructures nécessaires à la R&D détecteurs pour l'ILC
- ▶ Budget 21,1 ME – 31 Instituts – Durée 4 ans ( 2006-2009 )
- ▶ 3 Join Research Activities ( JRA )
  - ▶ **JRA1 : Faisceau + Télescope MAPS**
  - ▶ JRA2 : Tracking Detectors
  - ▶ JRA3 : Calorimeter



## IPHC Strasbourg – Télescope MAPS

- ▶ **Démonstrateur : été 2007 – 6-8 plans  $0,6 \text{ cm}^2$  -  $R < 5 \mu\text{m}$  – 100 Hz**
  - ▶ Développement MAPS MimoStar 3 M ( lecture analogique )
  - ▶ **Organisation d'une semaine de formation en Mars 2006**
  - ▶ **Fourniture de 3 bancs de tests USB ( Genève, Hambourg, Rome )**
  - ▶ **Présentation d'une solution DAQ USB démonstrateur : 6 Plans – 40 Hz**
- ▶ **Télescope final : 2009**
  - ▶ **6-8 plans  $\sim 4 \text{ cm}^2$  - MAPS lecture digitale – Suppression de zéro – Acquisition 1 kHz**



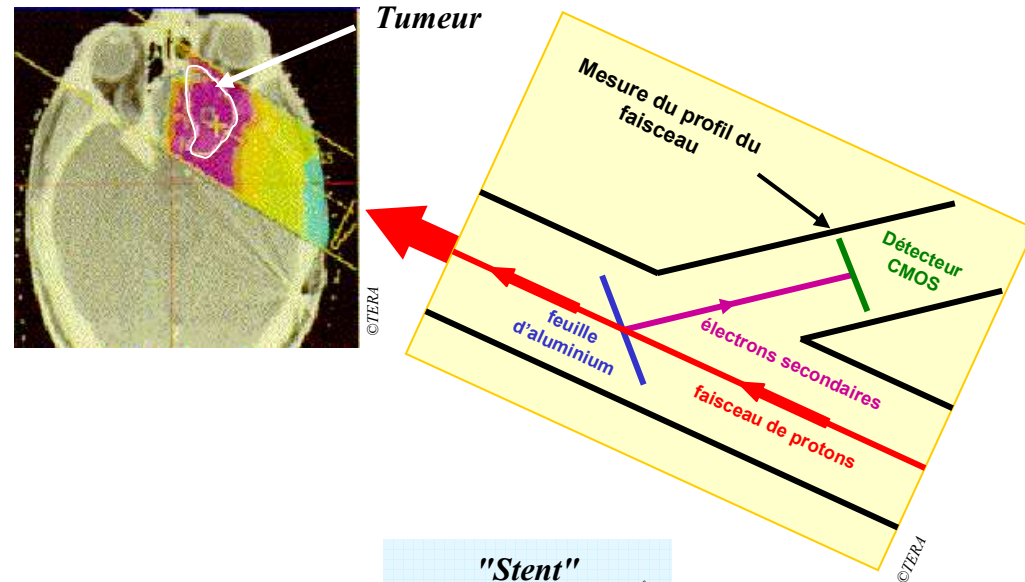
## Annexes : MAPS → Applications d'Imagerie Biomédicale

**SUCIMA** : Silicon Ultra fast Cameras for electron and gamma sources In Medical Applications  
Projet financé par la Communauté Européenne – 5<sup>ème</sup> PCDR



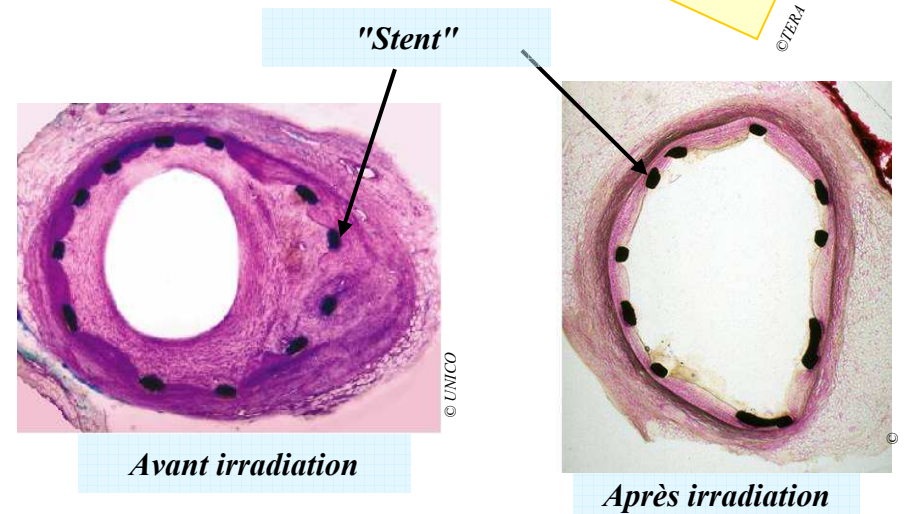
### • Successor 4 – AMS-06

- Profil de faisceaux => Protonthérapie
- Surface : 19x17 mm<sup>2</sup>
- 112 x 112 Pixels – Pitch 153 µm
- Lecture 10 kHz / frame – 40 MHz Série
- Radiations << Successor 4 ~ 100 kRad
- Amincissement 15 µm

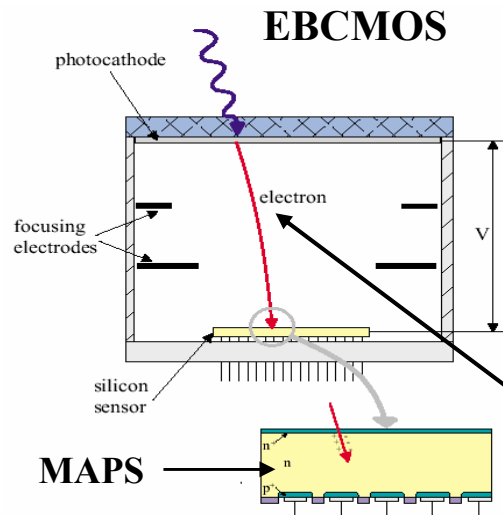


### • Successor 5 – AMIS-035

- Dosimétrie des sources Beta en Curiethérapie endovasculaire
- Source ~ GBq
- Surface : 9x9 mm<sup>2</sup>
- 256 x 256 – Pitch 30 µm
- Lecture série 20 MHz
- Radiations : Successor 5 ~ 2 MRad



Imagerie Biomédicale : Neurosciences & Embryogénèse



Imagerie par Marqueurs Fluorescents

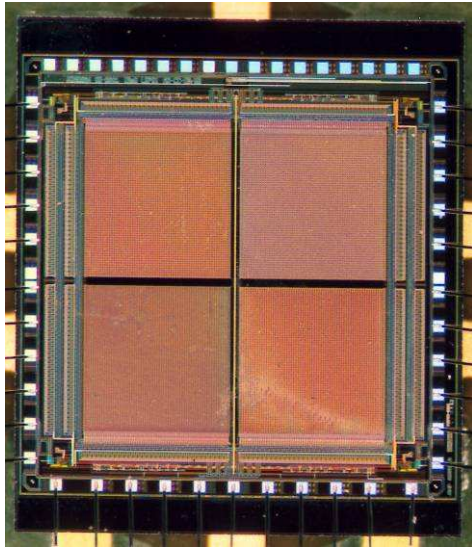
- Contraintes**
- Faible luminosité
  - Faible densité de marqueur
  - Durée courte des phénomènes biologiques
  - Faible taille des objets à observer

- GIS PHOTONIS-DEP / IN2P3**
- Organisation projet & DAQ – IPNL
  - MAPS – IReS
  - Tube Photocathode – PHOTONIS-DEP

- Défi EB-CMOS**
- Photon → photo-électron accéléré à 10 kV
  - Comptage du photon par pixel
  - Lecture 1000 frames / s
  - Résolution < 10 μm
  - Surface ~ 4 cm<sup>2</sup> – 10<sup>6</sup> Pixels



## Minimum Ionizing Particle MOS Active Pixel Sensor



MIMOSA IV

### MIMOSA (I – V) :

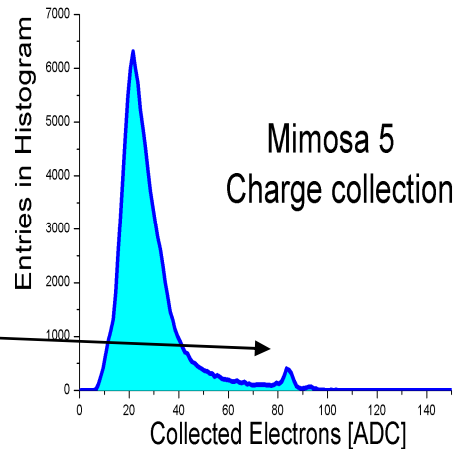
- Resolution  $1.5\mu\text{m} - 2.5\mu\text{m}$
- Pitch typique des pixels  $\sim 20\mu\text{m}$
- Amincissement  $120\mu\text{m}$  (1 Wafer -  $50\mu\text{m}...$ )
- S/N pour MIPs 20 – 40
- Efficacité de détection  $> 99,5 - 99,9 \%$
- Capteur 1MPixel lecture en  $\sim 10\text{ms}$  ( 20 MHz )
- Tolérance aux radiations : 1 MRad &  $\sim 10^{12}n_{\text{eq}}/\text{cm}^2$

# Annexes : Principe de fonctionnement MAPS

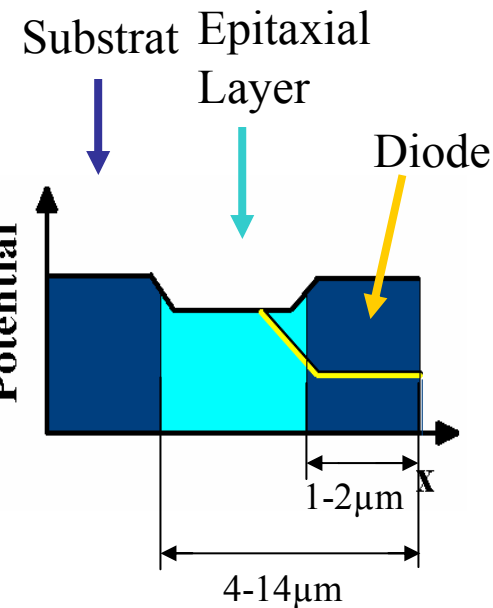
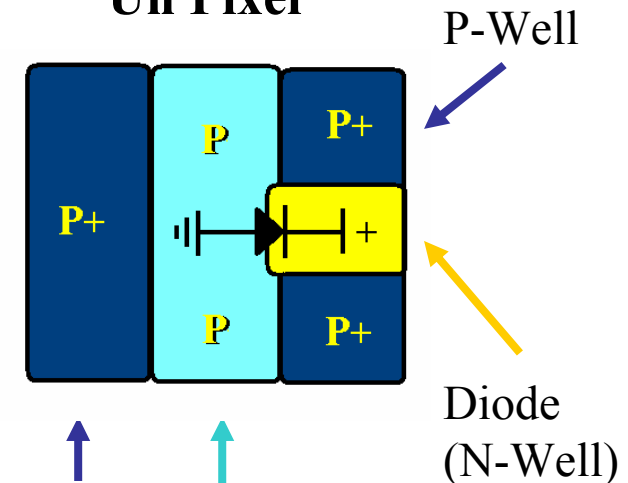
## Calibration Photons X

- Energie photon 5,9 keV
- Energie Excitation Si 3,6 eV
- 1 Photon => 5,9 keV / 3,6 eV

~ 1640 paires e- / trous



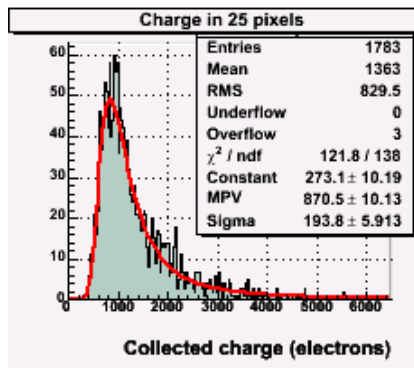
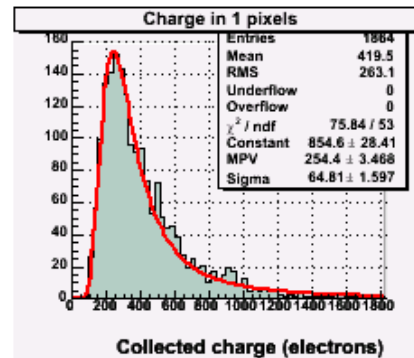
## Un Pixel



## MIP Minimum Ionising Particle

- dE/dx 39 keV / 100 µm Si
- Energie Excitation Si 3,6 eV
- MPV ~ 7300 e- Moyen 8000 e-

~ 73 - 80 paires e- / trous par µm



## Exemple : Mimosa 11

- MPV 73 e- / µm - EPI 14 µm
- Charge totale = 73 x 14 = 1022 e-
- Mesure = 870,5 e-

Perte 10-20 % - EPI < 14 µm

### Ionisantes => Atomes excités

- *Charges accumulées dans les isolants*
- *Effets de surface – partiellement compensables en chauffant*
- **Augmentation du courant de fuite**
- **Augmentation du bruit**
- **Pas de réduction de la collection de charge ( au premier ordre )**

### Non Ionisantes => Atomes déplacés dans le cristal

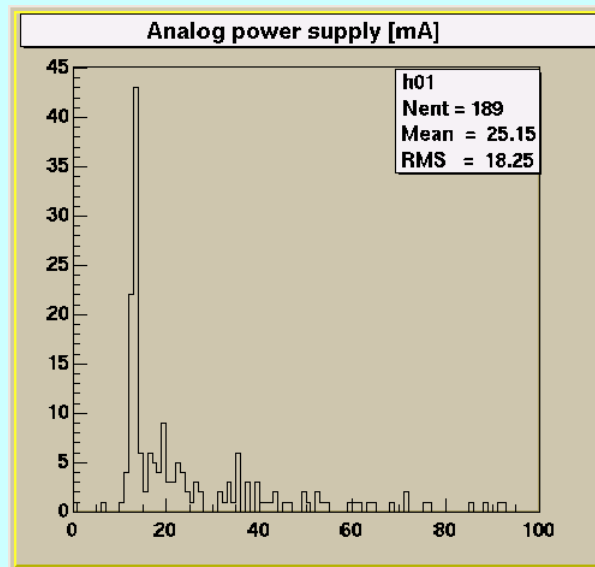
- *Défaut cristal => réduction temps de vie e- ( Recombinaison )*
- *Génération e- thermiques => Courant de fuite & bruit*
- **Augmentation du courant de fuite**
- **Augmentation du bruit**
- **Réduction de la collection de charge ( Recombinaison )**

### Pour augmenter la tolérance aux radiations

- **Techno submicroniques**
- **Anneaux de garde – Diode détection – Transistors**
- **Augmenter épaisseur couche EPI ( Compense perte signal en non ionisant )**

## MIMOSA 5 YIELD ESTIMATION BASIC TEST

- **Basic test based on power supply current measurement**
  - Static state ( no readout cycle )
  - Easy detection of bad chips ( short circuit )
  - May 2002 => **Yield ~ 33 %**

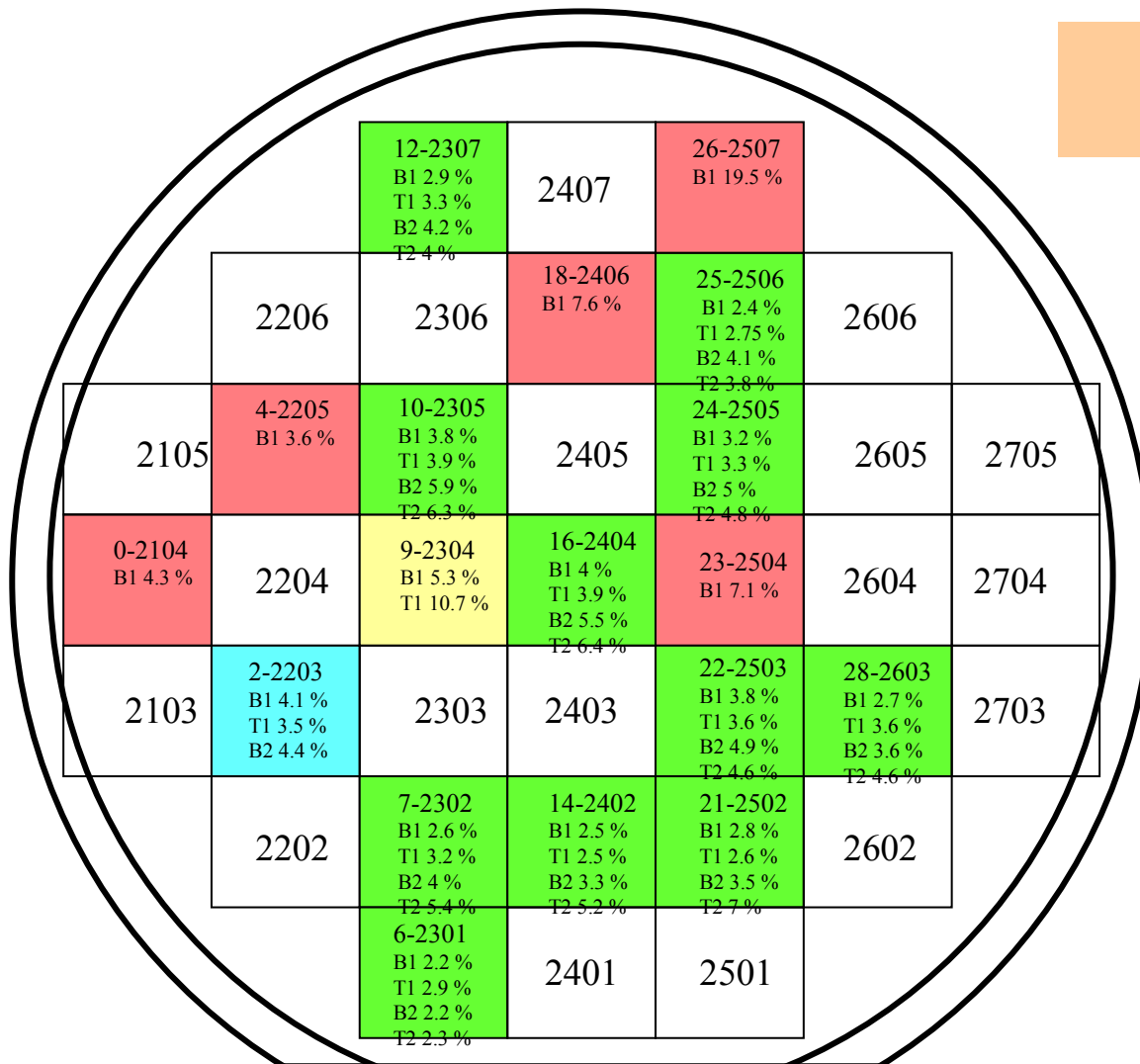


- **Histogram of power current**
- **Mean value ~ 12,5 mA**
- **Criteria 10 - 16 mA => Yield ~ 33 %**

### Questions

- **Boundaries definition ?**
- **What about “good chips” ? ( good pixels ? )**

**MIMOSA 5 YIELD ESTIMATION  
WAFER MAP EXAMPLE**



Rejected by basic test

4 matrices ok

3 matrices ok

2 matrices ok

1 matrix ok

**Yield = 33 %**



## MIMOSA 5 YIELD ESTIMATION RESULTS

- **Tests results**
  - 5 wafers + 24 chips => **189 chips tested**
  - **45 chips are working** ( < 5 % broken pixels )
- **How chips are broken ?**
  - Full matrix => **short circuit ( ~ 50 % )**
  - Full **line** or **row** => **reset or readout electronic ( ~ 27 % )**
- **Next step ... thermal analysis ... in order to understand**
- **Answer to basic test questions**
  - We can reduce boundaries up to +/- 10 %
  - Bad chips are “ short circuit like ” by matrix or by lines / row

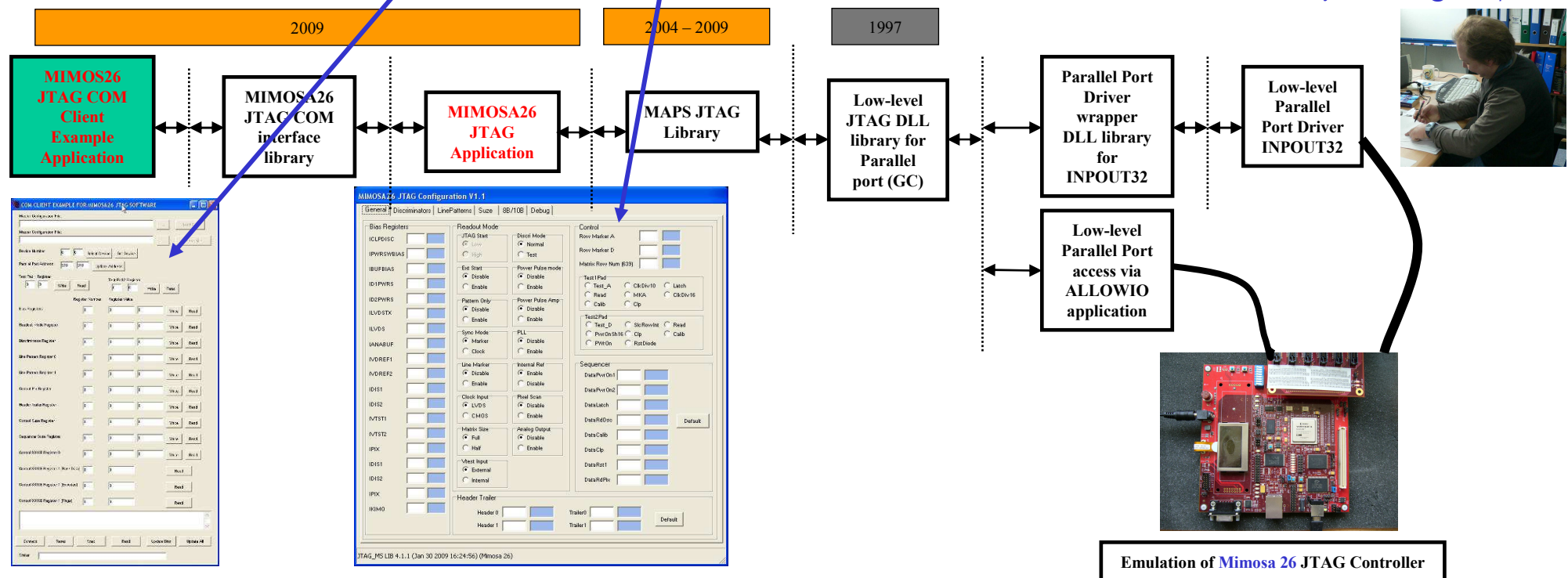
**=> Yield ~ 23 %**

# Annexes : Slow Control de Mimosa 26 → JTAG

## A Windows application to Control the ~ 50 Configuration Parameters of Mimosa 26

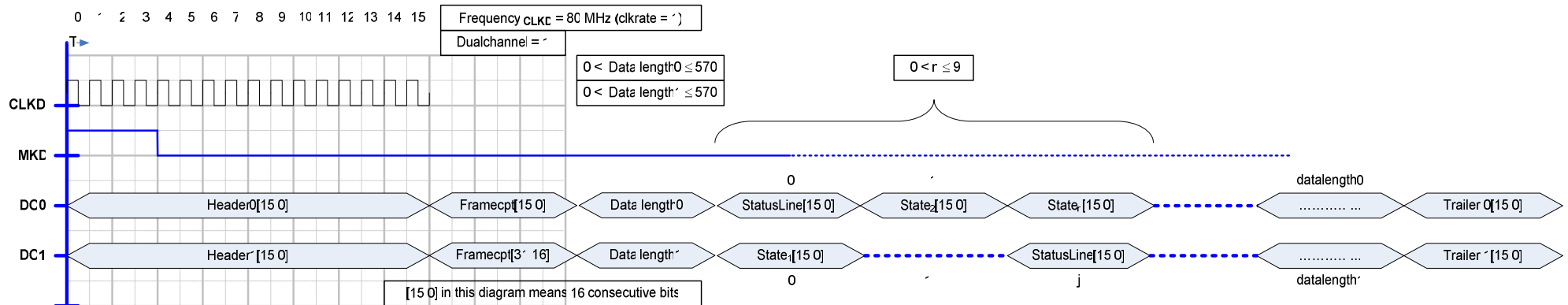
- ▶ Uses **JTAG** slow control via **PC parallel port**
  - ▶ Requires a free // port on PC
  - ▶ We provide the software as an executable GUI Windows application
- ▶ A COM interface allows to control JTAG application by a third party software
  - ▶ JTAG can be controlled by DAQ software
  - ▶ COM allows access at GUI parameters levels / register levels ( library )

Kimmo JAASKELAINEN  
Kimmo.jaaskelainend@ires.in2p3.fr



## Readout configuration N° 3 : 2 outputs @ 80 MHz

- Provides the **whole states memory size** : 1140 W16 ( word of 16 bits ) – 570 W16 / link



### Summary

- Data generated on **rising edge** of Mimosa 26 clock
- Header → 16 bits / output
- Frame counter → 16 bits / output
- Data length ( useful part of data ) → 16 bits / output ( Sum the 2 W16 to get **matrix** W16 size )
- Data ( **format on next slide** ) → Max = 570 x 16 bits / output
- Trailer → 16 bits / output
- Padding zero → 32 bits / output
- **Total stream size per output** : 9216 bits = 576 W16 = 1152 W8

## Readout configuration N° 3 : 2 outputs (D0, D1) @ 80 MHz

- ▶ If there is at least one hit in one line, the following data stream is generated
  - ▶ Status/Line word
    - ▶ Address of line
    - ▶ Number of States ( 9 Max, overflow flag if > 9 )
  - ▶ States list – One state = consecutive pixels at 1 in the line
    - ▶ Column address of the first pixel at 1
    - ▶ Number of pixels at 1 - **Warning** : 0 means one pixel at 1 ( value → pixel nb : 0 → 1, 1 → 2, 2 → 3, 3 → 4 )
- ▶ For each line with hit : one Status/line followed by up to 9 States

Status/ line															
0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
Bit(0-3)				Bit(0-10)											
number of States				The address of the line											O V F

State															
0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
Bit(0-1)		Bit(0-10)													
number of hit pixels		the address of the column											not used		

## Why a New DAQ : VME → USB ?

- ▶ Very Low Data Bandwidth 4 MB/s
- ▶ MAPS Digital outputs – No way
- ▶ Readout frequency Max 20 Mhz
- ▶ On Board Data Sparcification – No way
- ▶ More generic sequencer ( MAPS Digital Ctrl )
- ▶ Software ... Linux ... Windows ...

## Status ?

- ▶ Board Ready
- ▶ Lab MAPS test bench operationnal ( Summer 2005 )
- ▶ **Final IReS USB DAQ Software for Summer 2006**
  - ▶ Multiple boards ... USB bandwidth ...
  - ▶ Dynamic Variable Size event data format
  - ▶ Windows ROOT monitoring
- ▶ **Generic sequencer for end of Summer 2006**

## DAQ USB 2.0

### Analog

- 1-4 ADC 12 bits – 40 Mhz
- 1 ADC 14 bits – 100 MHz
- 10<sup>6</sup> pixels shared 1-4 Inputs

### Digital

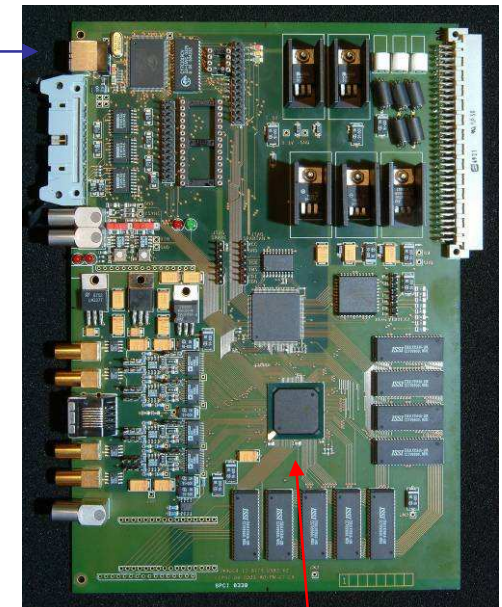
- Pattern generator & Trigger
- 16 Digital inputs

### Daq

- Transfer 15 MB/ s USB 2.0

### Firmware ( To Be Done )

- CDS Calculation ( Done )
- Pedestal subtraction
- Data sparcification



USB 2.0  
BUS

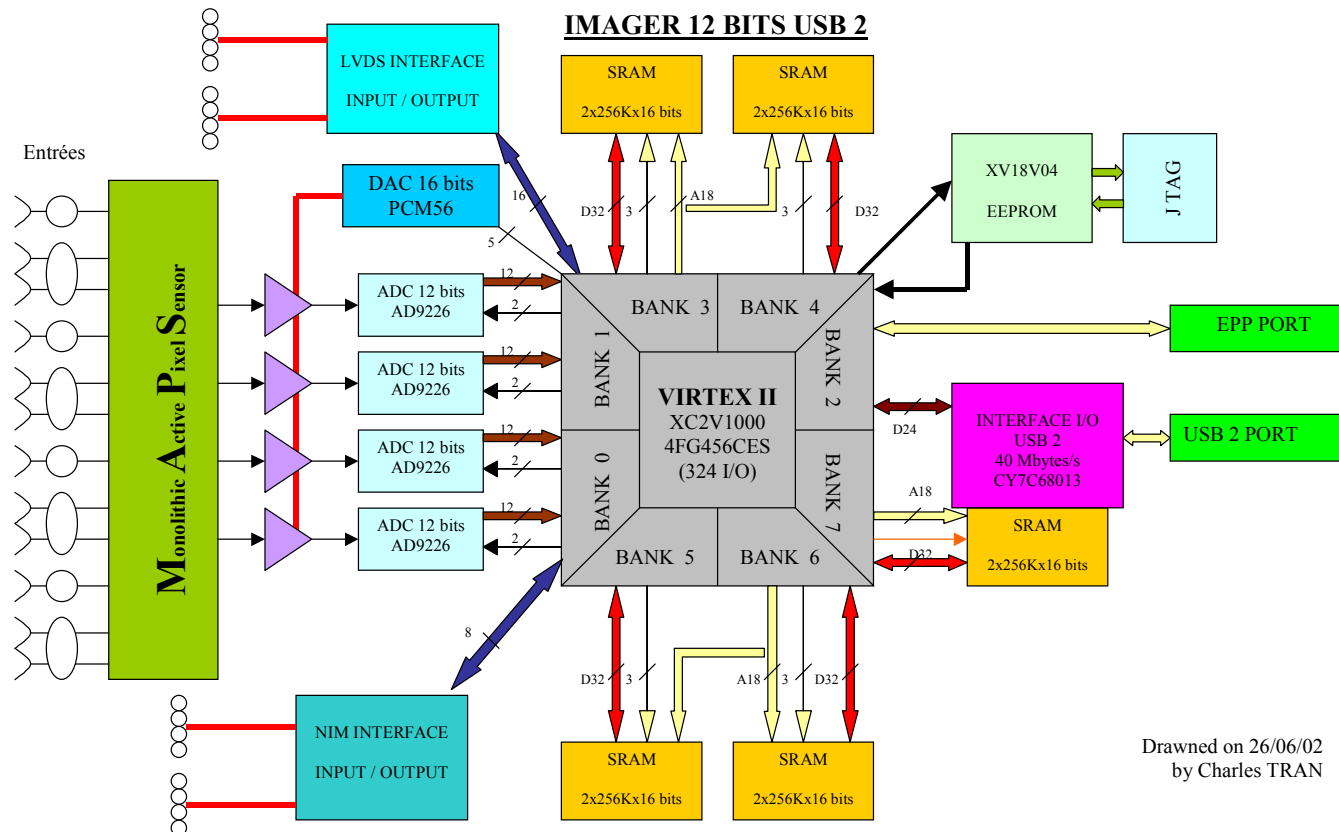
Virtex 2  
FPGA



Supervision  
PC Windows



## USB 2 ADC BOARD SYNOPTIC



- 4 analog input channels - 40 MHz ( 65 MHz ) - 12 bit - 1 MByte static RAM
- Virtex II ( board controller, on-line processing )
- USB 2 data transfer ( up to 50 Mbytes / s ? )
- VME format => can be plugged in a VME crate