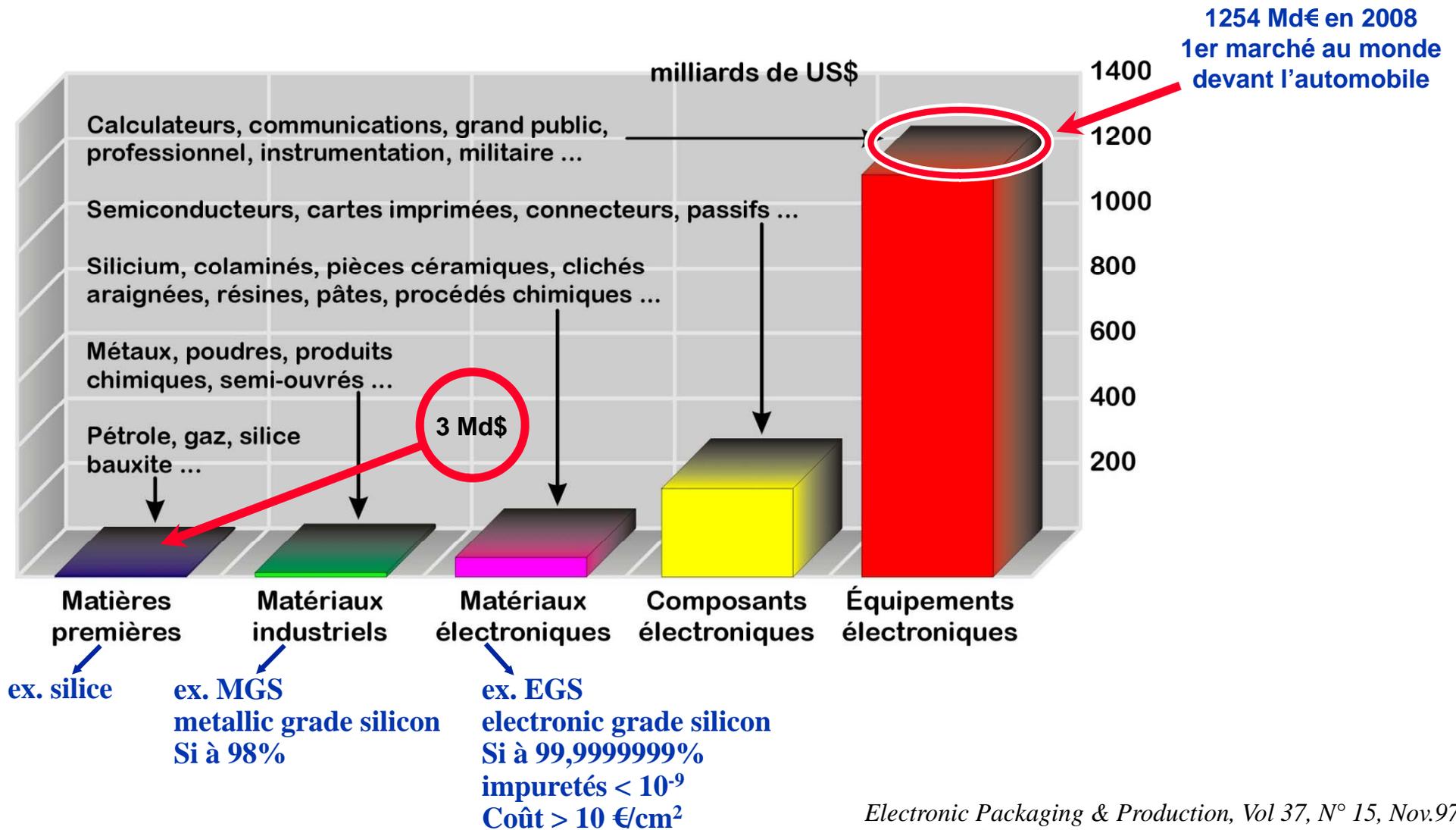


# **PACKAGING & INTERCONNEXION En MICRO-ÉLECTRONIQUE**

**Ecole de microélectronique et microsystèmes  
16 au 19 mai 2011, Fréjus**

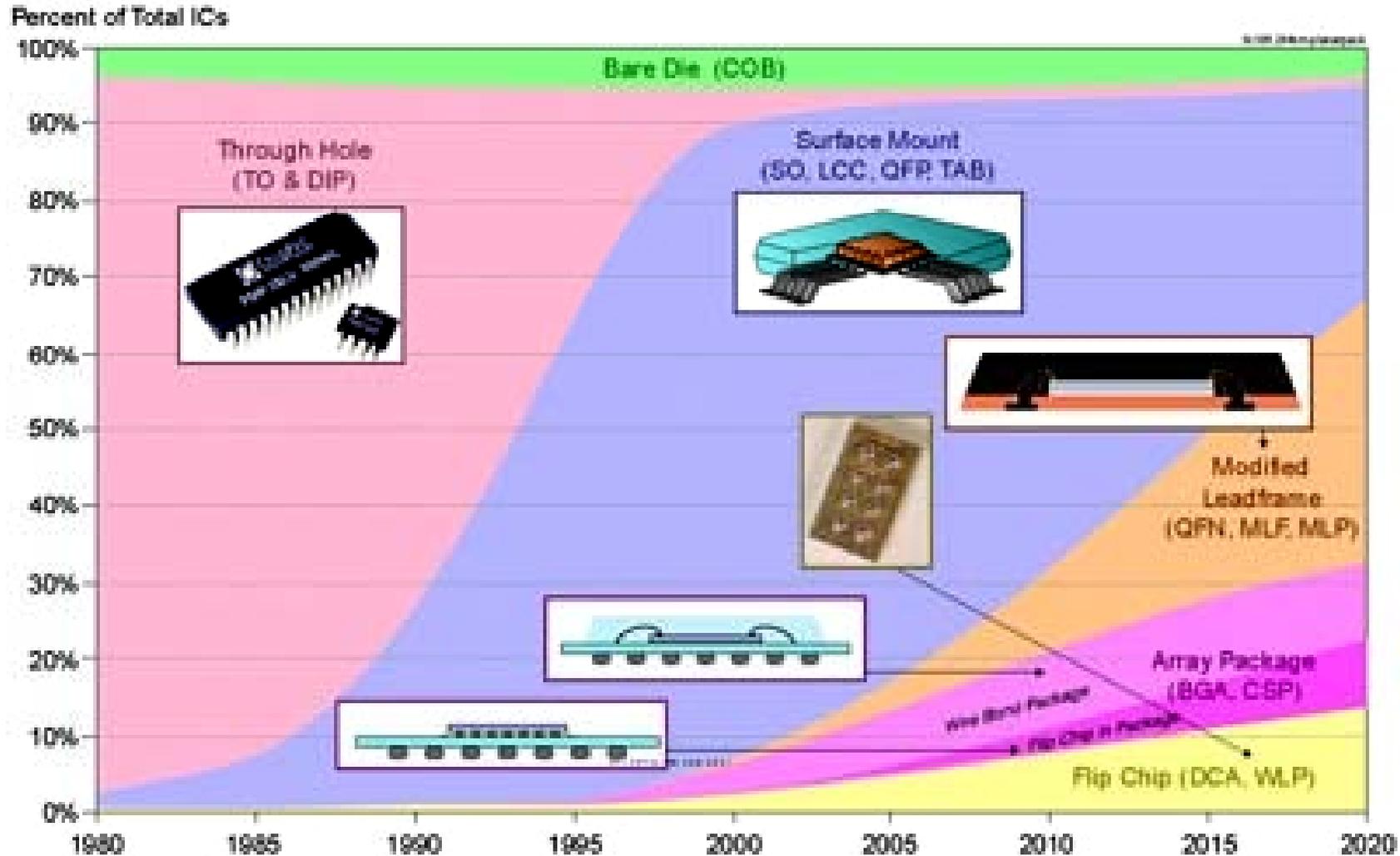
**Dr. Alexandre VAL**  
3D PLUS  
408 Rue Hélène Boucher - 78530 BUC  
tél. +33 1 39 20 21 83  
Courriel : alexandre.val@3d-plus.com

# L'Industrie de l'Électronique bâtie sur le sable !



# La distinction Front-End et Back-End se réduit : Le Mid-End apparaît !

## PLANAR PACKAGING INTERCONNECT TRENDS





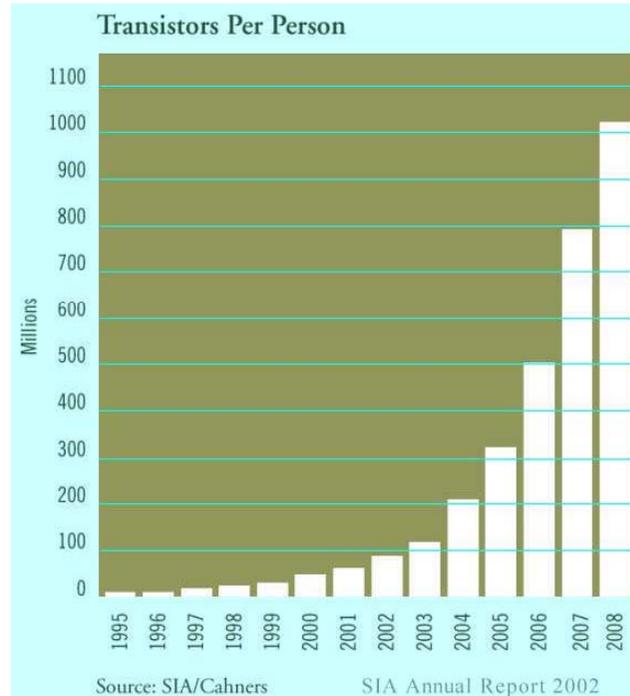
## Liaisons personnelles

- ✳ Organiseur
- ✳ E-mail
- ✳ Fax
- ✳ Sécurité
- ✳ Navigation
- ✳ Téléphone
- ✳ Pageur



## Véhicules - Loisirs

- ✳ Navigation
- ✳ Radio
- ✳ TV
- ✳ Fax
- ✳ Téléphone cellulaire
- ✳ Pageurs
- ✳ Maintenance
- ✳ Réparation



## Calcul

- ✳ Stockage de masse
- ✳ Liaison optique
- ✳ Interconnexion
- ✳ Fax
- ✳ Transactions



## TV

- ✳ Shopping à domicile
- ✳ Vidéo à la demande
- ✳ Interactivité
- ✳ Programmation

## Énergie

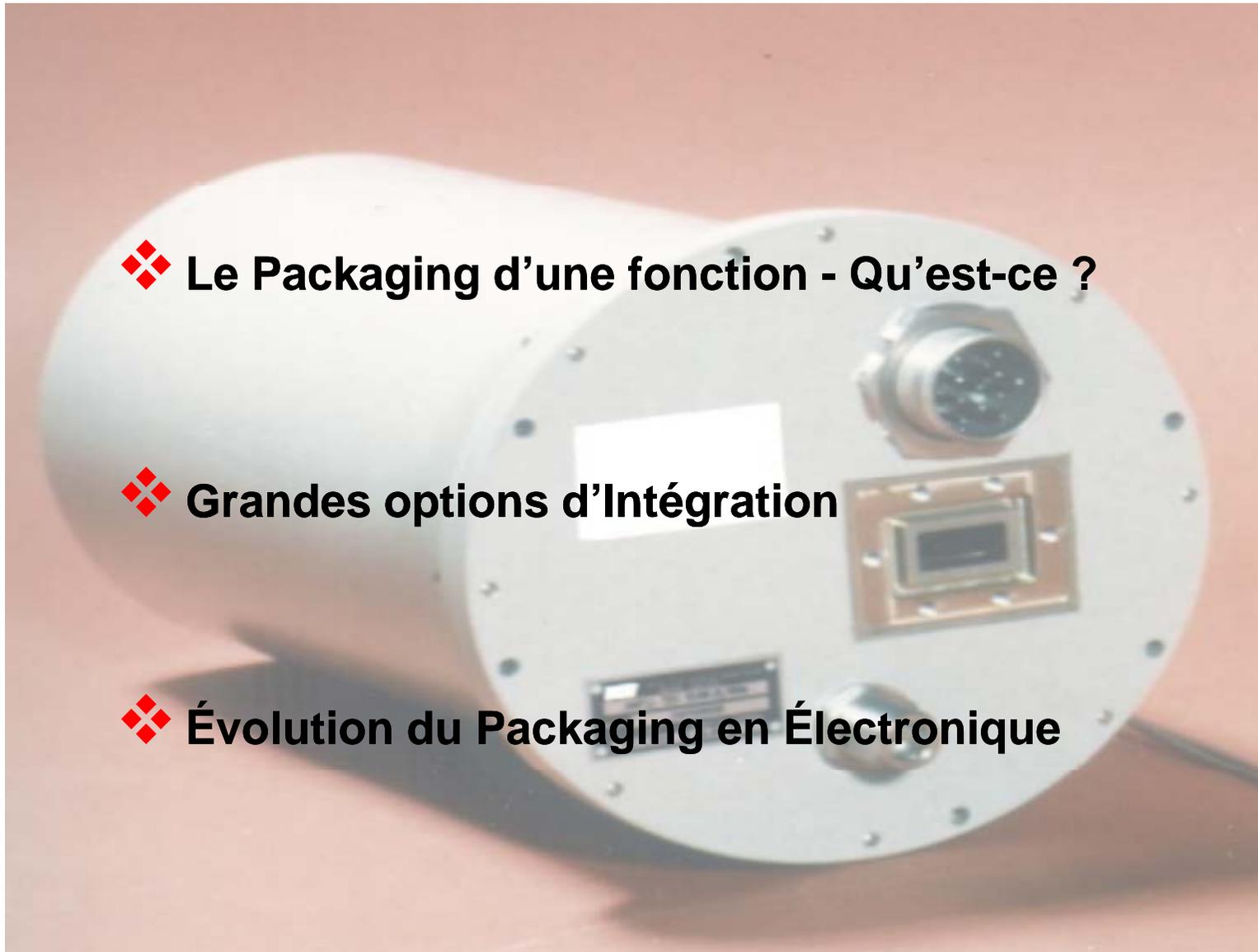
- ✳ Éclairage à LEDs
- ✳ Cellules Photovoltaïques



## Points de vente

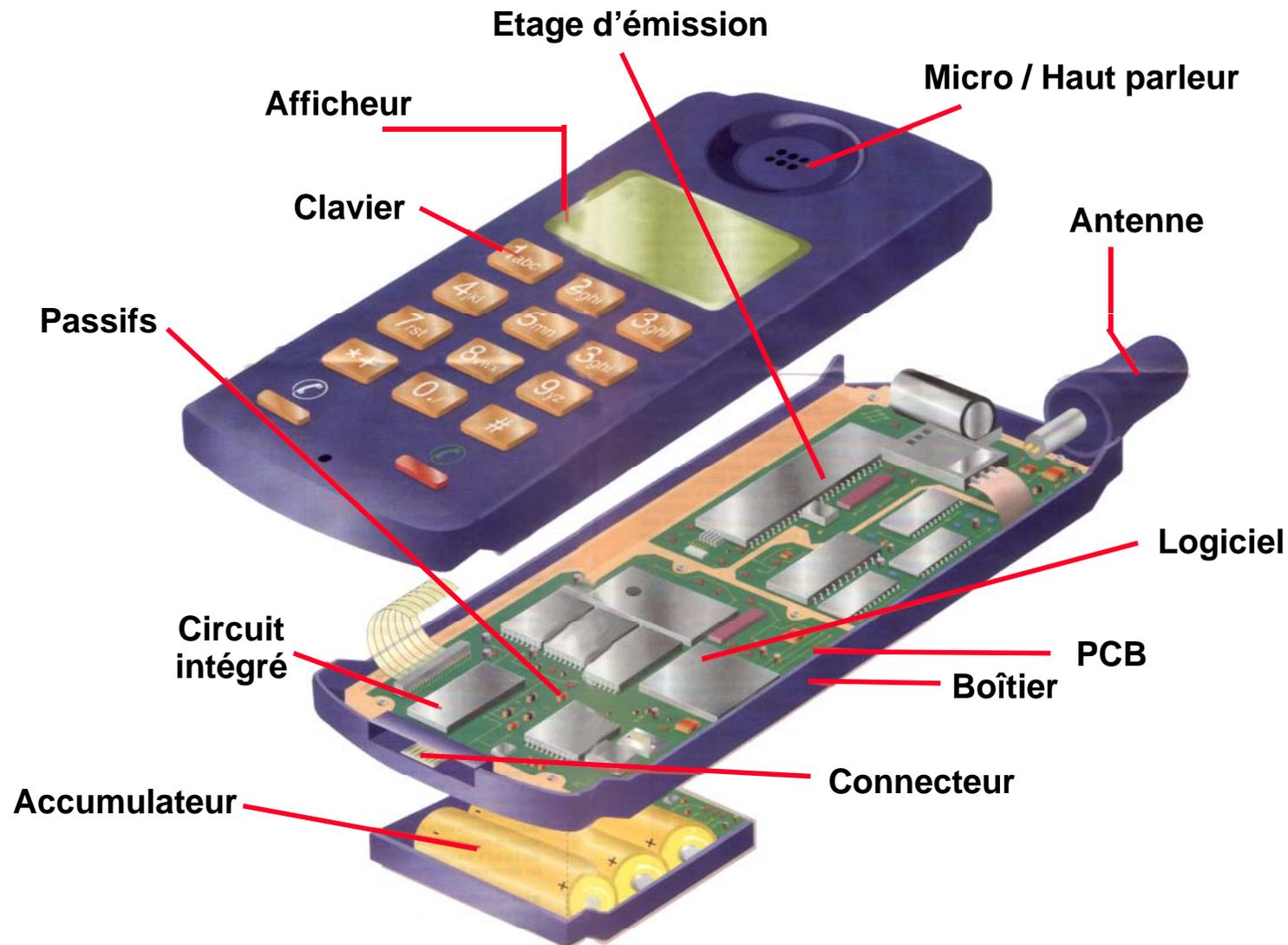
- ✳ Transactions
- ✳ Gestion





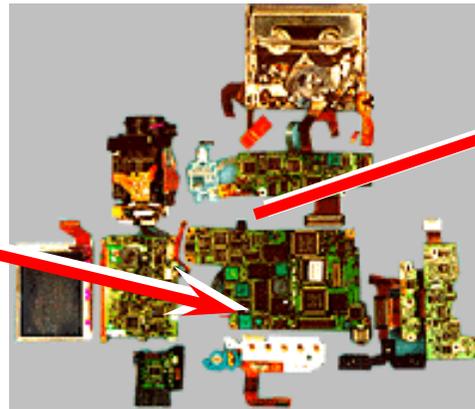
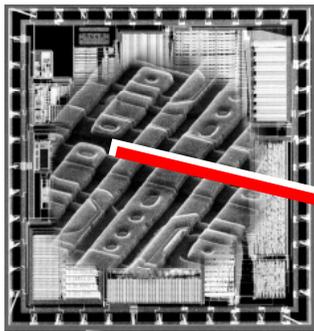
- ❖ **Le Packaging d'une fonction - Qu'est-ce ?**
- ❖ **Grandes options d'Intégration**
- ❖ **Évolution du Packaging en Électronique**

## Le GSM - exemple même d'architecture intégrée



## ■ Pourquoi le Packaging ?

- ◆ Relier le monde microélectronique du CI, au monde macroélectronique de l'utilisateur (G. Rochat de Valtronic),

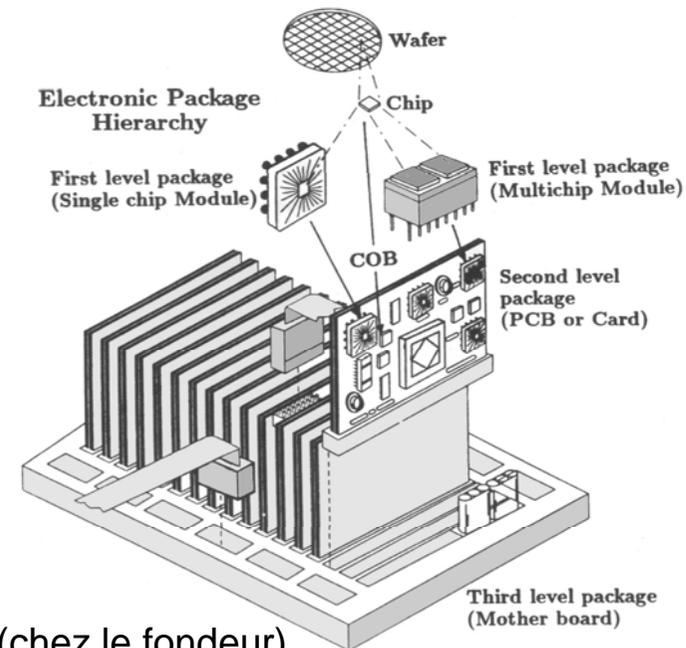


- ◆ “Everything in electronics between the chip and the system ” ( IMAPS )

- Niveaux d'application du packaging
- Packaging au sens traditionnel
- Attentes nouvelles du Packaging

- ◆ Protéger le CI fragile contre les effets néfastes de l'environnement,
- ◆ Protéger l'environnement contre les effets (électromagnétiques) de la fonction
- ◆ Favoriser la modularité et la réutilisation

## ■ Pourquoi le Packaging ?



## ■ Niveaux d'application du packaging

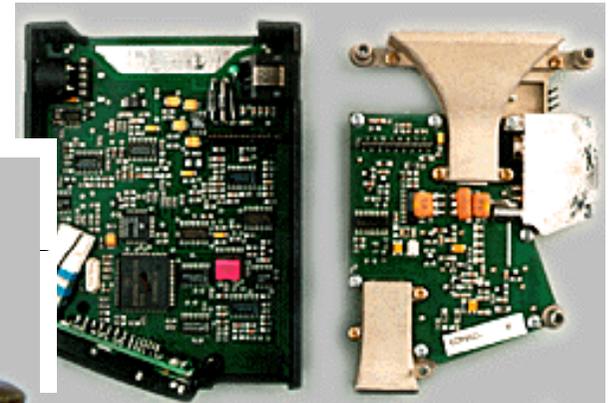
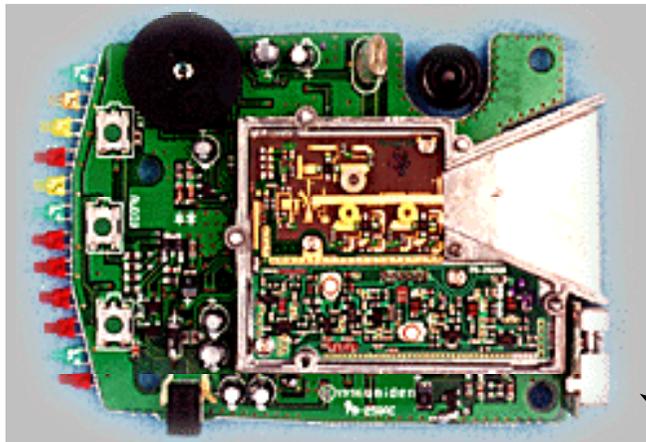
- ⇐ «Niveau 0» Interco. sur wafer (chez le fondeur)
- ◆ *Composants*
  - ⇐ «Niveau 1» Interco. composants entre eux sur module (fondeur, utilisateur)
- ◆ *Sous-ensembles*
  - ⇐ «Niveau 2» Interco. modules entre eux sur carte (assembleur)
- ◆ *Équipements*
  - ⇐ «Niveau 3» Interco. cartes entre elles sur équipement (systèmeur)

## ■ Packaging au sens traditionnel (*design*)

## ■ Attentes nouvelles du Packaging

- Pourquoi le Packaging ?
- Niveaux d'application du packaging
- **Packaging au sens traditionnel (*design*)**

- ◆ *Interconnexion des composants*
  - ◆ *Dissipation thermique*
  - ◆ *Assemblage mécanique*
  - ◆ *Tenue aux environnements, protection*
- } ← paramètres fonctionnels dimensionants (MIPS, MFLOPS ...)
- } ← paramètres de fiabilité



*Valentine One Radar Locator (\$399)*

*Uniden LRD 6199SW, X, K, Ka microwave radar detector*

- Attentes nouvelles du Packaging

## ■ Le Métier du Packaging :

*C'est le métier qui, à partir d'un projet de systèmes ou de sous-ensembles intégrant de l'électronique, de la mécanique, voire de l'optoélectronique, permet d'en optimiser la mise en forme (volume, poids), les performances, la fiabilité et le coût, ceci grâce à l'utilisation des techniques d'interconnexion et de conditionnement les mieux adaptées au domaine d'application et au projet.*

## ■ Les “ Briques ” de base :

- Substrats et Supports d'interconnexion haute densité,
- Techniques dites de “ Multi Chip Modules ”,
- Boîtiers hermétiques,
- Encapsulation plastique,
- Enrobage sélectif (COB, COF, COC ...),
- Haute miniaturisation, du Flip Chip au CSP,
- Optoélectronique, etc .....

## ■ La nouvelle donne, l'électronique grand public,

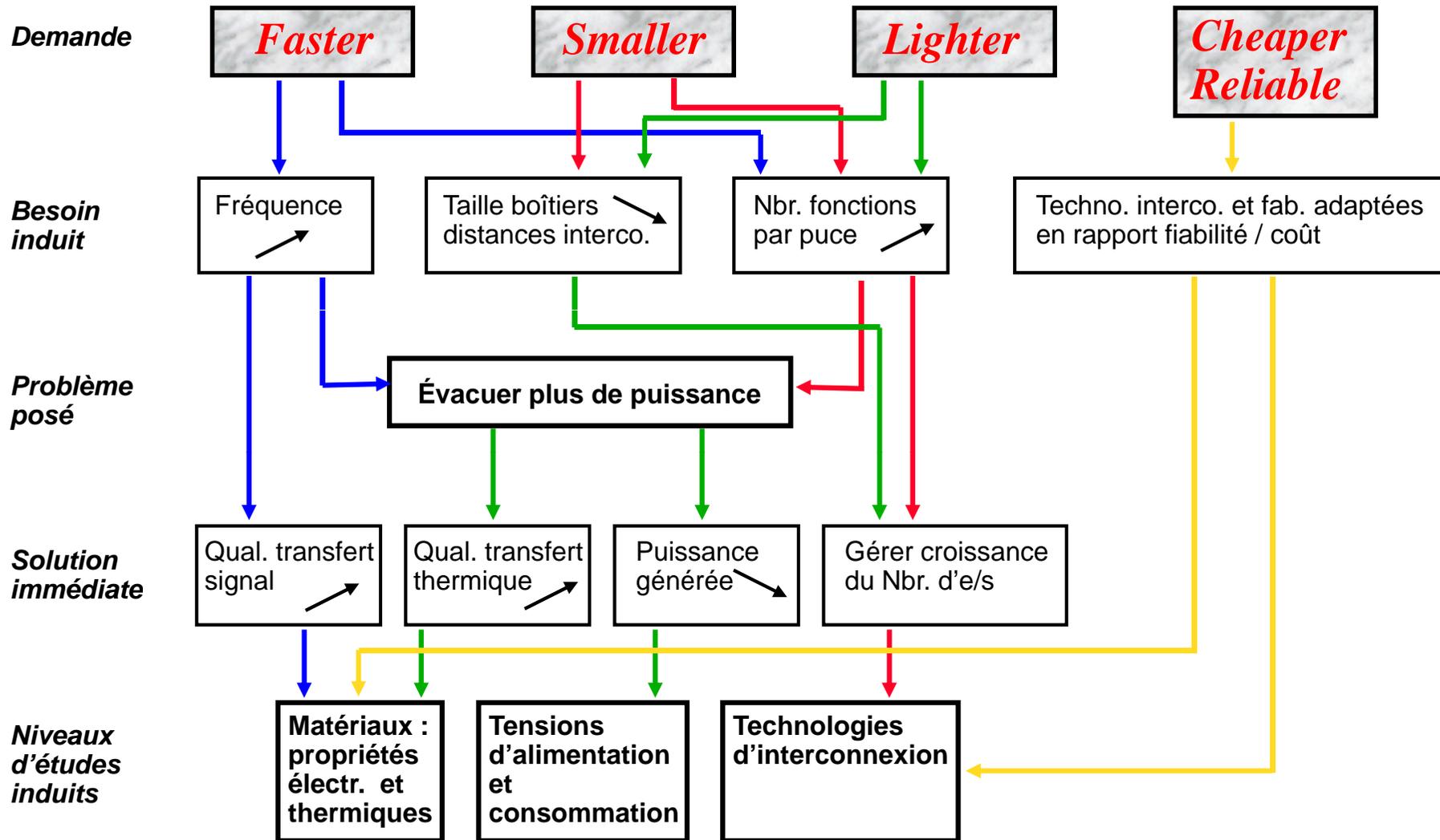
- ◆ *L'industrie électronique est en passe de doubler l'industrie automobile avec 1000 Md€*
- ◆ *Elle n'est pas une fin en soi et pénètre progressivement tous les marchés*
- ◆ *Elle est d'ores et déjà conditionnée par les **TFF** (ou «**The Fundamental Four**») qui sont :*

***Smaller, Lighter, Faster, Cheaper***

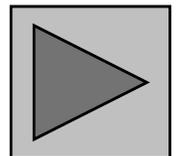
- ◆ *Les conséquences directes sont :*
  - \* *la prééminence des équipements de fabrication à haute cadence,*
  - \* *le remplacement du «hard» par le «soft» et la prééminence du numérique,*
  - \* *la recherche des filières les plus intégrées et les plus simples,*
  - \* *la prééminence du packaging adapté sur le packaging standard,*
  - \* *la vitesse d'évolution et de transformation des composants,*
  - \* *la perte d'intérêt des composantiers pour les marchés marginaux.*

## ■ Évolution des performances (vitesse, puissance)

## ■ Les problèmes pour les secteurs Hi-Tech



- ❖ **La densité d'intégration des transistor double tous les 18 mois (loi de Moore) ; la densité de puissance double tous les 36 mois.**
- ❖ **Le bon concept de Packaging correspond au meilleur compromis vitesse / puissance / dimension / coût.**
- ❖ **L'intégration de la puce dans son environnement fait appelle à plusieurs disciplines : électrique, thermique, thermo mécanique**

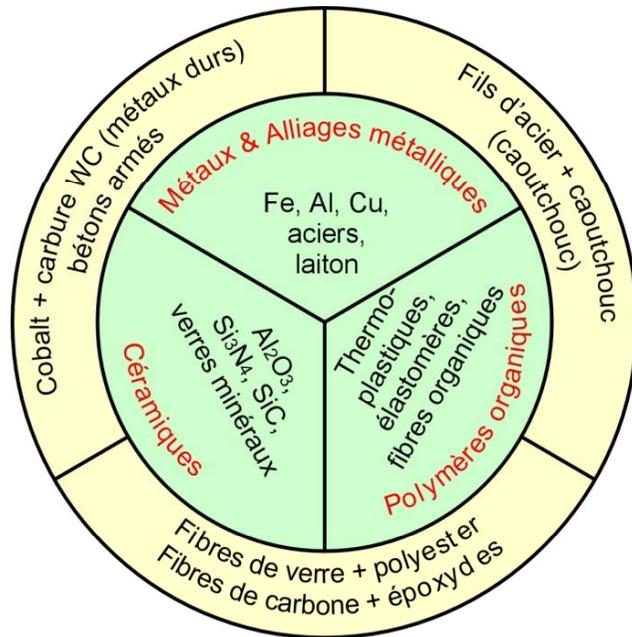




- ❖ **Classements des Matériaux**
- ❖ **Applications en Électronique**
- ❖ **Les Multicouches céramiques**
- ❖ **Les Polymères, qu'est-ce ?**
- ❖ **Les MMC, qu'est-ce ?**
- ❖ **Matériaux “ Hautes Performances ”**
- ❖ **Interfaces thermiques**

## Classement des Matériaux

### ■ Les trois grandes classes (basées sur la nature des liaisons et sur les structures atomiques)



- métaux et alliages métalliques (liaisons métalliques)
- polymères organiques (liaisons covalentes et liaisons secondaires)
- céramiques (liaisons ioniques et liaisons covalentes)

✓ et les verres !...

### ■ Les 3 ( ou 4 ) états de la matière

- solides (cristallisés) → fusion ou sublimation
- liquides (amorphes) → solidification ou évaporation
- gaz (libres) → liquéfaction ou solidification
- plasmas → gaz ionisés à très haute température (  $> 10^4$  K )

### ■ Les substances homogènes et les substances hétérogènes

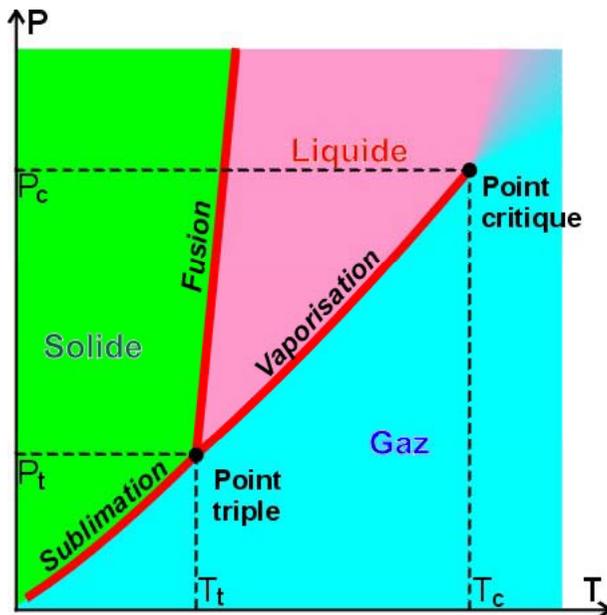
- substances homogènes :
  - ★ caractérisées par les mêmes propriétés physiques et chimiques en tous leurs points,
  - ★ constituées d'une seule phase
  - ★ solutions ou corps purs (ex. un alliage dit " eutectique ")
- substances hétérogènes
  - ★ propriétés physiques et chimiques hétérogènes
  - ★ constituées de plusieurs phases (ex. un alliage non eutectique)

### ■ Isolants et Conducteurs

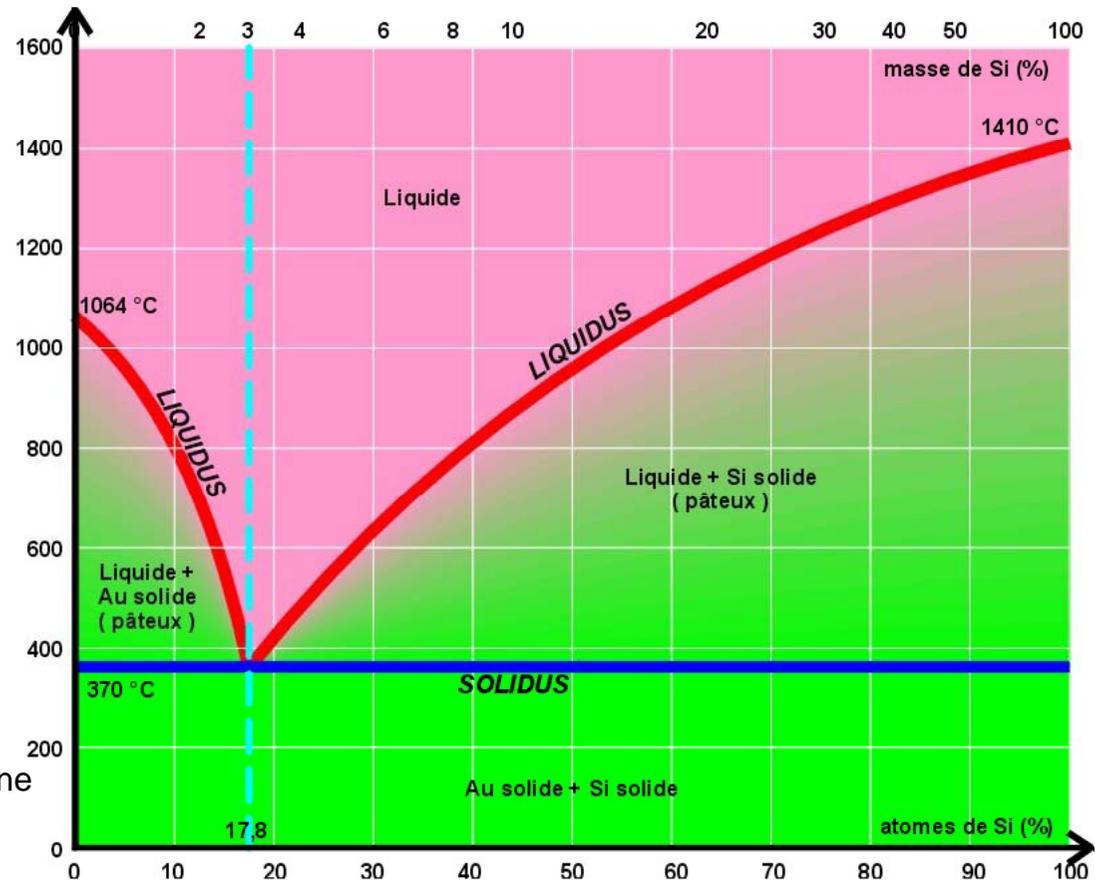
## Classement des Matériaux

### ■ États de la Matière, homogène ou hétérogène ( Diagrammes de Phases )

- Les 3 états de la matière homogène



- Les transformations de la matière hétérogène  
( exemple : Diagramme de phases Au-Si )





## Classement des Matériaux

### ■ Types de liaisons chimiques entre atomes

**ioniques**  
~ 10 eV

**covalentes**  
~ 5 eV

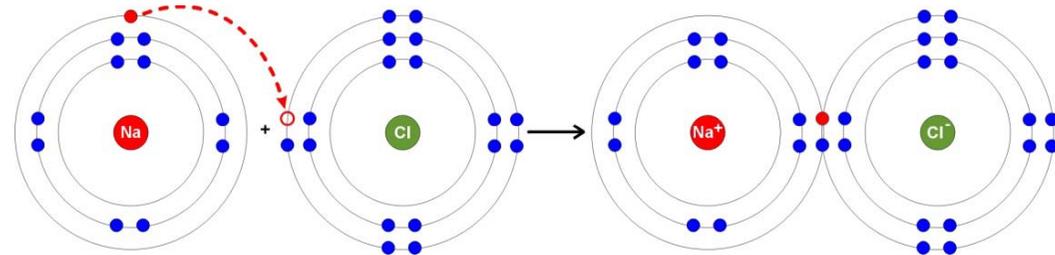
**Van der Waals  
(moléculaire)**  
~ 0,1 eV

**hydrogènes**  
~ 0,1 eV

**métalliques**  
~ 1 eV

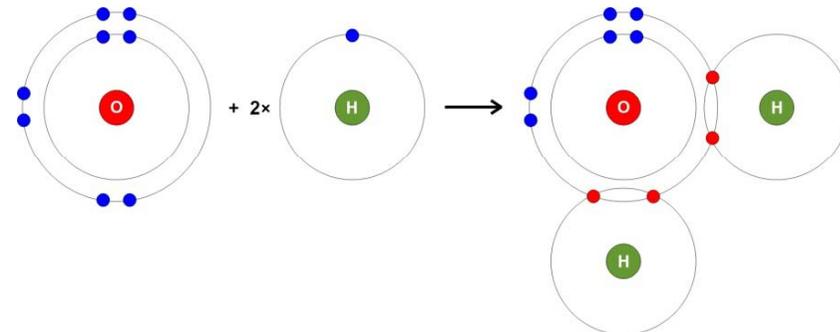
#### ● liaison ionique :

- ★ formation d'ions : ions positifs ou **cations** et ions négatifs ou **anions**,
- ★ transfert d'électron pour " stabiliser " les couches ( ex.  $\text{Na} + \text{Cl} \rightarrow \text{Na}^+ + \text{Cl}^-$  )



#### ● liaison covalente :

- ★ mise en commun des électrons de valence entre les atomes
- ★ corps simples formés à partir d'un seul élément chimique ( ex.  $\text{Cl} + \text{Cl} \rightarrow \text{Cl}_2$  )
- ★ corps composés formés à partir de plusieurs éléments chimiques ( ex.  $\text{O} + 2\text{H} \rightarrow \text{H}_2\text{O}$  )

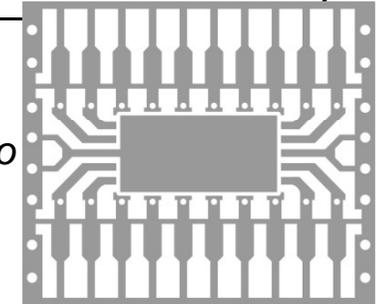


#### ● liaison métallique :

- ★ des atomes se transforment en ions positifs  
qui sont cimentés entre eux par un nuage d'électrons

## Les Matériaux utilisés en Électronique - Applications

<b>Matériaux</b>	<b>Nature &amp; Applications</b>
<b>Semi-conducteurs</b>	<b>Ge, Si, GaAs, SiC, SiGe ...</b> ( <i>Éléments actifs, circuits intégrés</i> )
<b>Métaux</b>	<p><b>Alliages de brasage</b> ( <i>SnPb, SnAg, AuSn, AuSi, SnAgCu, ...</i> )</p> <p><b>Fils &amp; rubans de câblage</b> ( <i>Au, Al, Cu</i> )</p> <p><b>Grilles d'interconnexion ou " lead-frame "</b> ( <i>Cu, Ni, FeNi, FeNiCo</i> )</p> <p><b>Piste d'interconnexion</b> ( <i>Cu, Au, Ag, Pd, Pt, W ...</i> )</p> <p><b>Boîtiers métalliques</b> ( <i>FeNiCo, Cu, Mo ...</i> )</p> <p><b>Dissipateurs thermiques</b> ( <i>Cu, Mo ...</i> )</p>
<b>Céramiques</b>	<p><b>Substrats &amp; Boîtiers</b> ( <i>Al<sub>2</sub>O<sub>3</sub>, BeO, AlN, SiC, HTCC, LTCC ...</i> )</p> <p><b>Diélectriques Condensateurs</b> ( <i>TiO<sub>2</sub>, BaTiO<sub>3</sub></i> )</p> <p><b>Dissipateurs</b> ( <i>Diamant, CBN</i> )</p>
<b>Verres</b>	<p><b>Fibres optiques</b> ( <i>SiO<sub>2</sub></i> )</p> <p><b>Verres de Scellements</b> ( <i>Silicates</i> )</p> <p><b>Substrats et protections</b> ( <i>Borosilicates, aluminosilicates</i> )</p> <p><b>Fibres pour stratifiés PCB</b></p>
<b>Polymères</b>	<p><b>Enrobages</b> ( <i>Époxy, Polyuréthane, Silicones</i> )</p> <p><b>Adhésifs</b> ( <i>Époxy, Cyanoacrylates</i> )</p> <p><b>Underfills</b> ( <i>Résines anhydres chargées de silice</i> )</p> <p><b>Substrats &amp; Diélectriques</b> ( <i>Polyester, Époxy, Polyimide, BCB, BT, Fluorocarbone</i> )</p> <p><b>Fibres pour PCB</b> ( <i>Aramide, verre</i> )</p> <p><b>Photomasques</b> ( <i>Polymères photosensibles</i> )</p> <p><b>Protection</b> ( <i>Époxy, Polyuréthane, Élastomère silicone, Parylène</i> )</p>



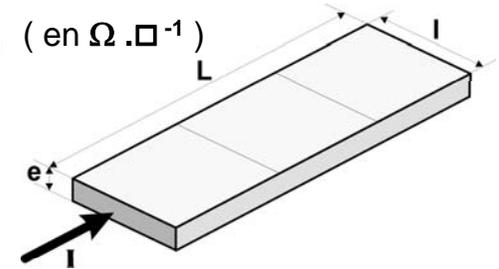
## Les Matériaux utilisés en Électronique - Applications

### ■ Paramètres les plus importants en électronique :

#### ● Dans les Matériaux conducteurs :

- \* Résistivité massique  $\rho$ , se décline aussi en résistance de ligne ou résistivité de ligne  $R_{\square}$  ( en  $\Omega \cdot \square^{-1}$  )

$$R = \rho \frac{L}{S} = \frac{\rho}{e} \cdot \frac{L}{l} = k \cdot n$$



- \* Conductivité thermique  $C_T$  (  $T_C$  en anglais ), ( en  $W \cdot m^{-1} \cdot K^{-1}$  )

- \* Coefficient d'expansion thermique ( ou de dilatation ),  $C_{TE}$  (  $T_{CE}$  en anglais ), ( en  $ppm \cdot K^{-1}$  )

$$C_{TE} = 10^6 \frac{\Delta L}{L \cdot \Delta T}$$

- \* Coefficient de température ( pour les résistances )  $C_{TR}$  (  $T_{CR}$  en anglais ), ( en  $ppm \cdot K^{-1}$  )

$$C_{TR} = 10^6 \frac{\Delta R}{R \cdot \Delta T}$$

#### ● Dans les Matériaux isolants ( ou Diélectriques ) :

- \* Permittivité relative ( ou constante diélectrique relative ),  $\epsilon_r$  ( nombre sans dimension )  
elle entre dans le calcul du condensateur, elle varie avec l'absorption d'eau du diélectrique

$$C = \epsilon_0 \cdot \epsilon_r \frac{S}{e}$$

- \* Coefficient d'expansion thermique ( ou de dilatation ),  $C_{TE}$  (  $T_{CE}$  en anglais ), ( en  $ppm \cdot K^{-1}$  )

- \* Absorption d'eau ( en % de la masse )

- \* Conductivité thermique  $C_T$  (  $T_C$  en anglais ), ( en  $W \cdot m^{-1} \cdot K^{-1}$  ), pour les substrats

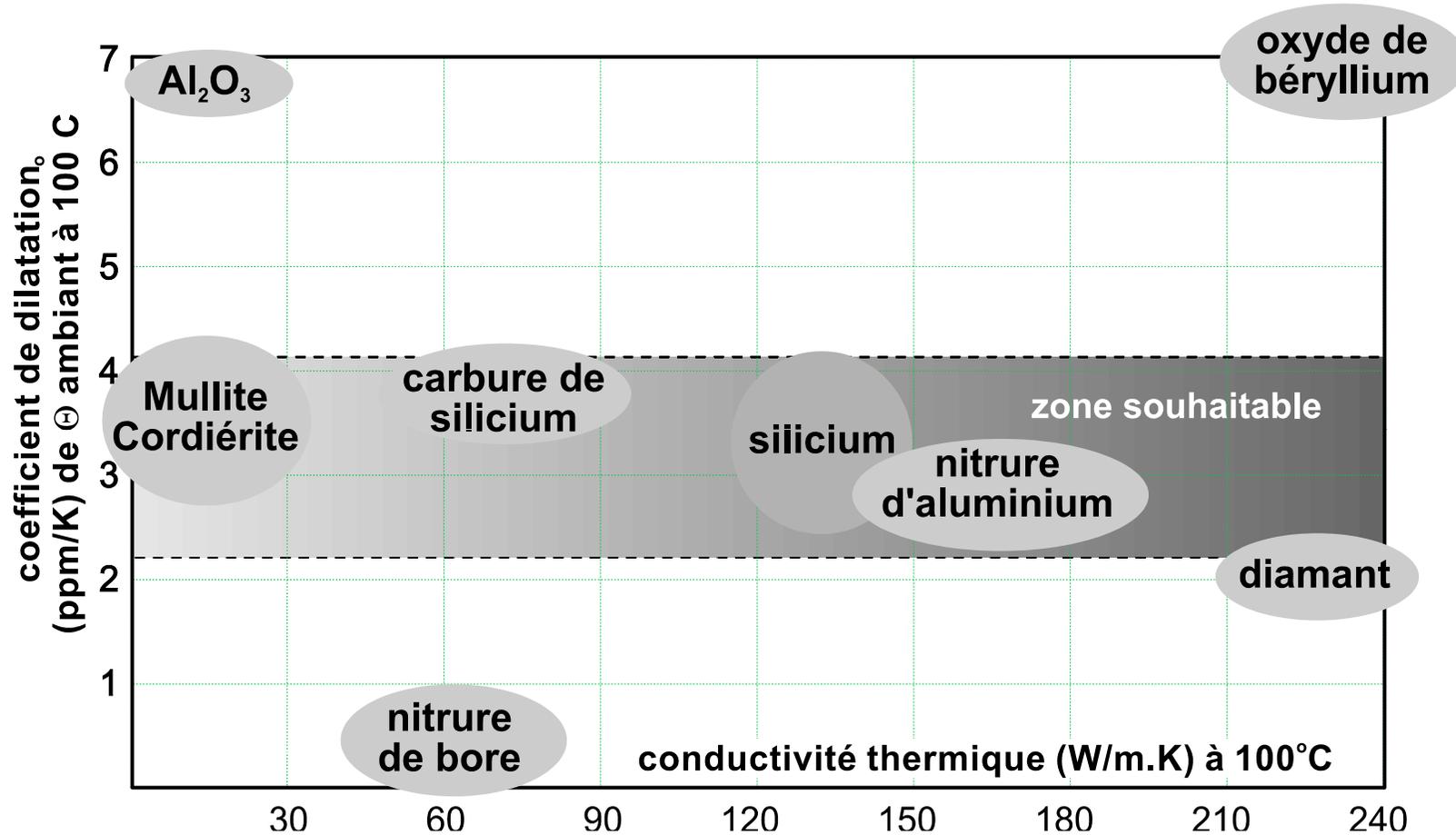
- \* Capacité surfacique répartie ( en  $F \cdot m^{-2}$  ou  $pF \cdot cm^{-2}$  ), pour les couches diélectriques

- \* Rigidité diélectrique ou tension de claquage ( en  $V \cdot m^{-1}$  )

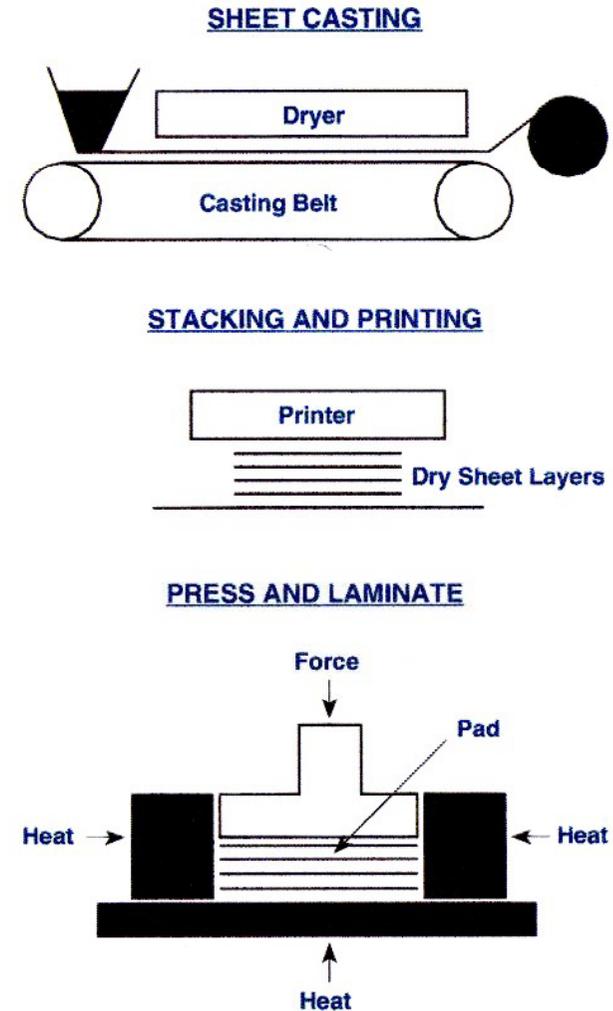
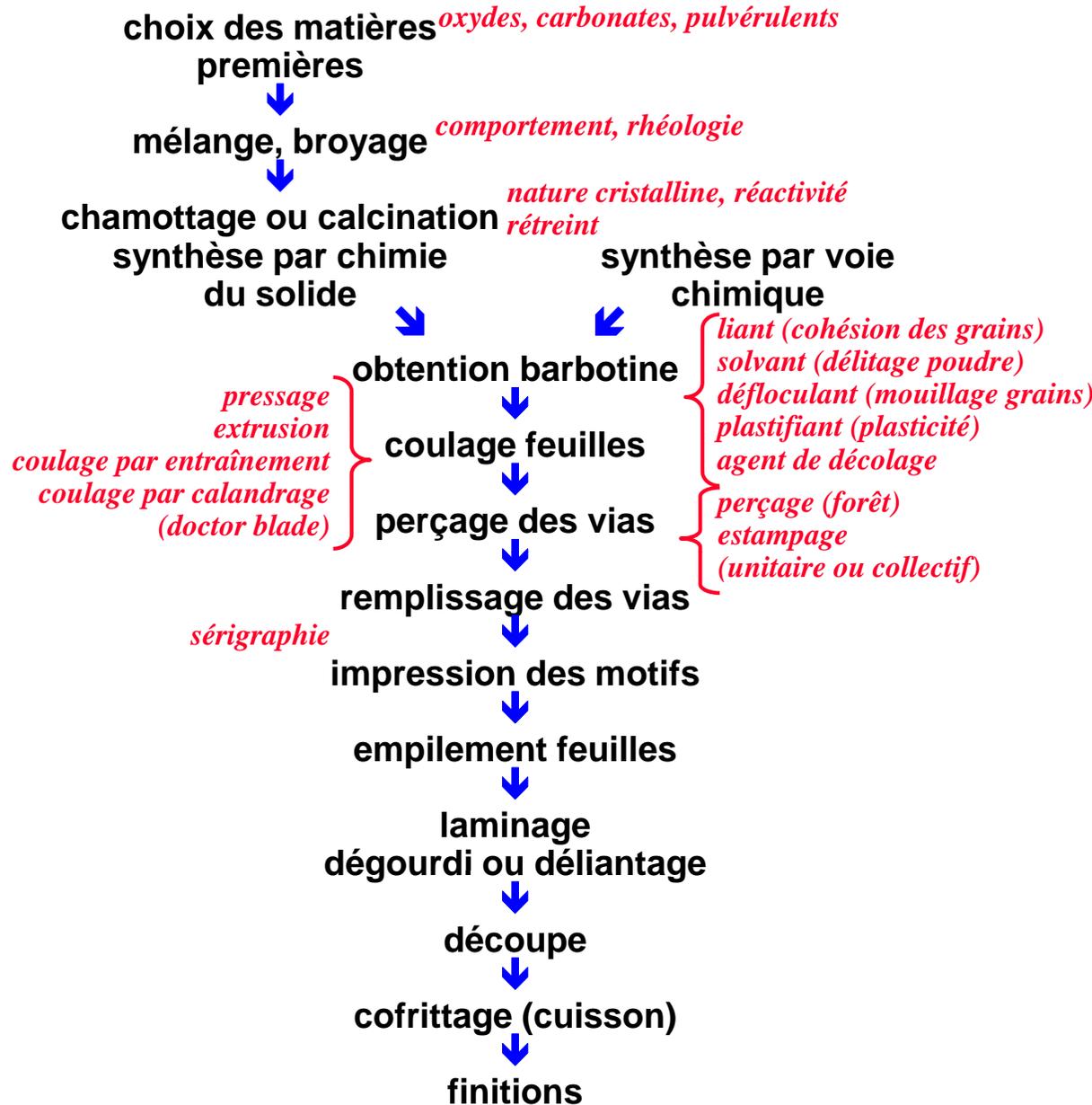
- \* Résistance à la flexion ( rigidité mécanique ), pour les substrats ( en  $Pa$  )

## Le Problème le plus critique en Électronique

**Le dilemme Coefficient de dilatation ⇔ Conduction thermique**



## Les Multicouches céramiques : HTCC & LTCC



## Les Multicouches céramiques : HTCC & LTCC

Lesquels utiliser ?

	HTCC $\text{Al}_2\text{O}_3$	HTCC AlN	LTCC verre/ceram
CTE $\text{ppm.K}^{-1}$	6 à 8	2 à 4	6 à 8
CT $\text{W.m}^{-1}.\text{K}^{-1}$	<b>20</b>	<b>200</b>	2
$\epsilon_r$	9 à 10	8 à 9	<b>5 à 6</b>
$R_{\square}$ $\text{m}\Omega.\square^{-1}$	( W ) 25 à 85	( W ) 25 à 85	( Ag ou AgPt ) <b>5 à 20</b>

*Puissance  
+  
Coût*

*Haute  
Fréquence*

*Haute  
Puissance*

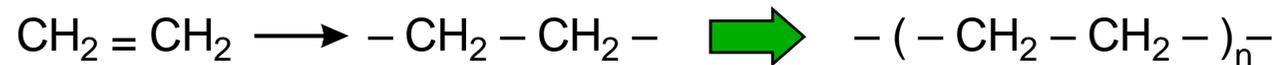
*Haute  
Densité*

## Polymères - Définitions

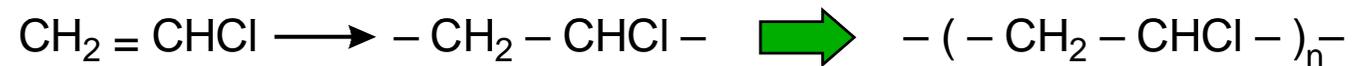


**Polymérisation** : ouverture d'une double liaison de monomère, soit par chauffage, soit par un activateur (catalyseur), puis liaison avec un autre monomère par ses 2 valences libres

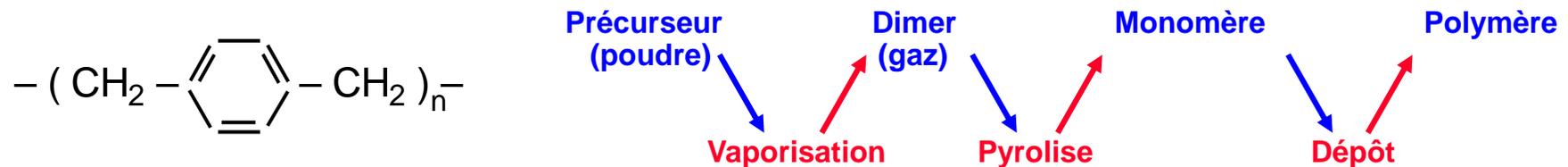
éthylène



chlorure de vinyle



**polyaddition ou polycondensation** : création de composés par fonctions chimiques réactives (acide, alcool, amine ...), ex. polycondensation du parylène.



---

## *Polymères - Définitions*

**Monomère** : *molécule renfermant au plus quelques dizaines d'atomes et présentant un ou plusieurs groupes réactifs capables de s'unir à d'autres monomères, identiques ou différents, la réaction se propageant pour donner naissance à une chaîne polymérique.*

**Macromolécule** : *molécule constituée d'un très grand nombre d'atomes, sans préjuger de la répartition du motif.*

**Oligomère** : *polymère court résultant de l'enchaînement d'un petit nombre de monomères (quelques unités à quelques dizaines).*

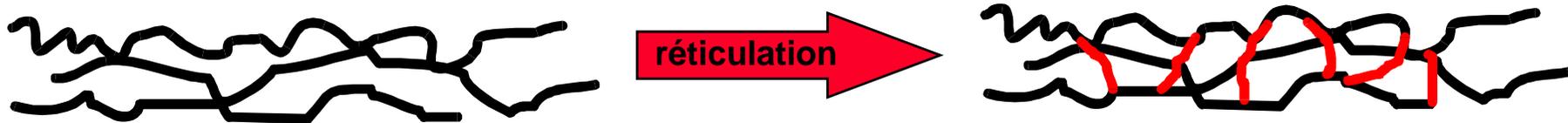
**Polymère** : *molécule géante ou macromolécule, résultant de l'assemblage de nombreux monomères.*

**Polymère linéaire** : *constitué essentiellement d'une chaîne d'atomes auxquels sont liés les autres atomes des monomères.*

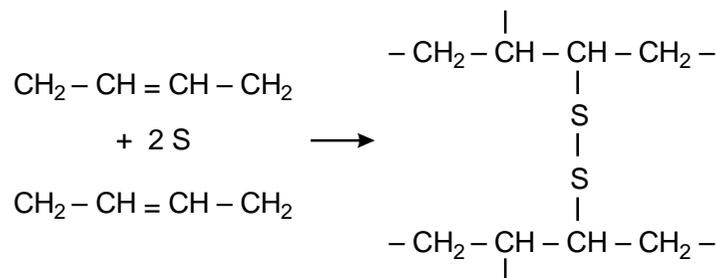
**Polymère à deux dimensions** : *rare ( graphite, kératine ... ).*

**Polymère tridimensionnel** : *organisé en réseau, toutes leurs chaînes sont reliées ensemble.*

## Polymères - Définitions



**Réticulation :** utilisation de sites n'ayant pas réagi après la polymérisation initiale, pour former des liaisons supplémentaires de nature tridimensionnelle ( ex. vulcanisation de caoutchouc polybutadiène par le soufre, réticulation des polyesters insaturés par le styrène pour donner le polystyrène ... ).



### Présentations possibles

**Bi-composants ( état A ) :** Monomère ( liquide ) et Catalyseur ( Durcisseur )

**Résine à l'état B :** Résine thermodurcissable dans un état intermédiaire de polymérisation.

**Résine à l'état C :** Résine dans son état final de polymérisation, alors qu'elle est insoluble et infusible.

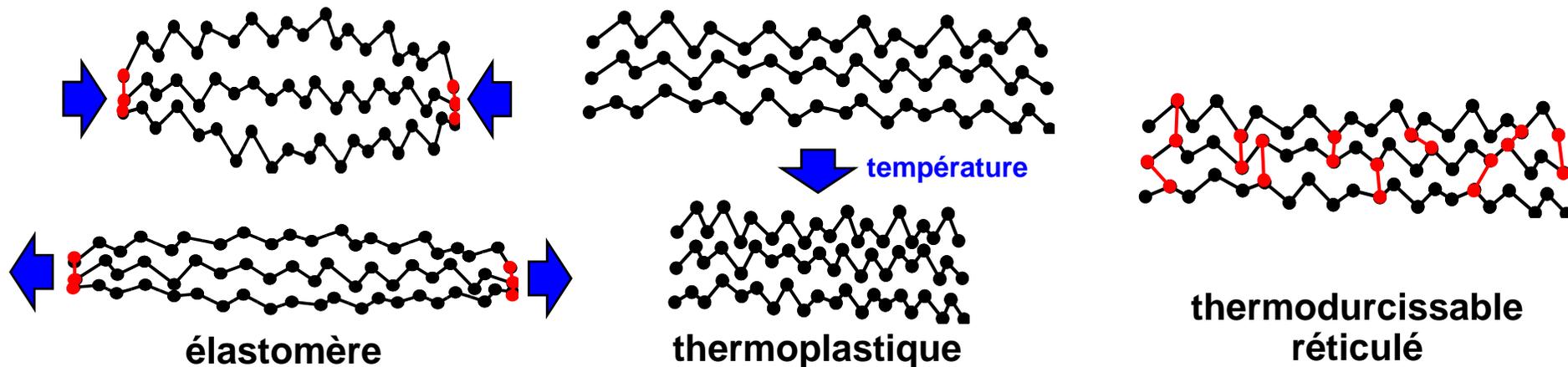
**Polymérisé liquide ou polymérisé dissout dans un solvant**

## Polymères - Définitions

**Élastomère** : molécules géantes ou macromolécules, résultant de l'assemblage de nombreux monomères en chaînes linéaires très longues et parallèles. Seulement quelques liaisons de place en place entre ces chaînes.

**Thermoplastique** : molécules géantes ou macromolécules, résultant de l'assemblage de nombreux monomères en chaînes linéaires très longues. Cohésion faible entre les macromolécules due à des liaisons de Van der Waals essentiellement.  
Peut se ramollir puis se raffermir. **Réversible**

**Thermodurcissable** : molécules géantes ou macromolécules, produits de polycondensation, résultant de l'assemblage de nombreux monomères en chaînes linéaires ou en réseau à plusieurs dimensions. Ne peut se ramollir, sauf à perdre ses propriétés. **Irréversible**

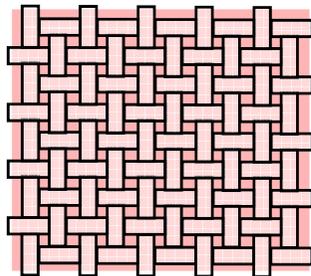


## Les Matériaux composites

Association de 2 matériaux non miscibles :

- 4 Le **RENFORT**, en phase discontinue, souvent filamentaire, absorbe la majorité des contraintes mécaniques et assure résistance et rigidité. Il impacte directement sur le coefficient de dilatation.
- 4 La **MATRICE**, en phase continue, souvent polymère, joue un rôle physico-chimique et détermine certains paramètres électriques essentiels comme conductance et permittivité, elle peut aussi servir de liant. Elle impacte directement sur la masse.

### Les plus courants en électronique



Le stratifié **Verre** (renfort) **Époxy** (matrice)  
pour substrats d'interconnexion  
dits "Circuits imprimés"  
PCB, MLB, PWB ...

variantes :

**Verre / Polyimide** ; **Quartz / Polyimide**  
**Aramide / Époxy** ; **Verre / BT** etc.

### Les plus récents en électronique

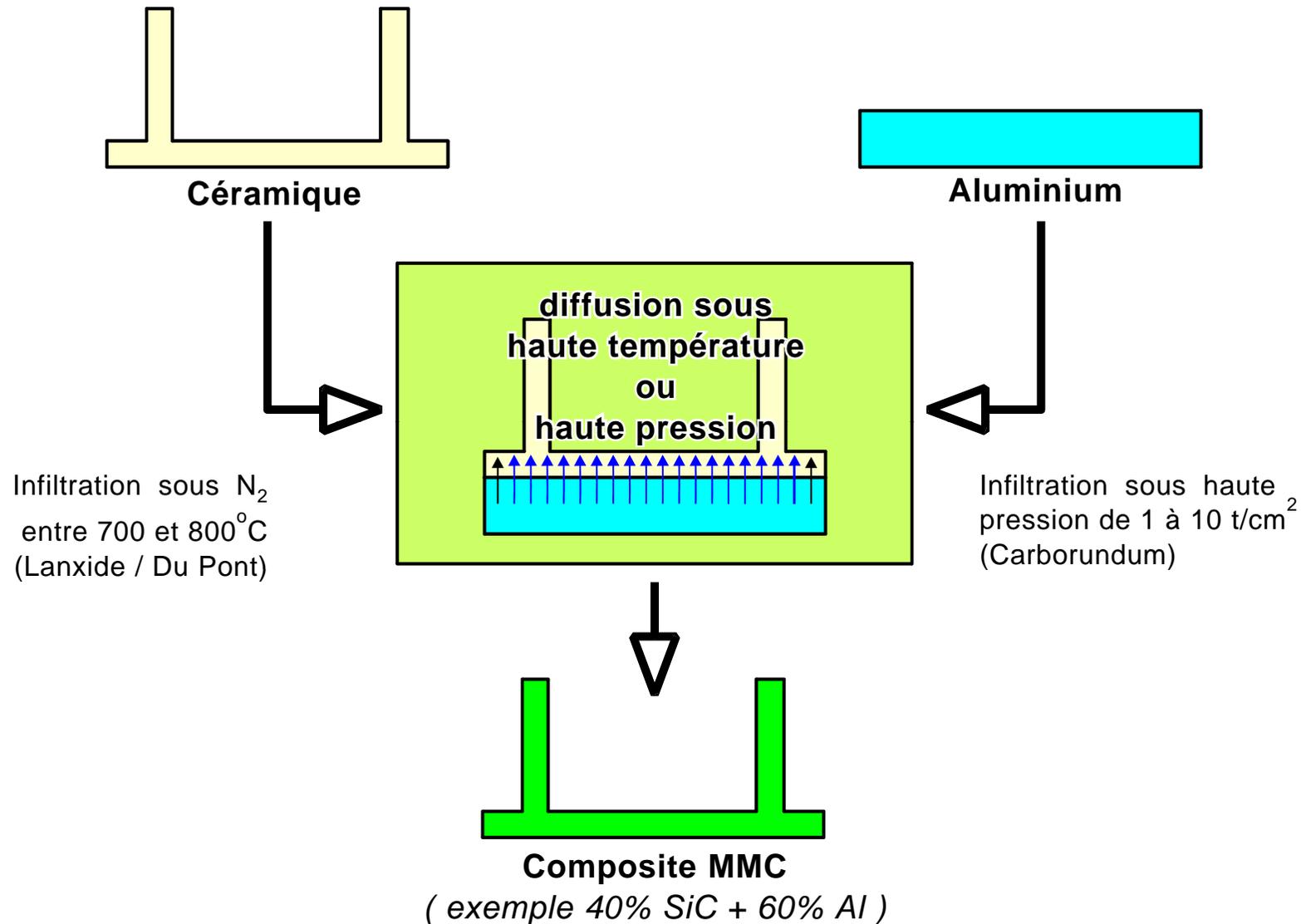
Les Composites à Matrice Métallique ou CMM  
consistent en une matrice métallique renforcée par  
des particules ( CMMp ) ou bien par des fibres  
( CMMf )

Dans le cas des particules ( CMMp ) celles-ci  
peuvent être mélangées au métal liquide  
(applications de renfort à l'usure par exemple), ou  
bien être préalablement agglomérées, par exemple  
par frittage, puis infiltrées par le métal liquide (cas  
des MMC en électronique).

exemples :

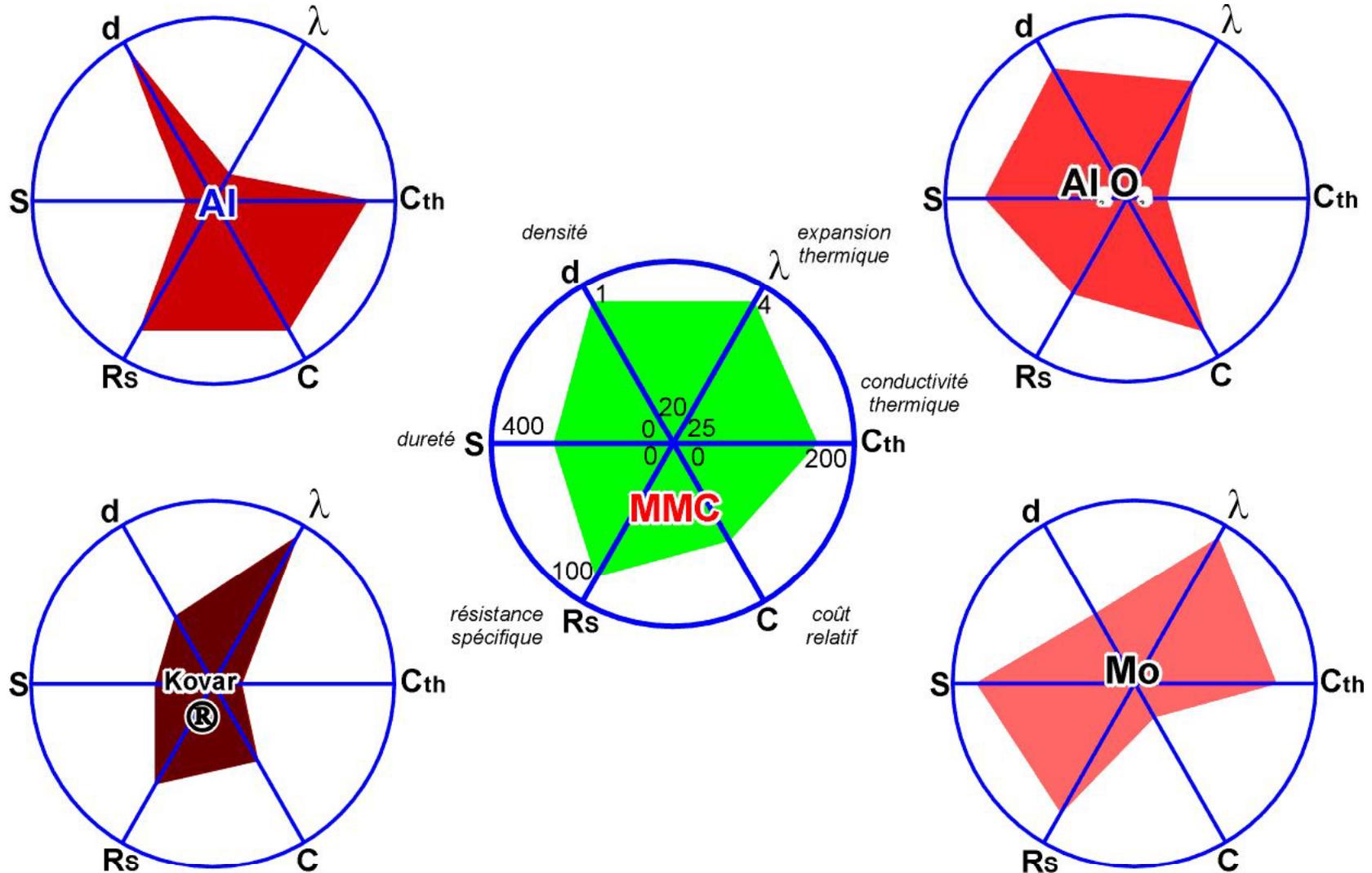
**Carbure de silicium / Aluminium** (AlSiC)  
**Oxyde de béryllium / Béryllium** (BeBeO)

## Les Composites métalliques matriciels MMC



## Les Meilleurs Matériaux - Comparaisons

### Comparaison entre Matériaux



---

## *Matériaux Hautes Performances*

### *Besoins / Spécifications*

- ★ **Réduire de la masse** (densité, géométries)
- ★ **Améliorer la dissipation thermique**  
(conduction et capacité thermiques)
- ★ **Améliorer la résistance mécanique**  
(module d'élasticité)
- ★ **Puissance thermique à dissiper sur carte imprimée :**  
~ 70 watts et plus
- ★ **Masse des cartes avec raidisseur et connecteur :**  
< 1 kg
- ★ **Fiabilité des équipements :**  
2 / 3 ans , 10 / 15 ans

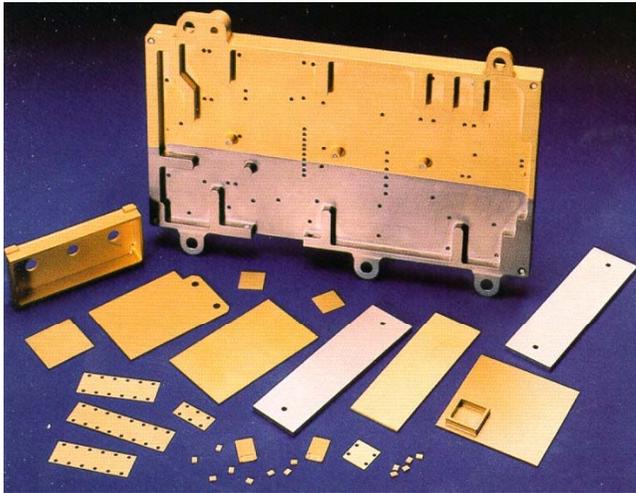
## Matériaux Hautes Performances

### Liste

	Coef. de dilatation	Module d'élasticité	Masse volumique	Conductivité thermique	Chaleur spécifique	Remarques
	$\lambda$ (ppm/°C)	E (GPa)	d (Kg/m <sup>3</sup> )	k (W/m°C)	Cp (J/Kg°C)	
Al 6061T6	23	70	2700	200	920	
Cu	17	115	8960	370	390	
Fe/Ni/Co	5,3	130	8300	17	460	
W	4,5	407	19300	156	140	
Mo	5	325	10200	140	276	
Al <sub>2</sub> O <sub>3</sub>	6,7	380	3720	22	880	Alumine
AlN	4,5	330	3400	170	670	Nitride d'aluminium
85/15 Mo/Cu	6	230	9900	195	276	Colaminé
90/10 W/Cu	6,5	270	17000	190	163	Colaminé
Al/Be 62%	13,9	190	2100	210		Métallurgie des poudres
AlSiC 55%	8,5	195	2950	160		Infiltration métal fondu
AlSiC 70%	6,7	220	3010	170		Infiltration métal fondu
Be/BeO E60	5,1	330	2520	230	1260	Métallurgie des poudres
Be/BeO E20	8,7	303	2060	210	1584	Métallurgie des poudres
C/C	2,00	200	1800	600		Infiltration carbone
C/Al	4	330	2000	280		Infiltration métal fondu
C/Cu	4	470	5600	510		Infiltration métal fondu

## Matériaux Hautes Performances

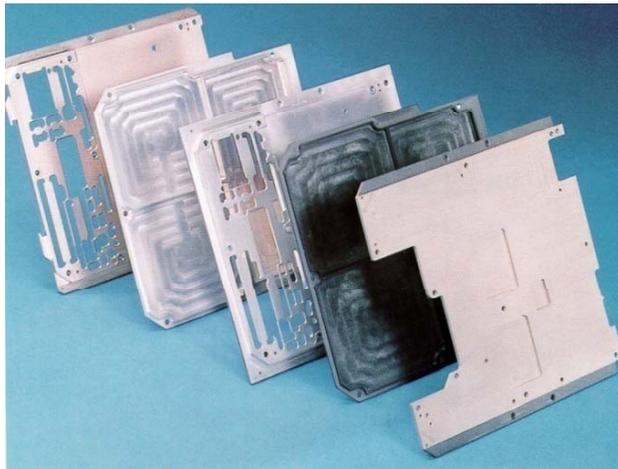
### Exemples d'applications



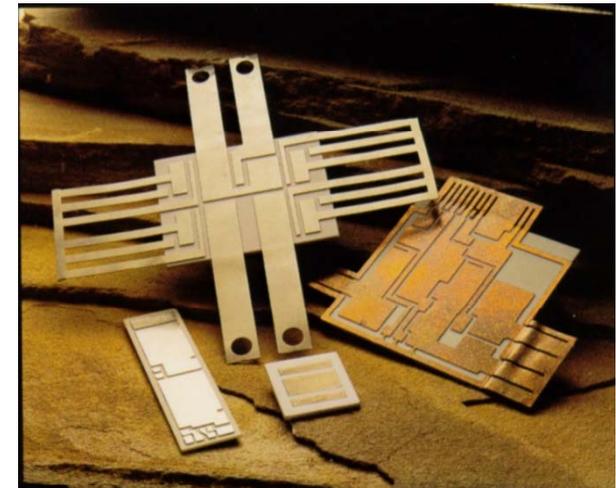
*Boîtiers et embases en BeO/Be*



*Âme pour cartes imprimées en BeO/Be*



*Drains thermiques et capots usinés en AlBeMet*



*Substrats Cuivre / Céramique (DBC)*

## Matériaux Hautes Performances

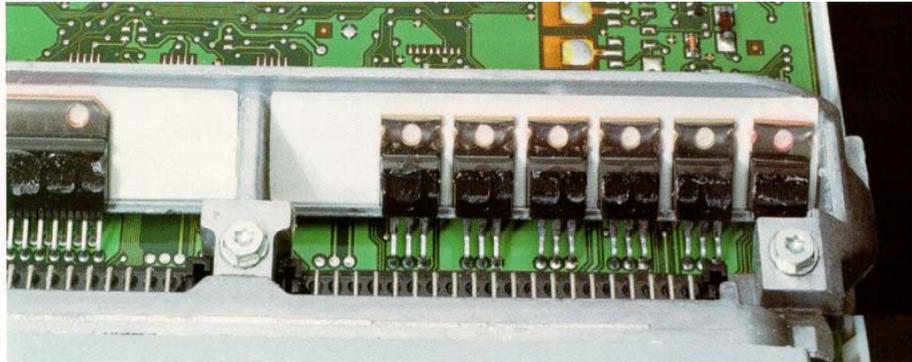
### Interfaces thermiques

	Composition	Conduction thermique
<b>Cho-therm-R</b>	Silicone / NB	3,7 W/m°C
<b>Gap Pad</b>	Silicone / fibre de verre	5 W/m°C
<b>Sil Pad 2000</b>	Silicone / fibre de verre	3,5 W/m°C
<b>Hi Flow 625</b>	Aluminium / Liquide	
<b>Indium</b>	Métal	25 W/m°C
<b>Sigraflex</b>	Fibre carbone	200 - 300 W/m°C ( <i>direction x,y</i> )
<b>Thermflow T454</b>	Liquide(*) à >43°C	~ 8 W/m°C
<b>Thermflow T506</b>	Liquide(*) à >43°C	16 W/m°C
<b>Plaques Compelma</b>	Graphite	7 W/m°C en z 200 W/m°C en x et y

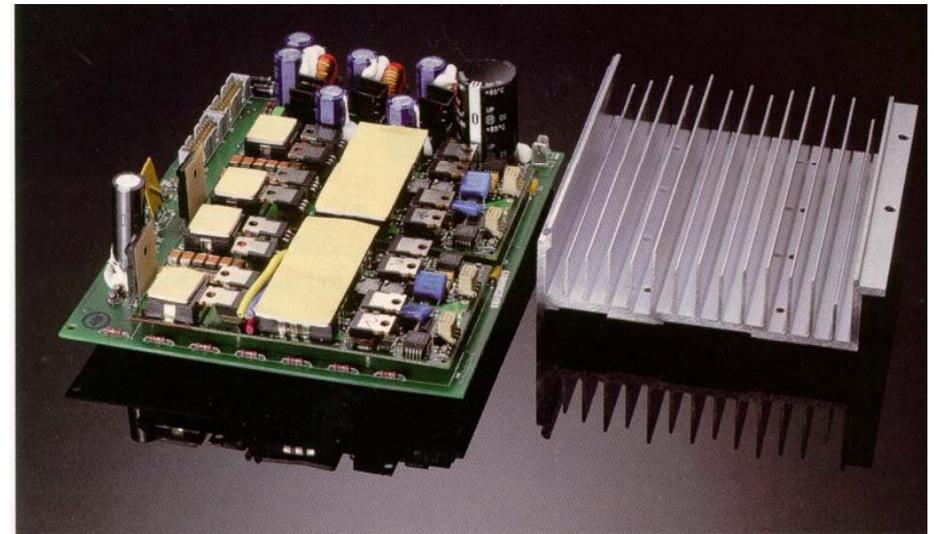
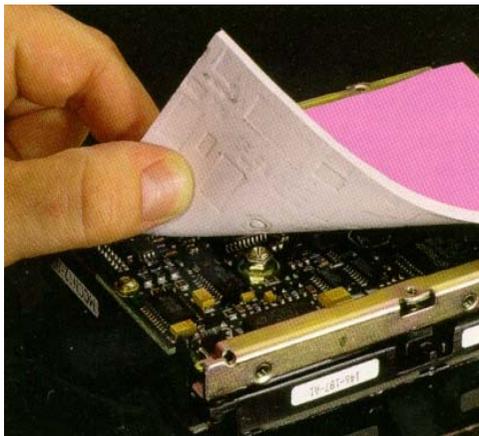
(\*) matériau dit à changement de phase : assure un meilleur contact thermique lorsqu'il est liquide (assimilable alors à une graisse thermique)

## Matériaux Hautes Performances

### Exemples d'applications



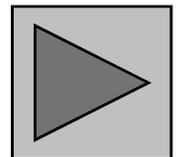
A common Sil-Pad application includes TO-220 transistors mounted in a row on a heat rail.



Gap Pad is applied to the top surface of heat generating components in this assembly. A heatsink mounted over the board dissipates heat.

## Ce qu'il faut retenir ...

- ❖ **Toutes les familles de matériaux sont utilisées dans le packaging : métaux, polymères, verre, composites.**
- ❖ **Le choix d'un matériau prend en compte différents paramètres : électrique, thermique, mécanique, interface, thermo mécanique.**
- ❖ **Les composants sont fabriqués suivant des séquences et matériaux bien établies : leadframe (Cu, FeNi), encapsulant (époxyde chargée), interconnexion par bille (SAC305, SAC105).**



# Compréhension des problèmes issus de la sensibilité des composants plastiques à l'humidité et à la refusion

- **Humidité / refusion : Mécanisme de défaillance**
- **Détermination de la sensibilité et classification**
- **Recommandations de manipulation, stockage et préparation**

## Sommaire

- **Historique sur la sensibilité à l'humidité des composants plastiques**
- **Cause et effet de l'humidité / refusion**
- **Loi d'Absorption / Désorption**
- **Classification des niveaux de sensibilité à l'humidité (Moisture Sensitivity Level – MSL)**

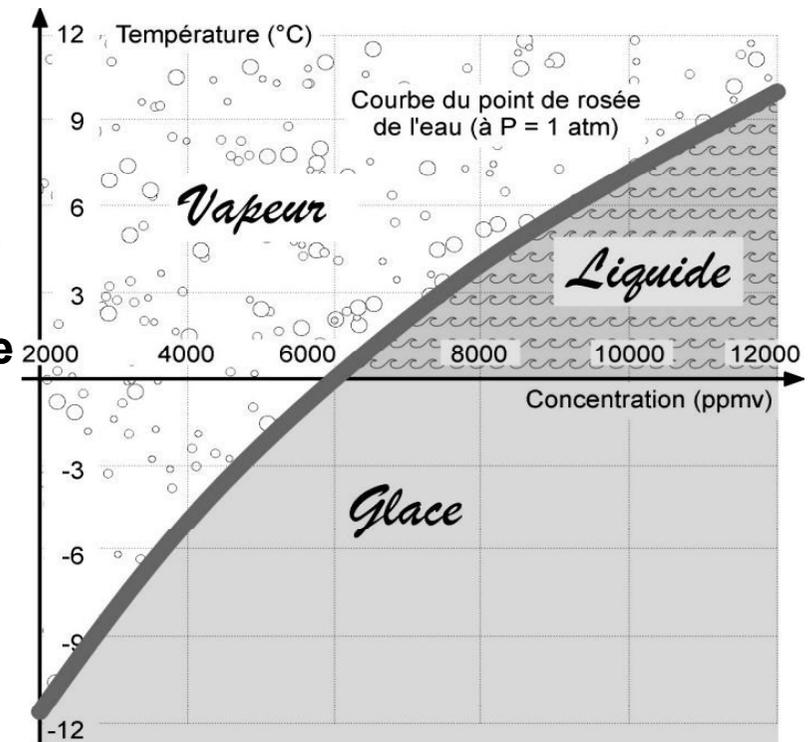
## Définition

L'humidité relative de l'air (ou degré d'hygrométrie), couramment notée  $\phi$ , correspond au rapport de la pression partielle de vapeur d'eau ( $P_{\text{vap}}$ ) contenue dans l'air sur la pression de vapeur saturante pression (ou tension de vapeur ( $P_{\text{sat}}(T)$ ) à la même température et pression. Elle est donc une mesure du rapport entre le contenu en vapeur d'eau de l'air et sa capacité maximale à en contenir dans ces conditions.

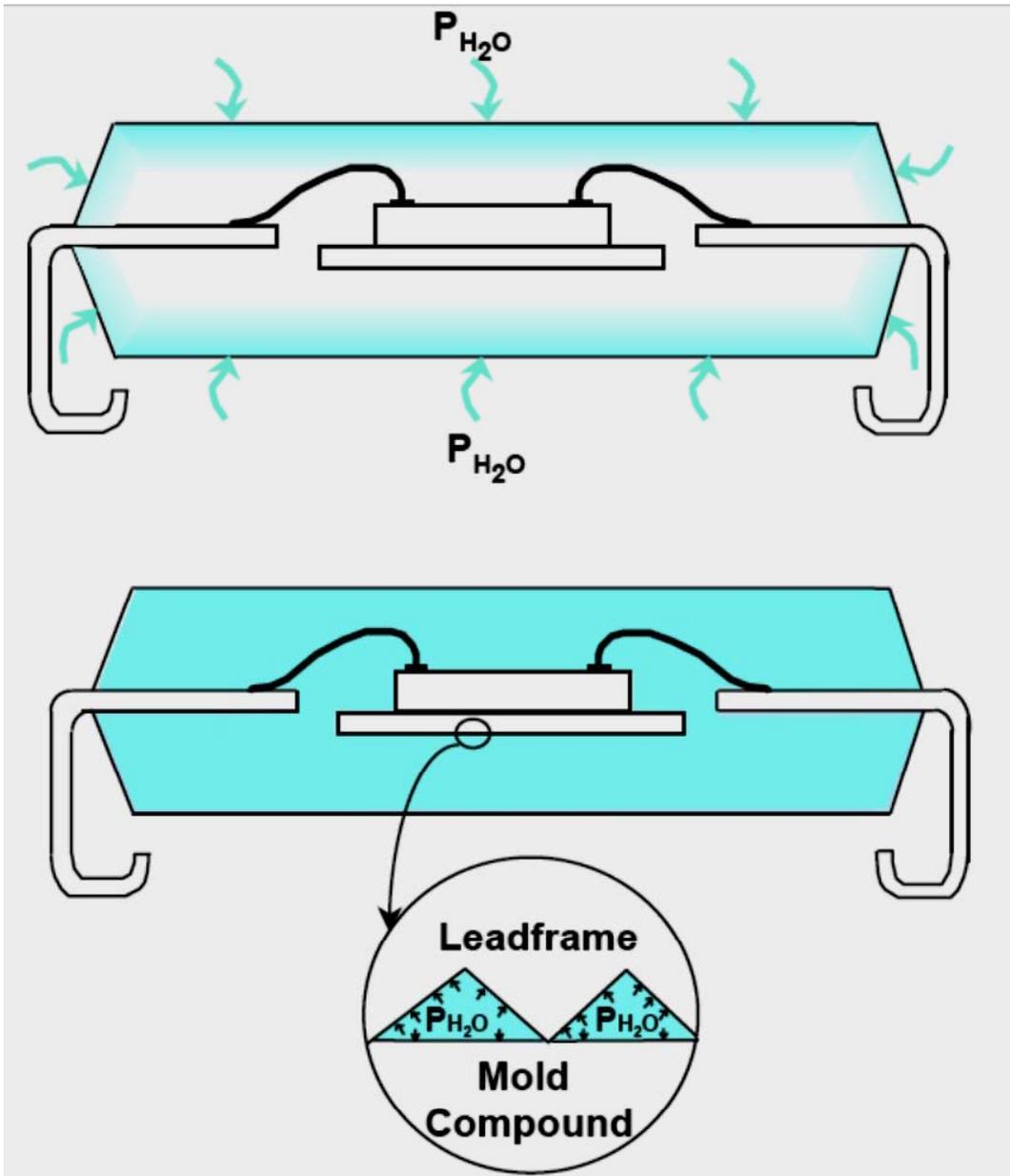
Comme la pression de vapeur saturante augmente avec la température, pour une même quantité absolue d'eau dans l'air, de l'air chaud aura une humidité relative plus basse que de l'air froid. Pour diminuer l'humidité relative d'un volume d'air fermé, il suffit donc de le réchauffer.

D'autre part, si on ajoute de la vapeur d'eau dans le volume sans changer sa température, une fois atteinte la saturation (100%), l'humidité relative ne varie plus dans de l'air sans particule liquide.

La vapeur d'eau se condense à 0°C (1 atm) pour une concentration de 6000 ppmv (0,006 atm) soit 0,6% HR.



## Problème de l'humidité diffusée

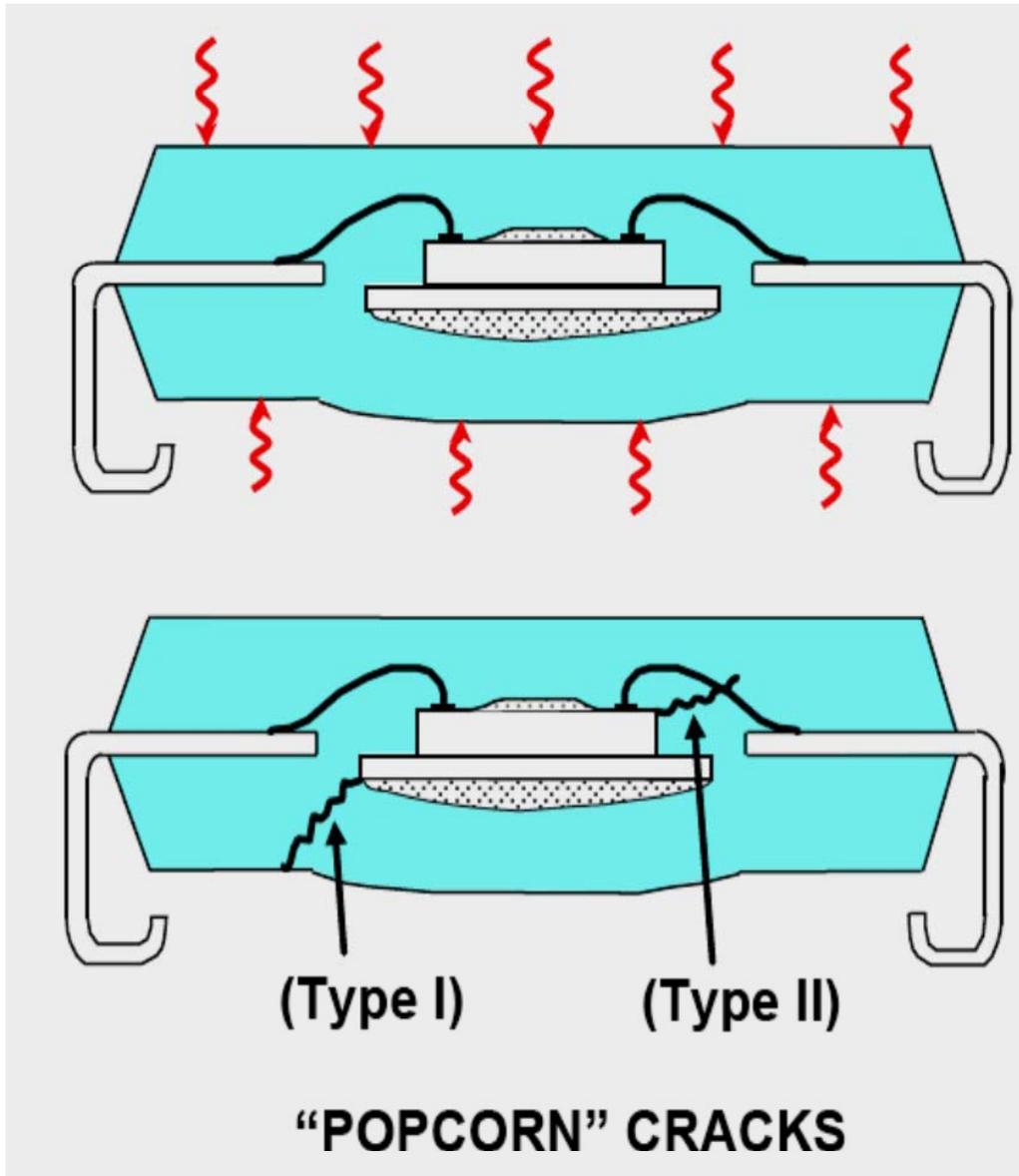


➤ Les boîtiers plastiques absorbent l'humidité de l'air

$$\text{Taux} = f(\text{Durée}, \text{Température}, P_{H_2O})$$

➤ La diffusion est initiée au niveau des interfaces et irrégularités du boîtier

## Problème de la refusion



➤ La brasure haute température provoque la vaporisation de l’humidité résiduelle condensée ; ainsi la délamination se produit aux interfaces.

➤ Si la pression de vapeur interne dépasse la contrainte à la rupture du plastique, une fissure va être initiée.

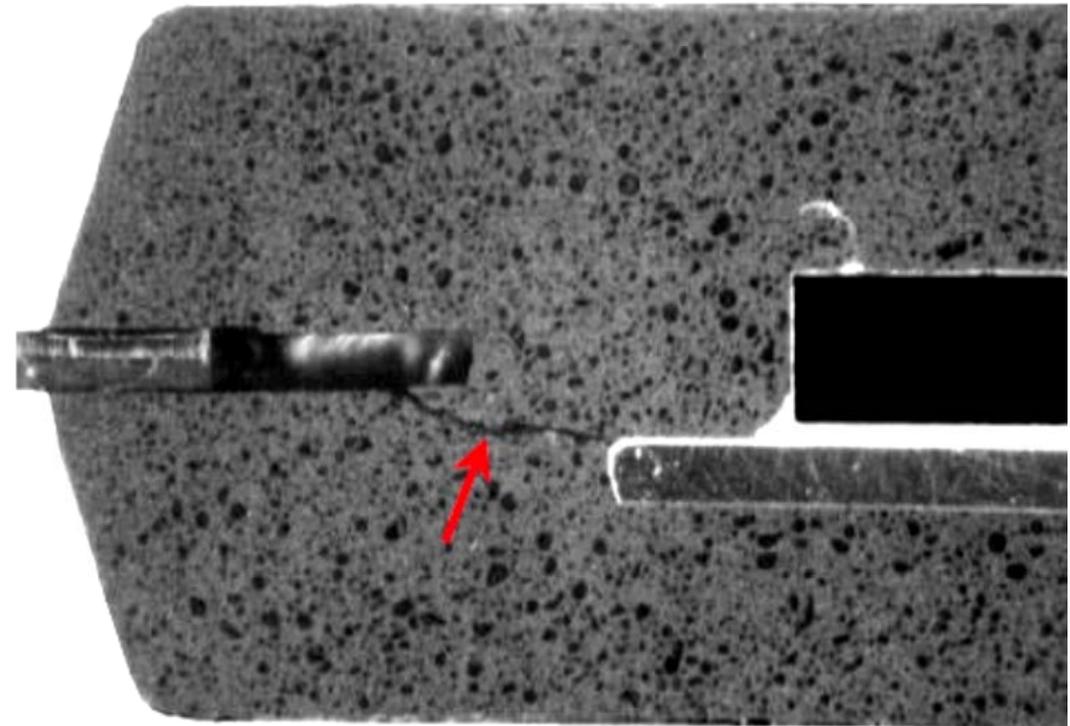
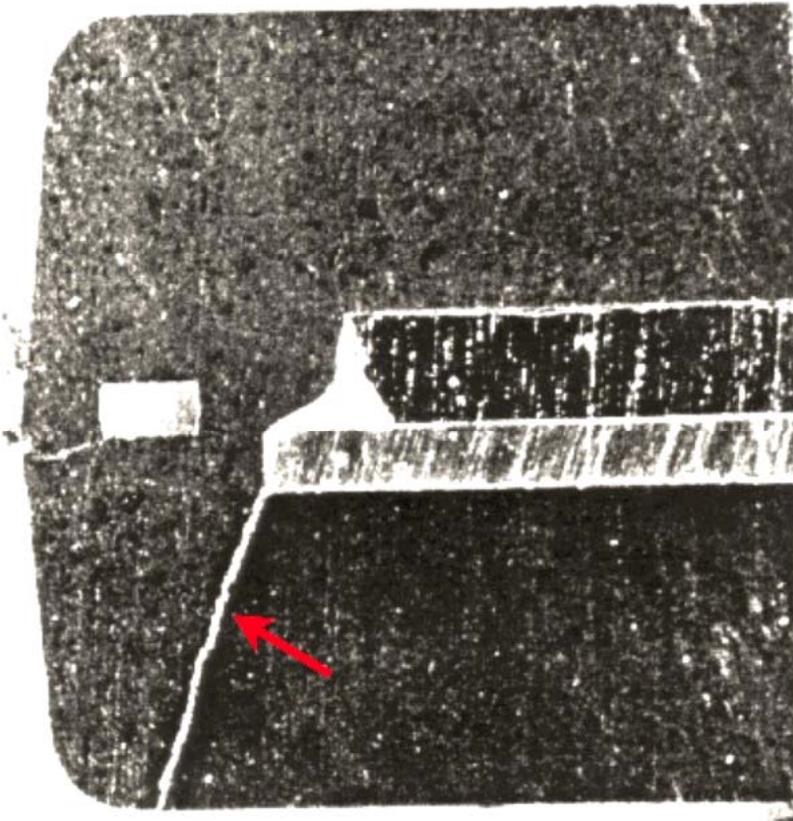
## L'historique du phénomène (effet)

La pression de vapeur à l'intérieure du boîtier non hermétique augmente exponentiellement quand le boîtier est soumis aux températures élevées de la refusion.

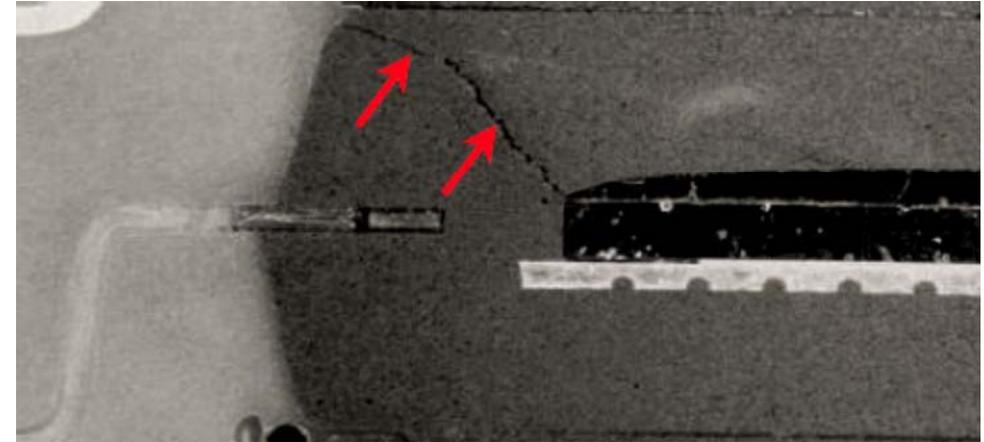
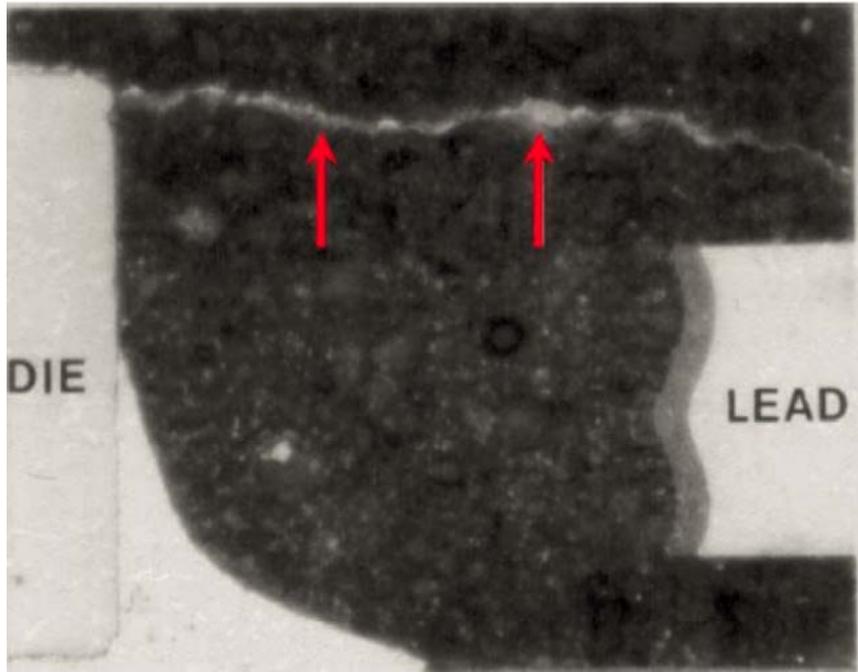
- Cette pression peut initiée des dommages qui vont affecter la fiabilité du composant
  - Délamination de l'encapsulant à partir de la puce ou/et du substrat / grille
  - Fissures internes qui ne se propagent pas vers l'extérieur
  - Détériorations de l'interconnexion filaire (cassure, glissement, passivation fissurée,...)
  
- La pression peut initiée des dommages vers l'extérieur
  - Effet Popcorn
    - Composants CMS sont plus sensibles que des composants traversant
    - Pour les composants traversant, le procédé de brasage n'atteint pas le corps du composant
  
  - Cambrage du composant (warpage)

## Effet Popcorn de type I

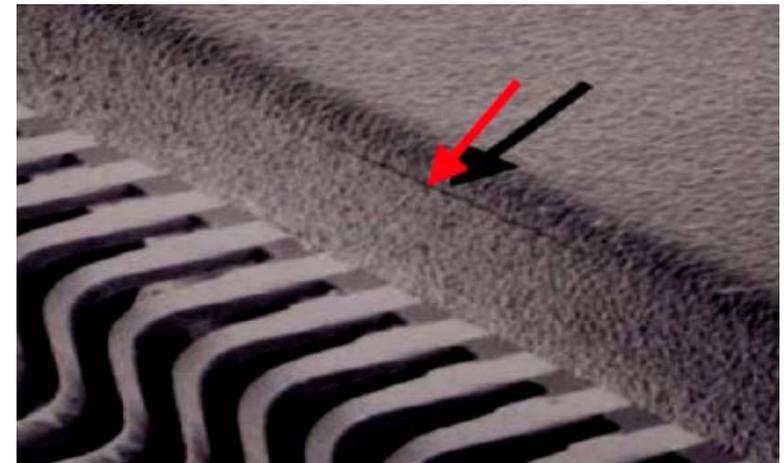
La fissure du composant plastique peut être générée durant la refusion.



## Effet Popcorn de type II



La fissure est initiée de la puce vers l'extérieur.



Source : Courtesy of Paul Melville,  
Philips Semiconductors

## Détérioration du fil de câblage

**Exemple de détérioration interne après saturation du boîtier en humidité et suivi d'un passage en refusion par phase vapeur à 215°C.**



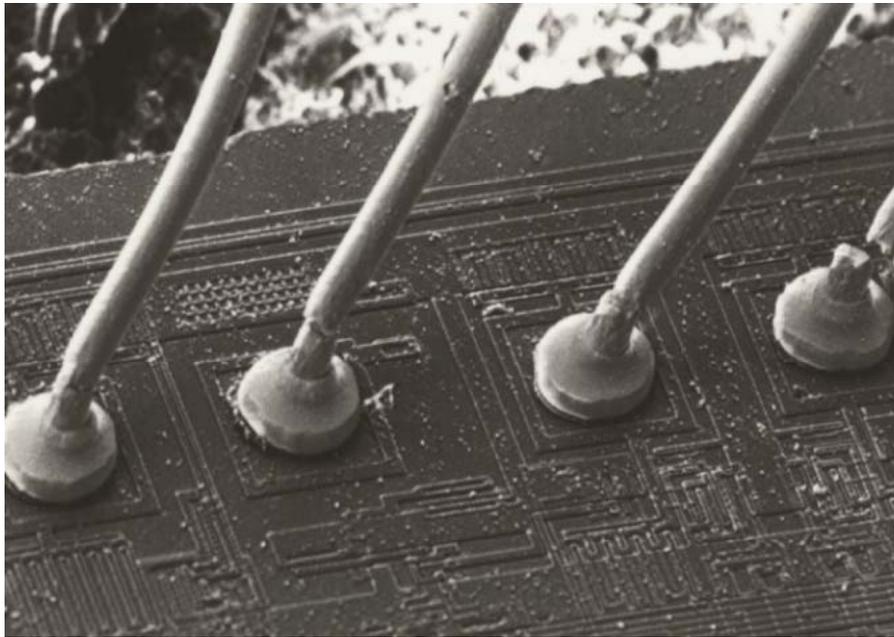
**Plot de puce délaminé  
Rupture de la liaison**



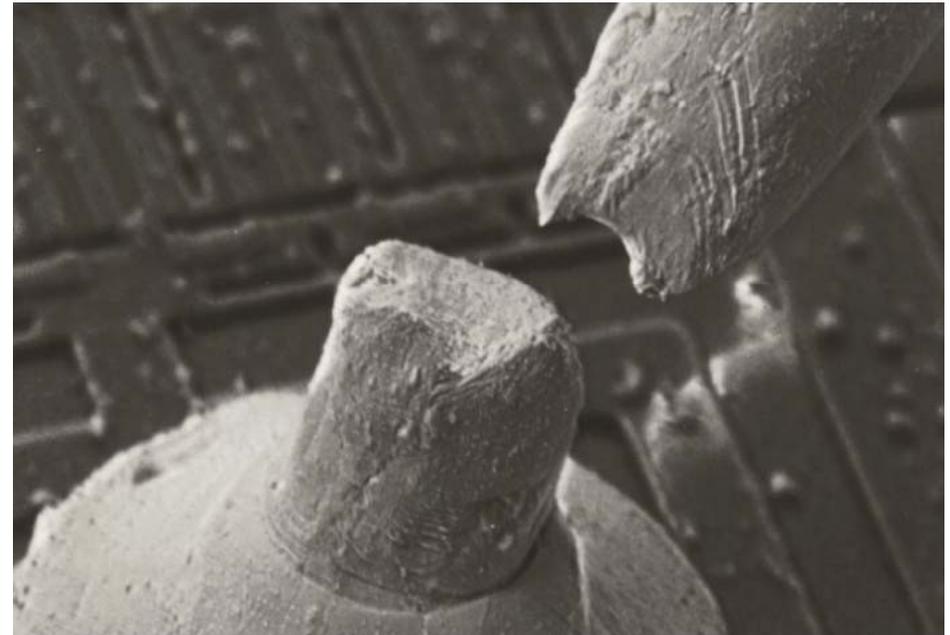
**Surface de la puce délaminée  
Boule de câblage soulevée**

## Détérioration du fil de câblage

**Exemple de délamination entre le fil de câblage et la résine d'encapsulation.**



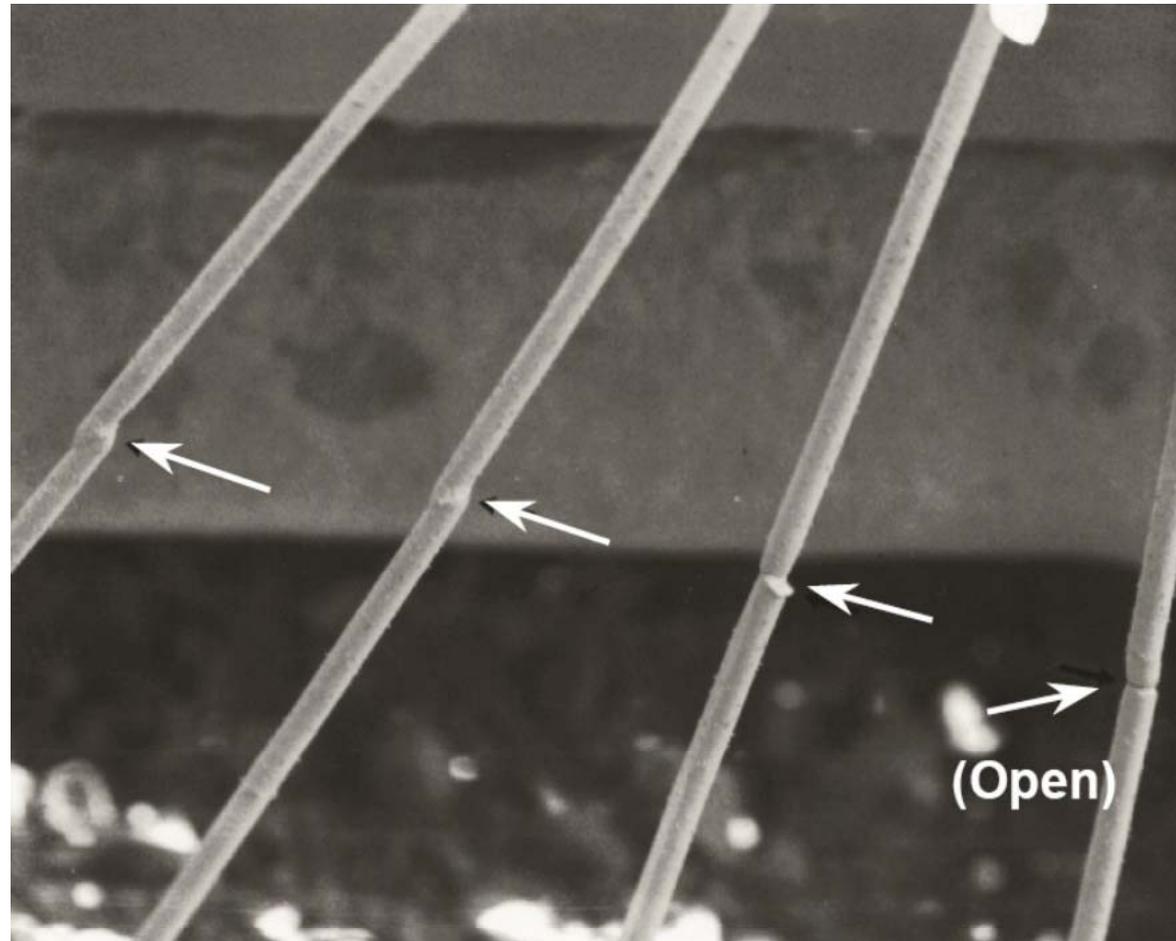
**Fils endommagés**



**Fil cassé**

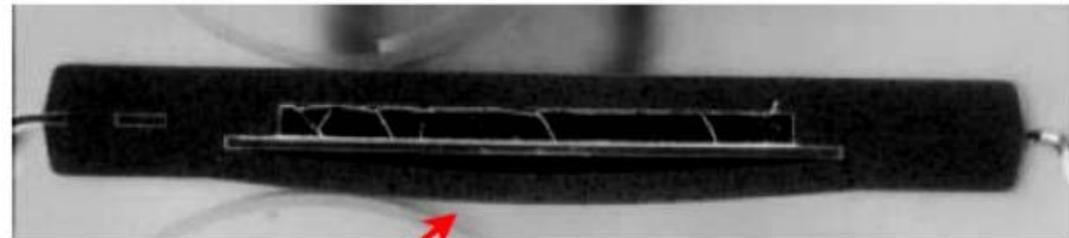
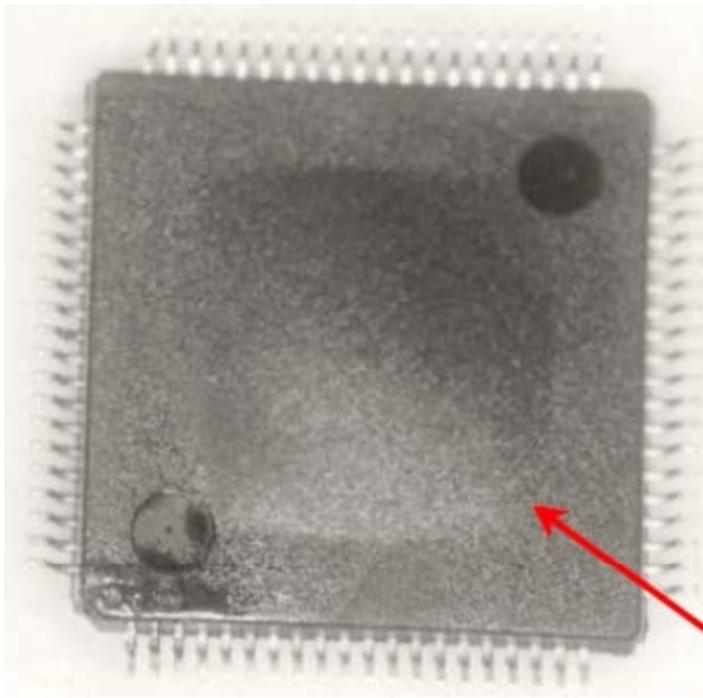
## Détérioration du fil de câblage

Exemple de cisaillement des fils de câblage par propagation d'une fissure dans la résine d'encapsulation.



## Cambrage du boîtier plastique

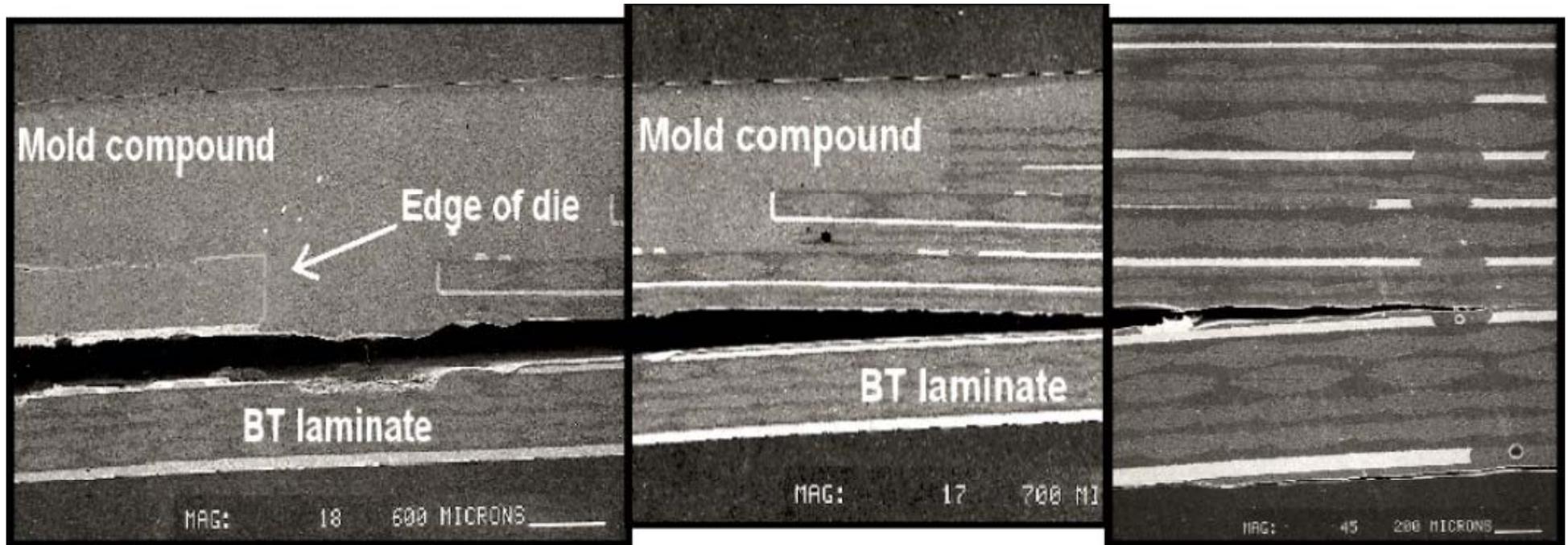
Exemple de délamination entre la grille (leadframe) et la résine d'encapsulation, sans propagation vers l'extérieur.



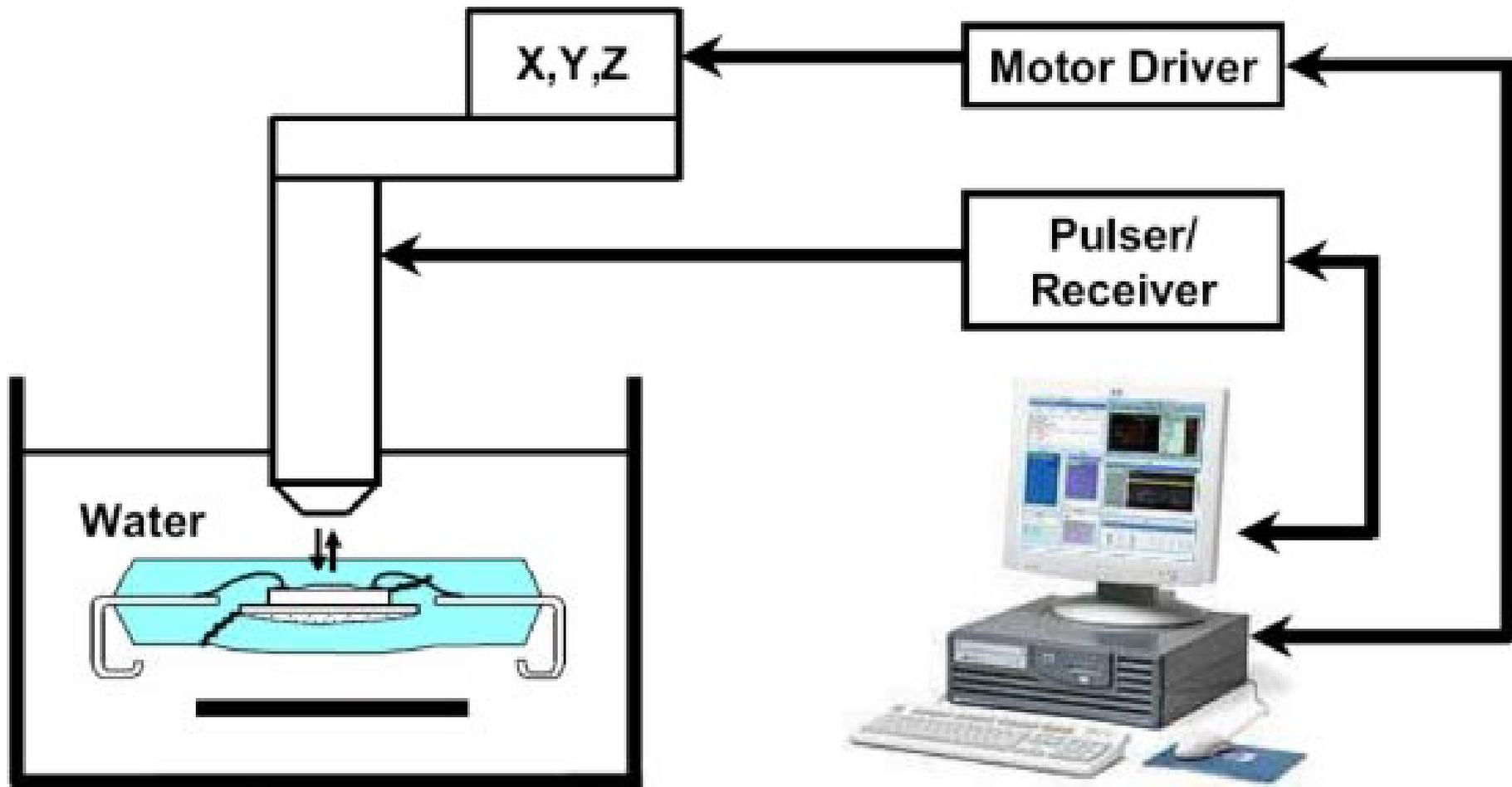
Déformation du boîtier plastique : LQFP

*Source : Courtesy of Paul Melville,  
Philips Semiconductors*

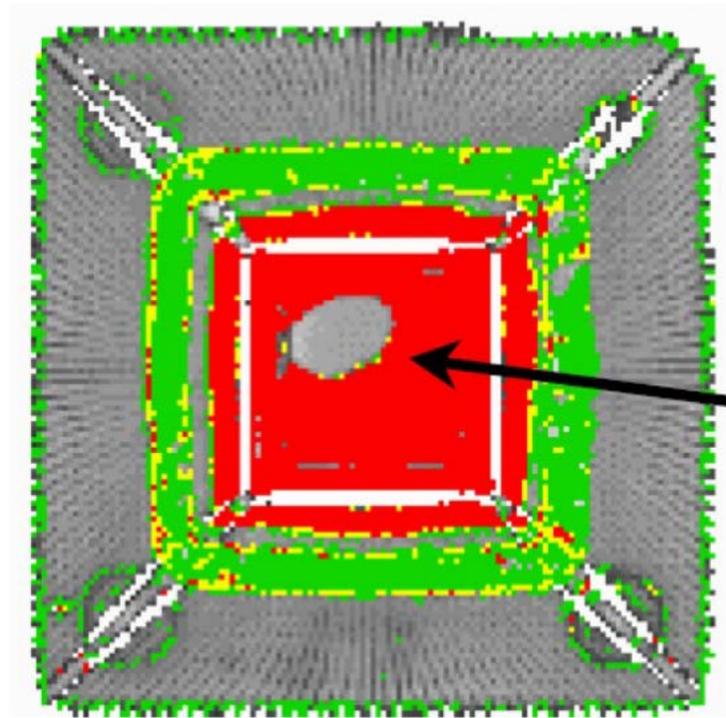
## Délamination dans un boîtier plastique type BGA



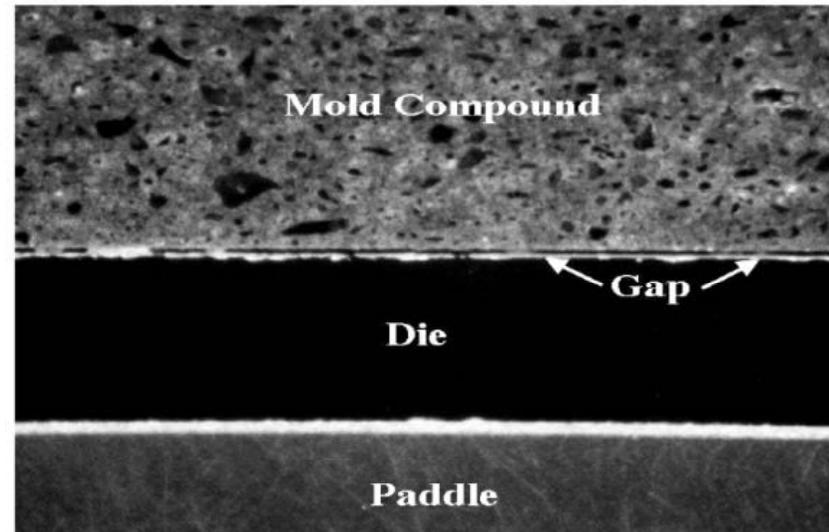
## Microscopie acoustique



## Microscopie acoustique



Surface délaminée



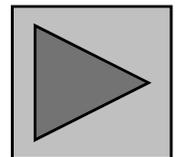
---

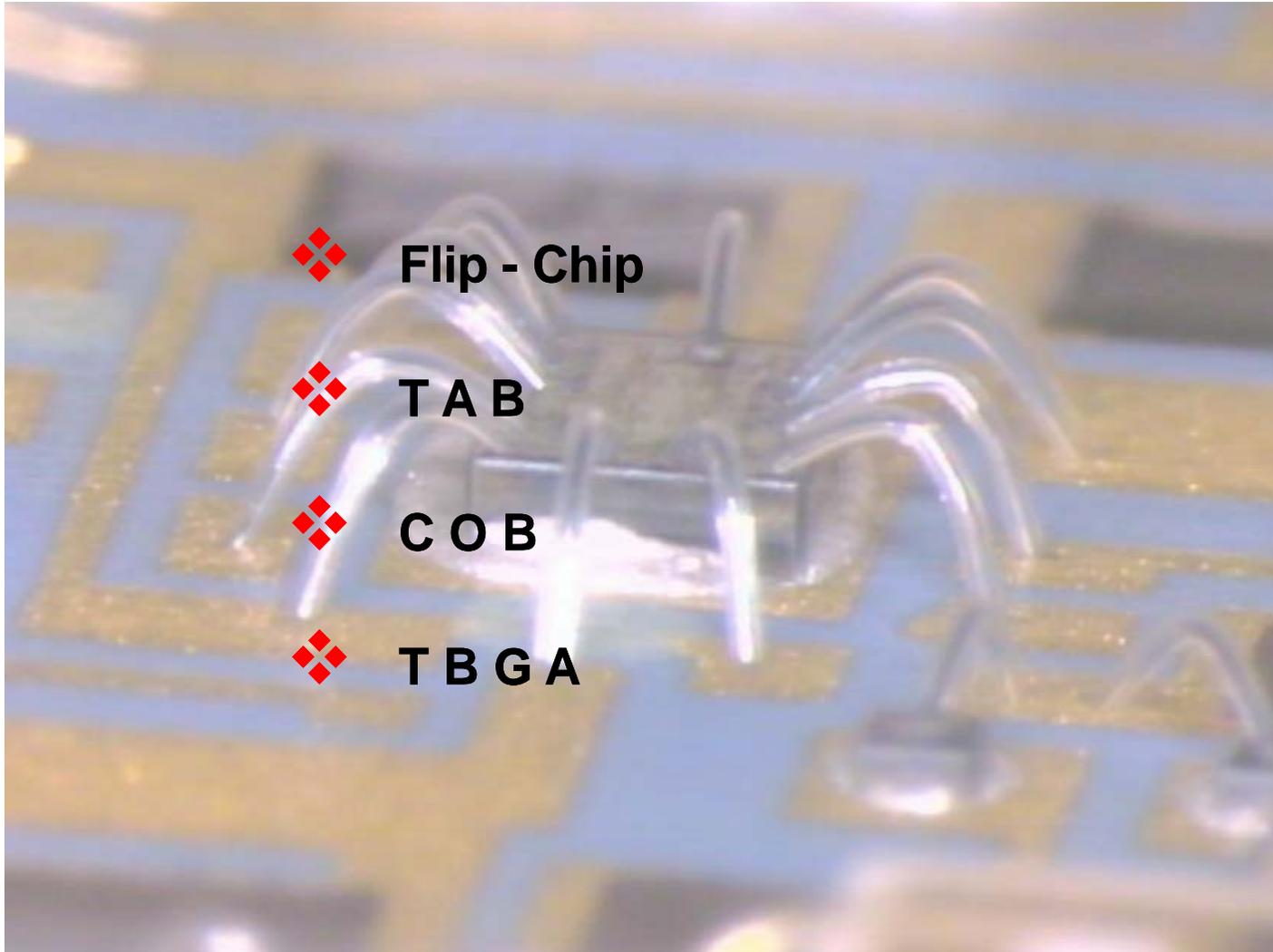
## Les normes internationales

- **Le premier constat sur l'effet Popcorn a été rapporté par l'article de M. Fukuzawa à la conférence IRPS 1985**
- **Le mécanisme de l'humidité est identifié et largement diffusé entre 1986 et 1988 – La microscopie acoustique est développée**
- **L'organisation IPC forme un groupe de travail et publie IPC-SM-786 en 1990**
- **Corrélation entre la délamination et les ruptures de fils de câblage**
- **Les organismes IPC et JEDEC coordonnent leurs efforts :**
  - **Mise en place de symboles & labels pour les composants sensibles à l'humidité (MSL) en juillet 1993 – JEP113.**
  - **Rédaction de la norme JEDEC A113A sur le pré conditionnement des composants plastiques en avril 1994 puis une révision en 1999 (JESDA113B).**

## Les normes internationales

- **Le comité IPC/JEDEC est créé en 1996 et trois normes sont rédigées :**
  - **J-STD-020 (Révision A en 1999 , B en 2002..., et D en 2008)**
    - **Niveaux 2a et 5a ajoutés**
    - **Condition accélérée 60°C/60%HR**
    - **Critères sur les composants BGA**
    - **Conditions de refusion des petits boîtiers à 235°C (SnPb)**
  - **J-STD-033 (Révision A en 2002, et B en 2008)**
    - **Stockage dans des conditionnement scellés avec 10% HR**
  - **J-STD-035 : Microscopie acoustique appliquée aux Composants plastiques, Mai 1999**





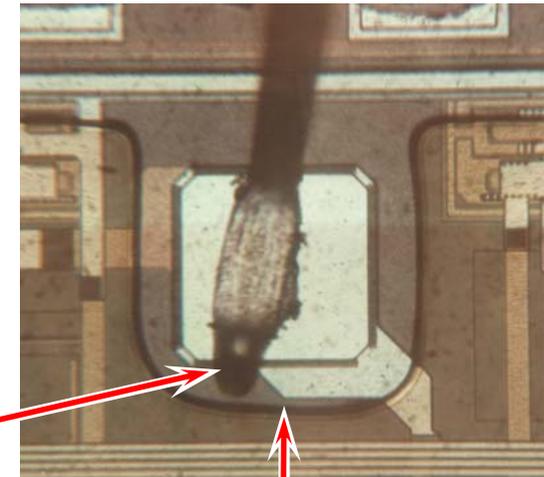
## Qu'est-ce que le Composant électronique - Structure

### ■ Notion de Composant actif pré-encapsulation

#### ◆ Plots de contact / câblage

- \* aluminium dopé Si + barrière de diffusion sous le plot  
(éviter réaction Al, Si)
- \* vulnérabilité aux corrosions  
(seule partie nue de la puce)

*Ouverture passivation minérale*



#### ◆ Passivation

- \* objectif : protection électrique, mécanique, environnementale
- \* problèmes : porosité, coefficient de dilatation, permittivité élevée, produits de formation (acide phosphorique)
- \* minérale : PSG (oxyde de phosphore),  $\text{SiO}_2$ ,  $\text{Si}_3\text{N}_4$ , SiON (oxynitride)
- \* organique : film de polyimide barrière aux radiations alpha

*Ouverture passivation organique*

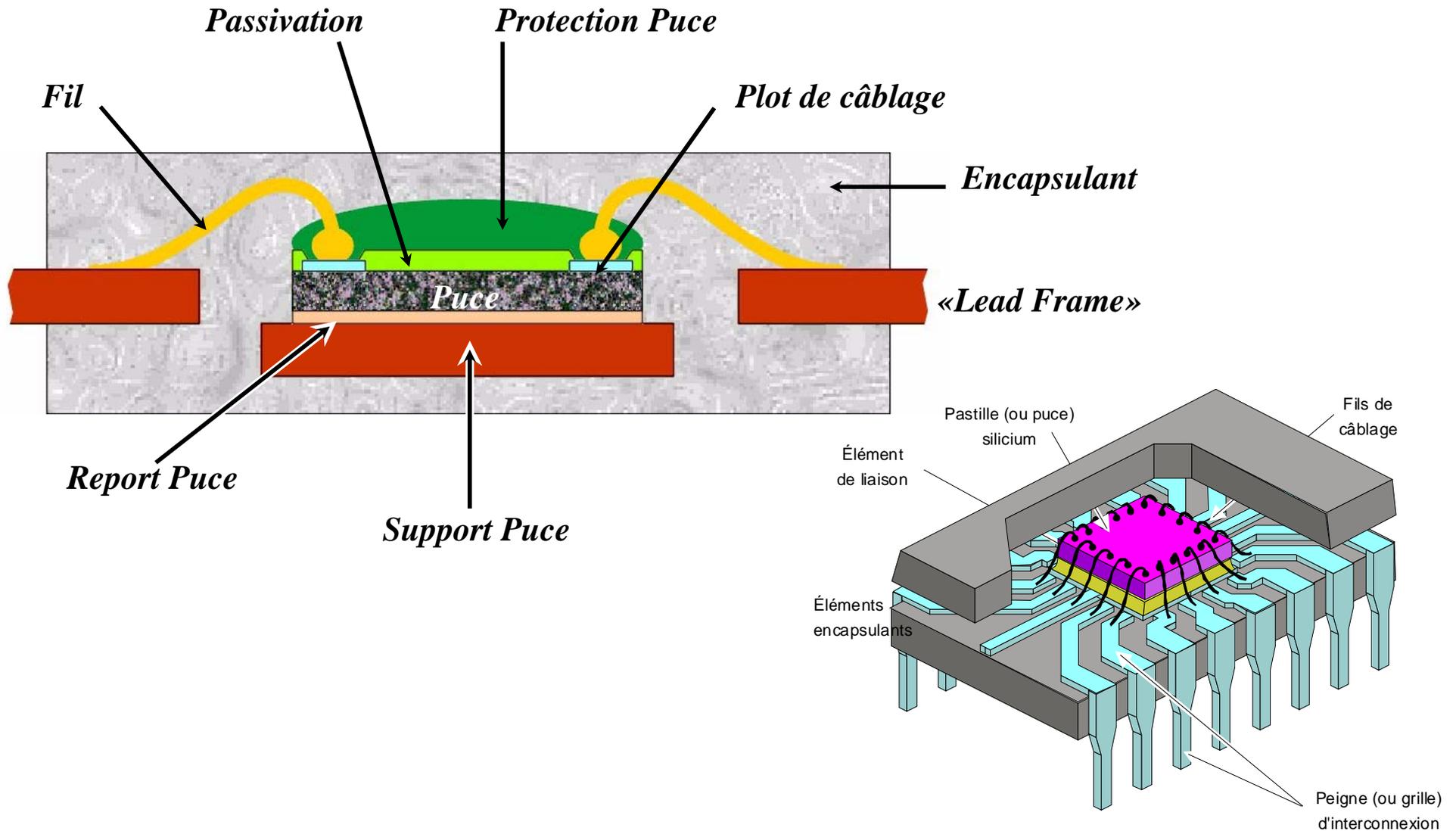
(0,1 particule a /cm<sup>2</sup> /heure des CERDIP, des verres de scellement et capots métal, mais aussi des billes de plomb des flip chips !... recherche de plombs "anciens")

#### ◆ Protection puce

- \* minimiser impact des différents coefficient de dilatation entre Si et enrobage
- \* élastomère, mais aussi époxy enrobant «low stress»

## Qu'est-ce que le Composant électronique - Structure

### ■ Notion de Composant actif encapsulé ou " back end "



## Qu'est-ce que le Composant électronique - Structure

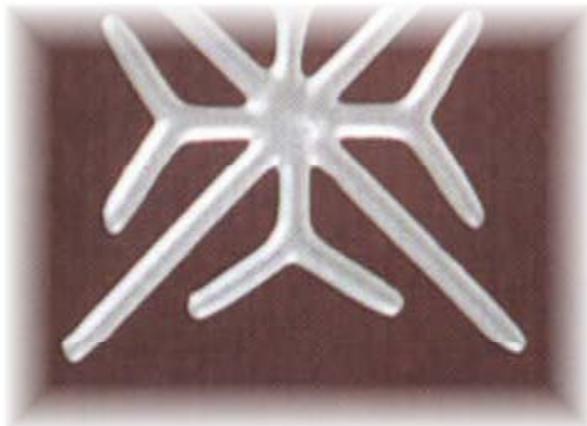
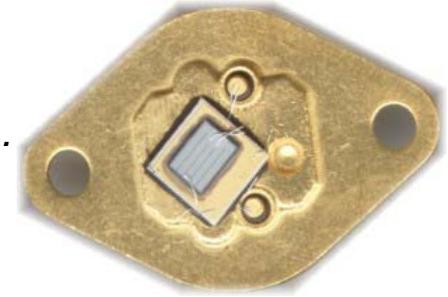
### ■ Notion de Composant actif encapsulé ( suite )

#### ◆ Support puce " lead frame "

- \* alliages à base de cuivre ( ~ 95% Cu ), ferronickels ( 58Fe42Ni ), kovar ( FeNiCo ), molybdène
- \* paramètres clés : coef. de dilatation ( 5 à 17 ppm/°C ) et conductivité thermique ( ~300 W/m/°C )

#### ◆ Report puce

- \* brasures eutectiques : AuSi ( 370°C ), AuSn ( 280°C ), SnPb ( 183°C ) ...
- \* adhésifs organiques argent :  
époxy, polyimides ( polymérisation 150°C à 200°C )
- \* adhésifs inorganiques argent :  
verre/argent ( ~ 375°C ) à 80% d'Ag.



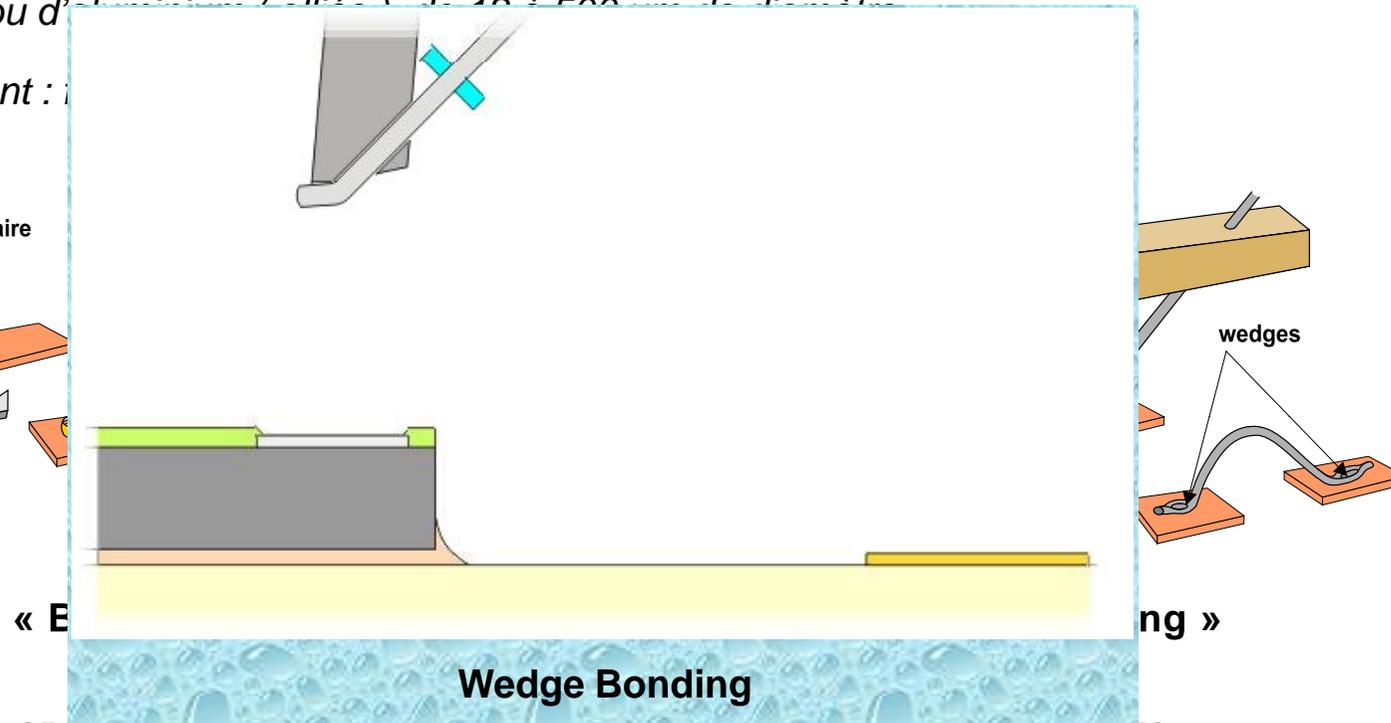
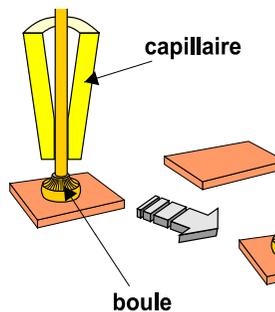
Matériau	Coef. de dilatation linéique (10 <sup>-6</sup> / °C)	Coef. de conduction thermique (W / m.°C)	Résistivité (10 <sup>-8</sup> W. m)
silicium	3	113	
molybdène	5	120	5,5
cuivre	17	367	1,7
63SnPb	24	39	14,5
fer - nickel	4,5	12	9,8
gel silicone		1 à 3	
graisse therm.		1 à 4	
adhésifs		1 à 25	

# Qu'est-ce que le Composant électronique - Structure

## ■ Notion de Composant actif encapsulé ( suite )

### ◆ Fils, câblage

- \* fils d'or ou d'aluminium (alliage) de 10 à 500 µm de diamètre
- \* également :



fil : Au  
 Ø : 18 ; 25 ; 38 µm  
 méthode : thermocompression  
 thermosonique  
 omnidirectionnel  
 accès aisé  
 surface importante

Ø : 18 ; 25 ; 38 ; .... 250 µm  
 méthode : ultrasonique  
 chaînette réalisable  
 directionnel  
 outil encombrant  
 pas faible

## Qu'est-ce que le Composant électronique - Structure

### ■ Notion de Composant actif encapsulé ( suite )

- ◆ Câblage ball bonding ( vidéos )     ( *Informations ESEC* )



*Vitesse normale ( ~ 10 fils / s )*

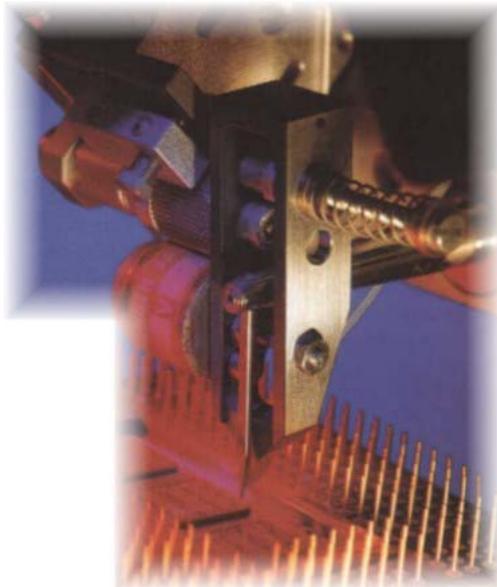
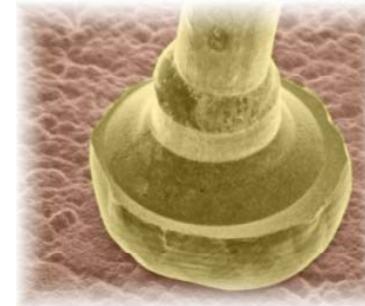
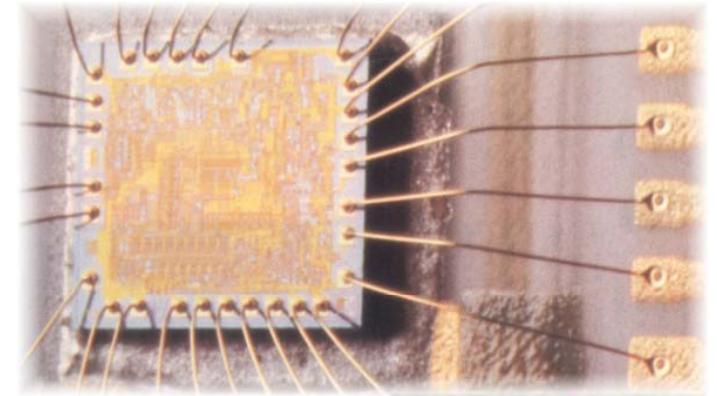
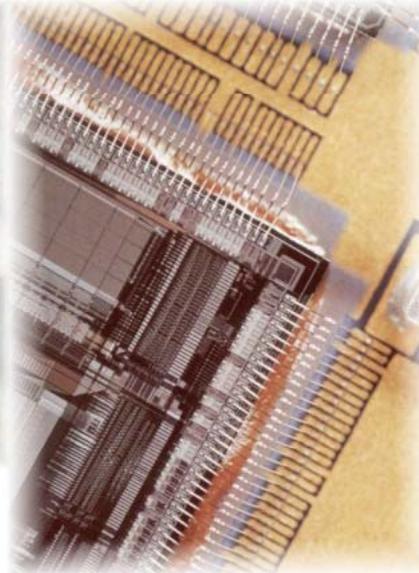
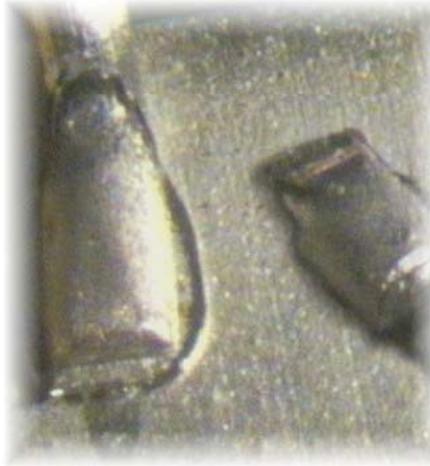


*Mouvement décomposé*

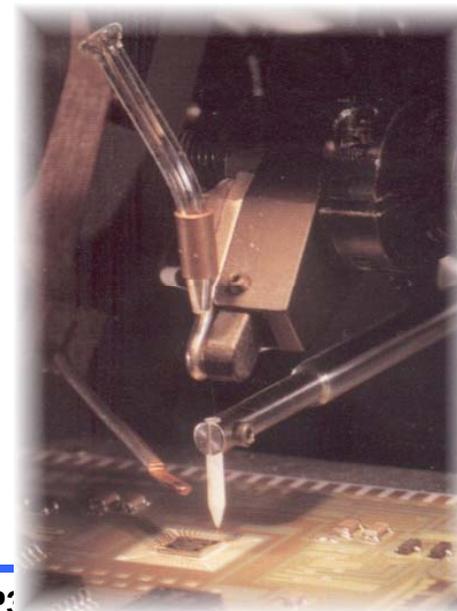
## Qu'est-ce que le Composant électronique - Structure

### ■ Notion de Composant actif encapsulé ( suite )

#### ◆ Câblage filaire



*Câblage  
"wedge" aluminium  
et machine*



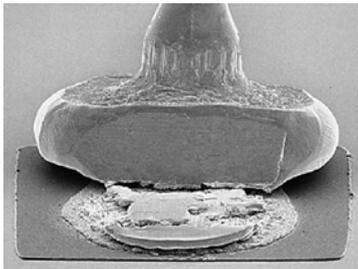
*Câblage  
"ball" or  
et machine*

## Les Risques encourus

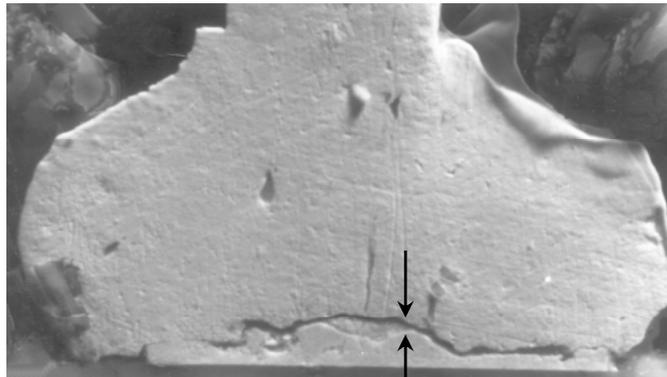
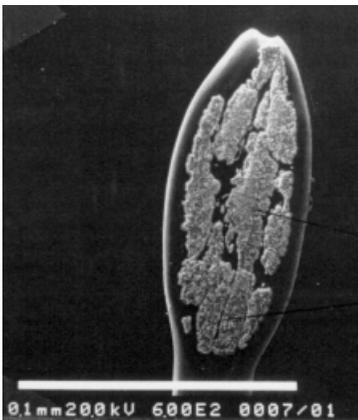
### ■ Mécanismes de défaillance des Composants actifs

#### ◆ Intermétalliques

- \* formation naturelle d'alliages à basse température, entre corps de natures différentes, en contact :  
exemples : **Au-Al** ; Al-Si ; Al-SiO<sub>2</sub> ; Au-Ge ; **Au-Sn** ; Pb-Sn ; Cu-Al ; Cr-Au ; Ni-Cr ; **Cu-Sn** .....
- \* propriétés de l'alliage, très différentes (fusion plus basse, fragilité, lacunes ...)
- \* évolution lente, fonction de la température et du temps (loi d'Arrhenius de diffusion des solides)



Peste pourpre AuAl<sub>2</sub>

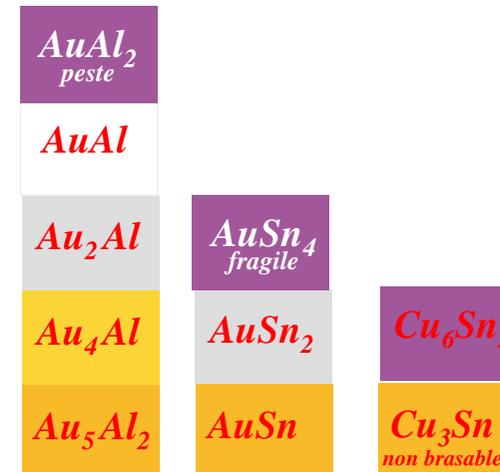


Lacunes de Kirkendall  $x$

$$x = \sqrt{K \cdot t}$$

$$K = K_0 \cdot e^{-E/k\theta}$$

Loi d'Arrhenius



## Les Risques encourus

◆ *Intermétalliques (suite)*

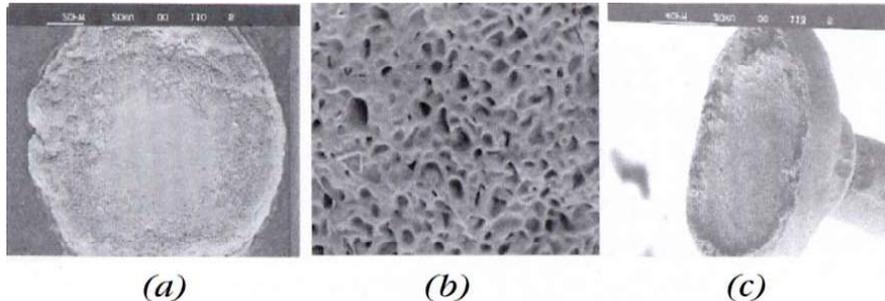


Fig. 3. Bond-off: intermetallic compound left on the pad (a), detail of voids (b) and detached ball (c)

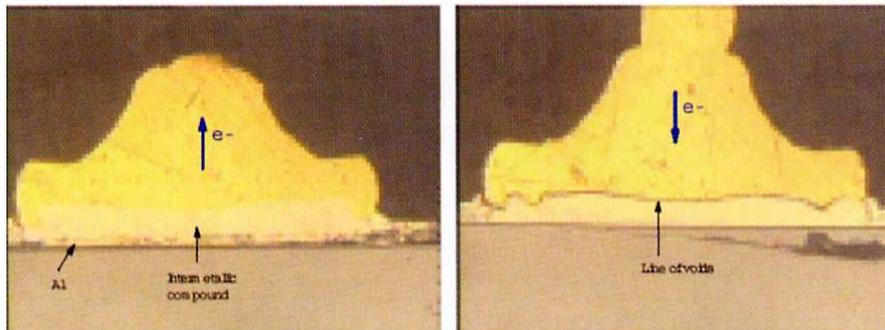


Fig. 4. Section of two adjacent balls. Intermetallic growth and voids strongly depend on current direction  
**Advancing Microelectronics - March/April 2003**

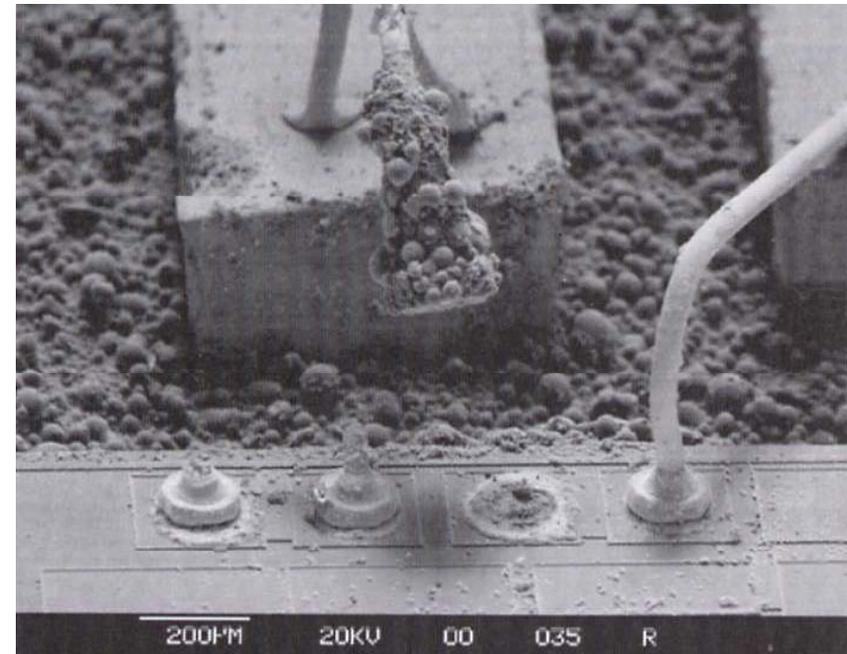


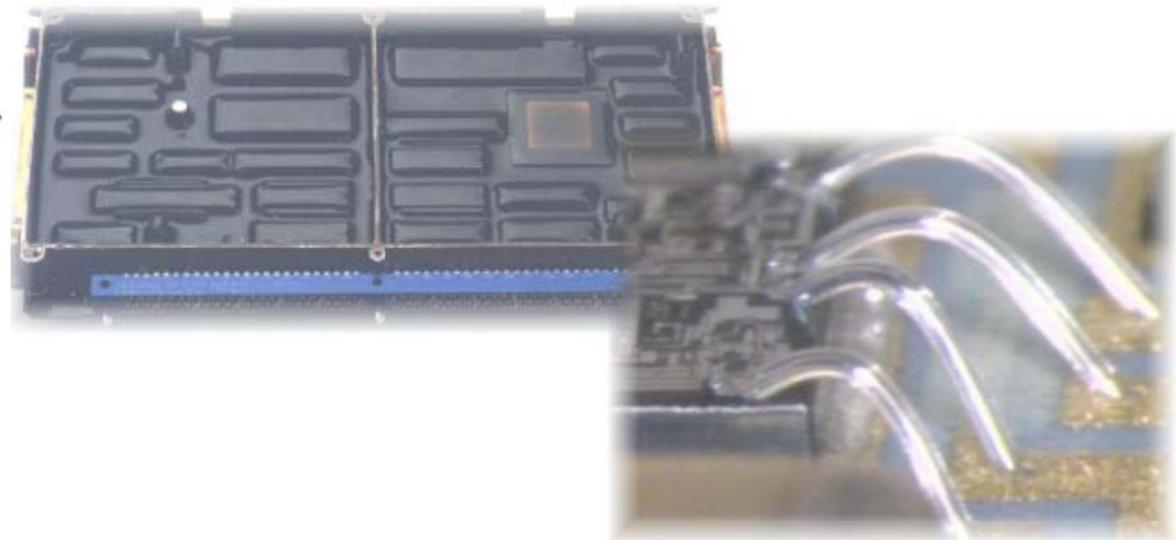
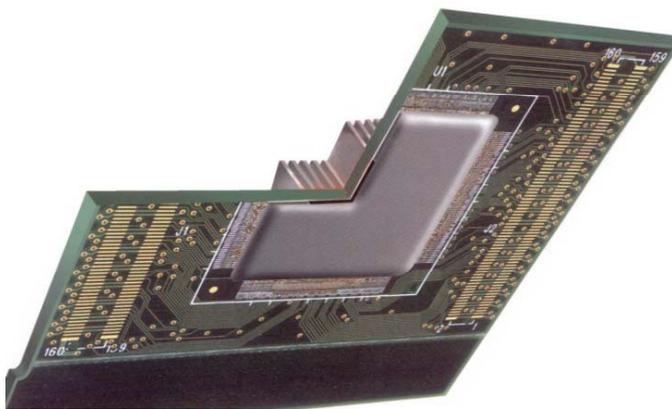
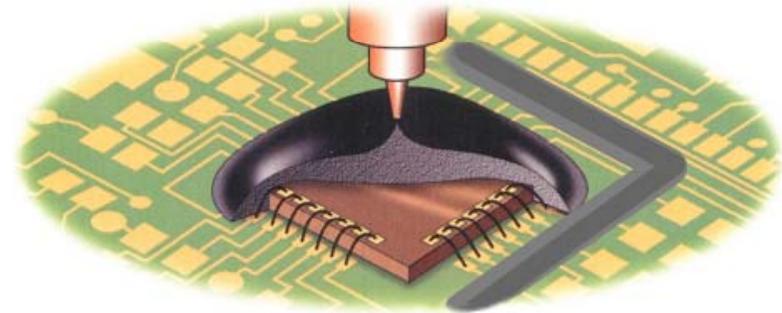
Fig. 10. Intermetallics growth + bond-off + resin degradation  
**Advancing Microelectronics - March/April 2003**

## Qu'est-ce que le Composant électronique - Structure

### ■ Notion de Composant actif encapsulé ( suite )

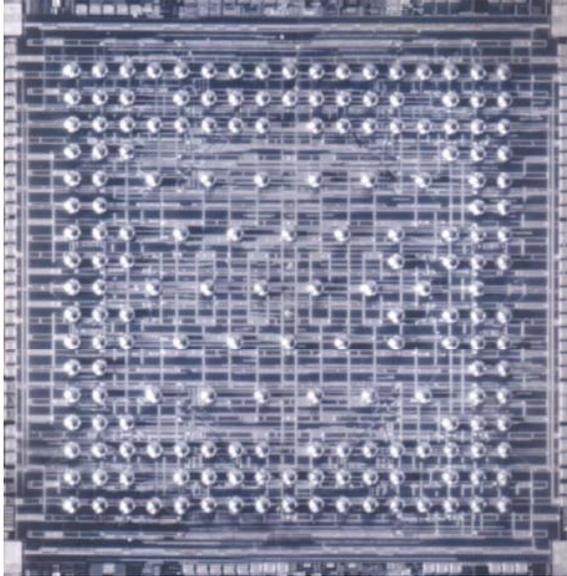
#### ◆ Encapsulation

- \* boîtiers à cavité hermétique  
( encapsulant gazeux :  $N_2$ ,  $N_2He$  ... )
- \* moulages transferts par résines époxy
- \* “Glob-Top” sur COB, COF, COG, COC ...
- \* “Robustification”

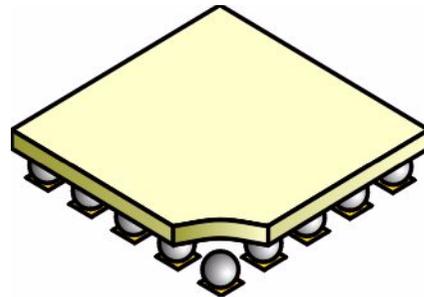


# FLIP CHIP

## Familles disponibles



« Flip Chip conventionnel »



*Termes synonymes :*  
 micro-bille fusible  
 boule (ball)  
 protubérance (bump)  
 bossage  
 colonnette

- ★ bossages d'alliage fusible formés (flip-chip conventionnel)
- ★ bossages métalliques durs
- ★ bossages plastiques métallisés
- ★ sans bossages

*Taille des billes :*

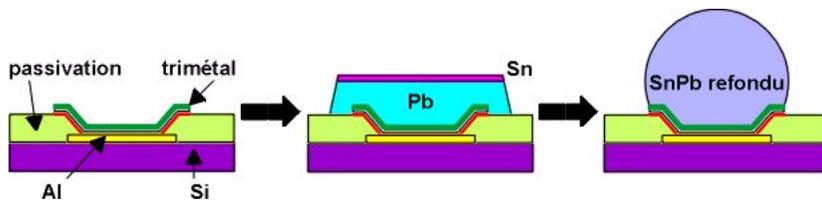
~ 50  $\mu\text{m}$

*Pas :*

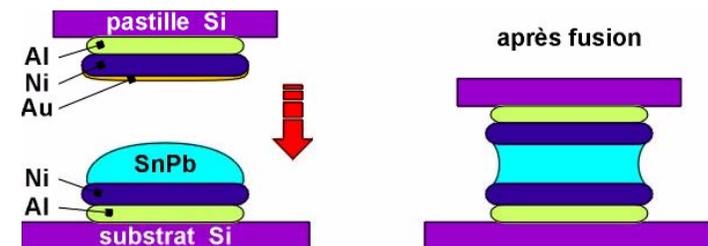
~ 100  $\mu\text{m}$

*Matériaux :*

Ti/W ; Cr/Cu ; Cr/Cu/Au ; Ni ; Ni/Sn/Pb



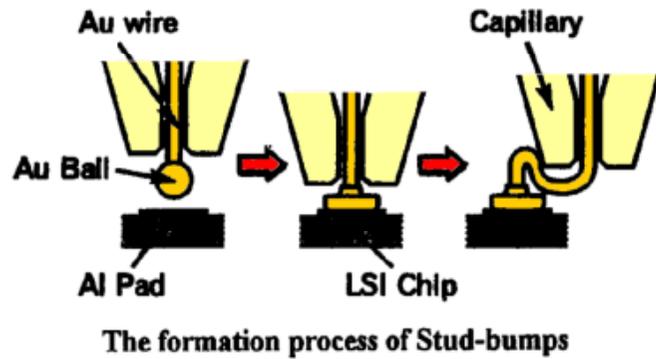
Formation type de bossages fusibles



Autre variante

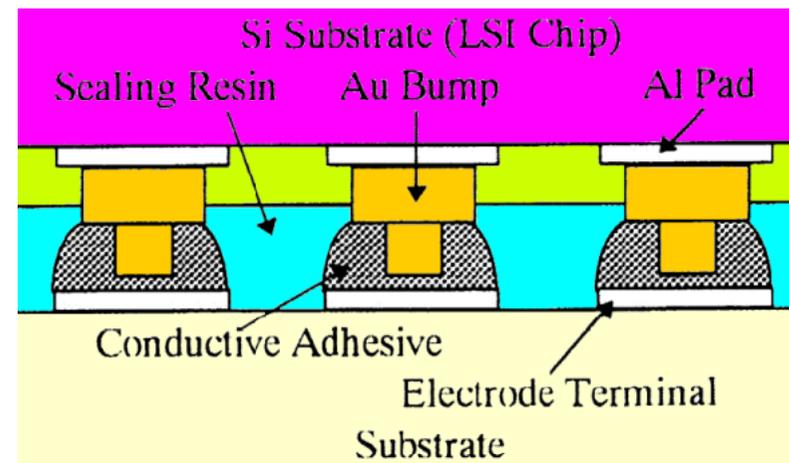
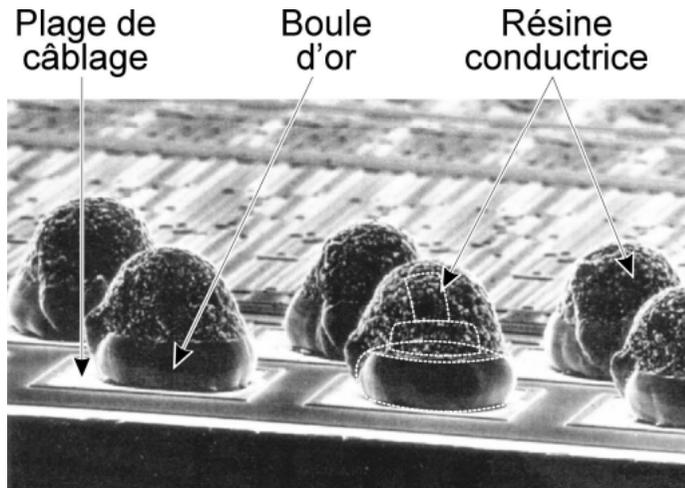
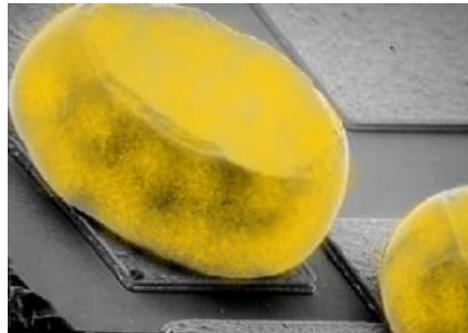
# FLIP CHIP

## Familles disponibles



★ *boules de câblage filaire excisées (stud bump bonding)*

« *SBB* »



# FLIP CHIP

## X Brasage

BGA - CSP - Flip-Chip  
 alliage eutectique ( 63Sn37Pb ) ou sans plomb  
 crème à braser ( sauf si billes fusibles **ET** si planéité parfaite )  
 criticité du dépôt aux pas fins ( CSP et Flip-Chip )

## X Collage

CSP - Flip-Chip  
 billes “ dures ”  
 collage conducteur isotrope ICA ( sérigraphie, stamping, trempé )  
 collage conducteur anisotrope par dépôt ACA ou par film ACAF

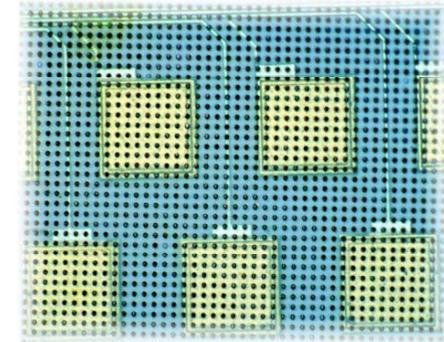
## X Contact par pression

CSP - Flip-Chip  
 billes “ dures ”  
 collage isolant direct sur le substrat  
 utilisation d'un interposeur anisotrope collé

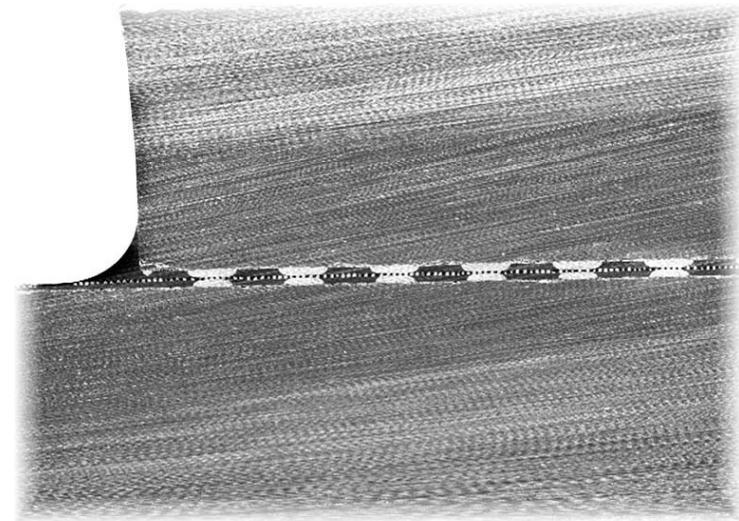
## X Soudure

Flip-Chip  
 billes “ dures ”  
 thermocompression directe  
 thermocompression sur film TAB intermédiaire

## Méthodes d'assemblage

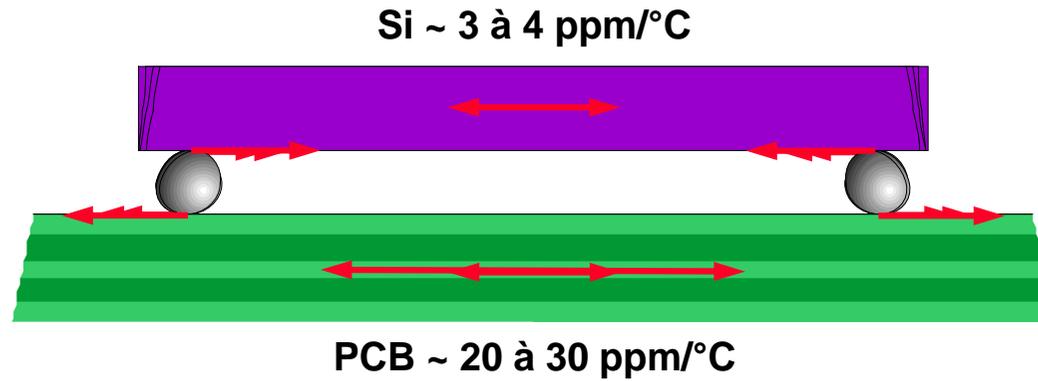


*Polymères microstructurés  
 à conduction anisotropique  
 (ACF) du LETI*

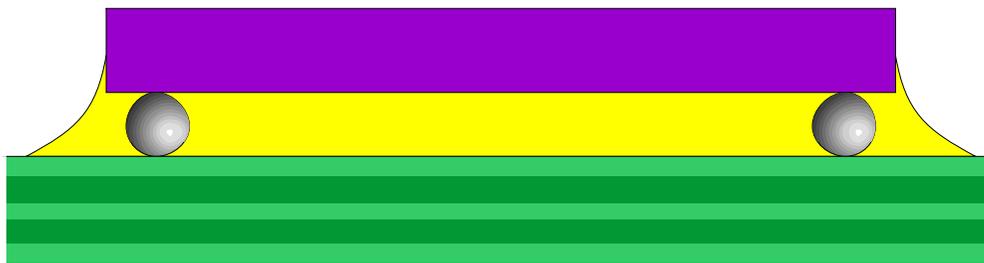


# FLIP CHIP

## Contraintes développées



Solution : **l'Underfill** ( ou sous-enrobage )

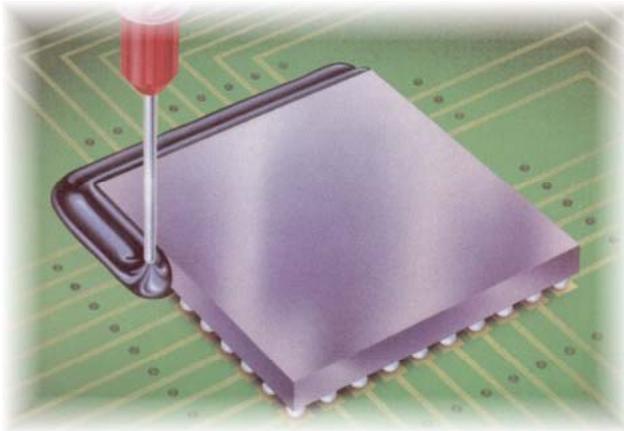


# FLIP CHIP

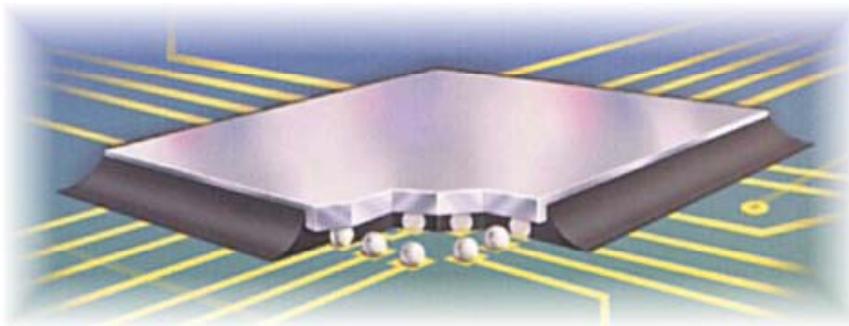
## L'Underfill

### X Underfill

si inadaptation entre composant et support  
 CSP - Flip-Chip  
 fluide dispensé après assemblage  
 film " percé "   
 nécessité du contrôle d'intégrité



*Underfill  
dispensé*



**FIGURE 4:** Dark streaks represent high concentrations of filler particles in the underfill of this device; yellow areas have fewer particles. In addition, several large voids are present. Note the presence of small voids at the center of some of the greatest concentrations (black) of underfill particles.

*Inspection par  
Microscopie  
acoustique  
( Sonoscan )*

# FLIP CHIP

## L'Underfill

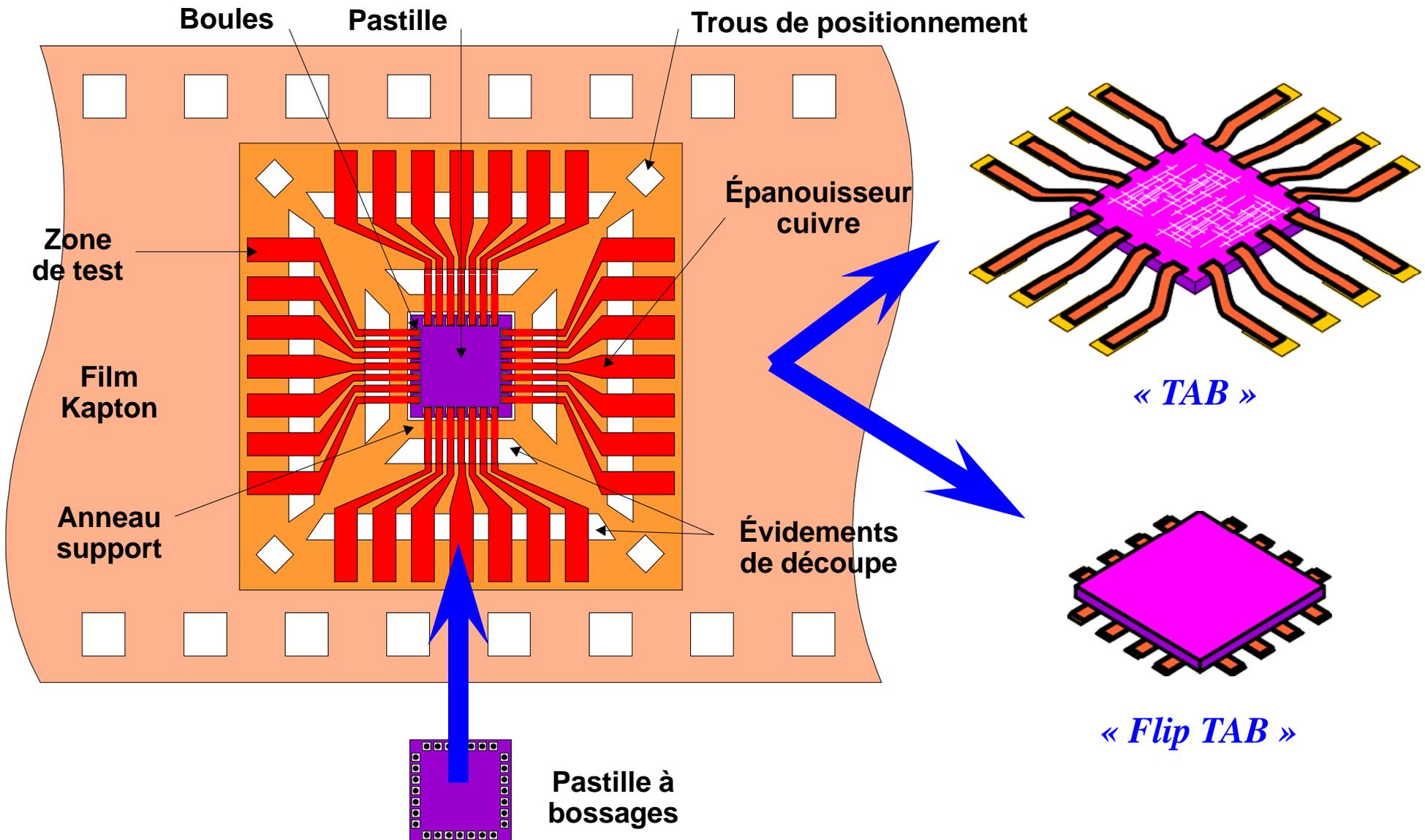
Underfill en L

Underfill en -

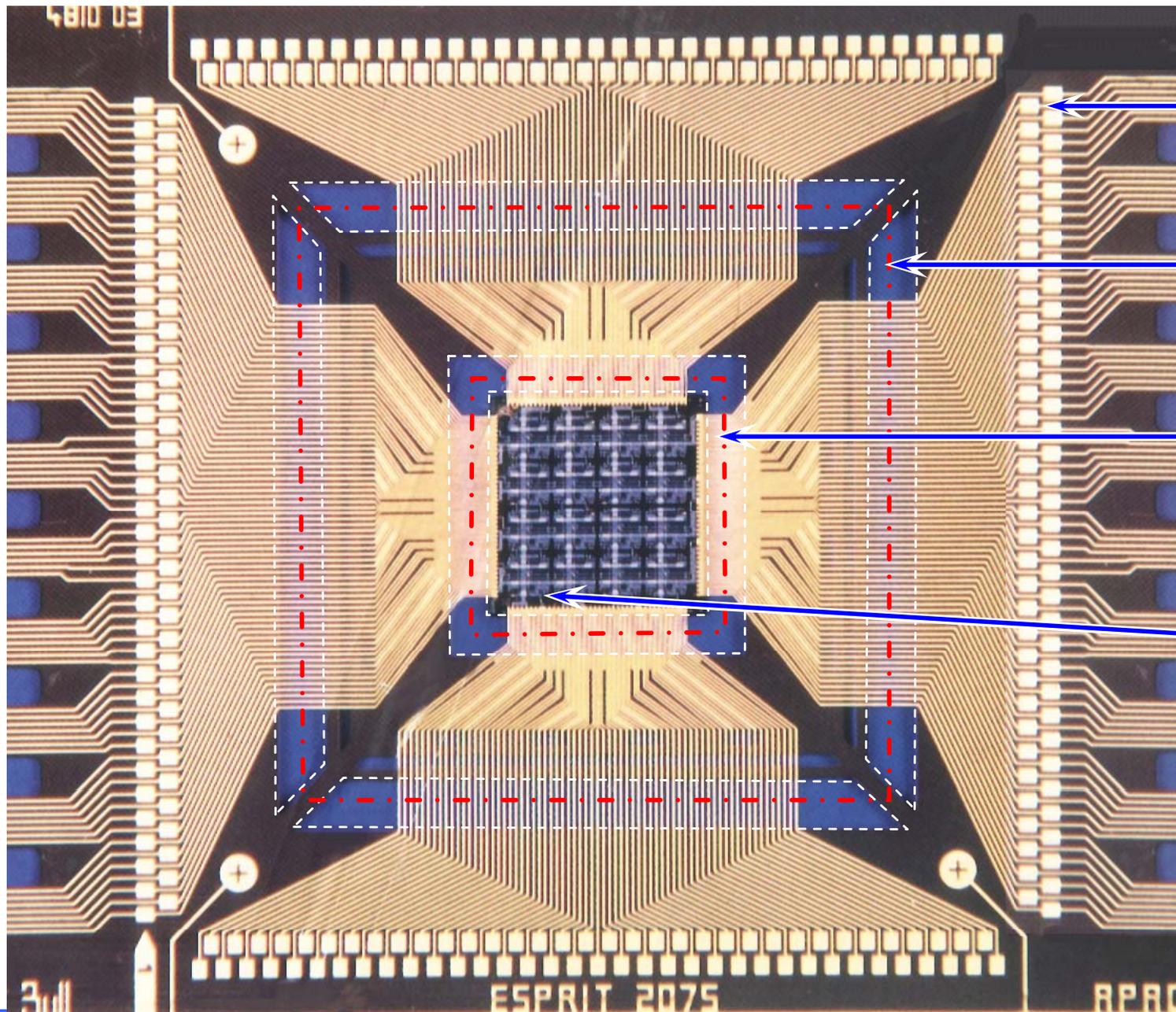


# Transfert Automatique sur Bande (TAB)

## Principe



## Transfert Automatique sur Bande (TAB)



*Zone de test  
(pas 1,27 mm alterné)*

*Découpe OLB  
(TAB au pas 320  $\mu\text{m}$ )*

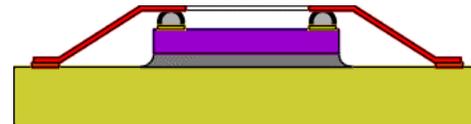
*Découpe OLB  
(FlipTAB  
au pas 125  $\mu\text{m}$ )*

*Câblage ILB  
(Flip Chip  
au pas 125  $\mu\text{m}$ )*

*TAB 320 e/s  
développé par MCTS  
(prog. APACHIP)  
Puce 12 mm  $\times$  12 mm  
Photo NMRC*

# Transfert Automatique sur Bande (TAB)

## Assemblage sur carte, ou sur MCM

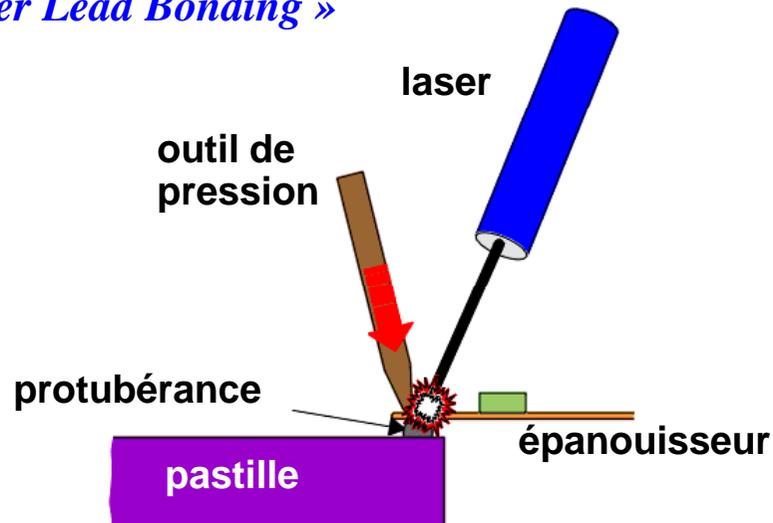


*Méthode 1  
TAB*



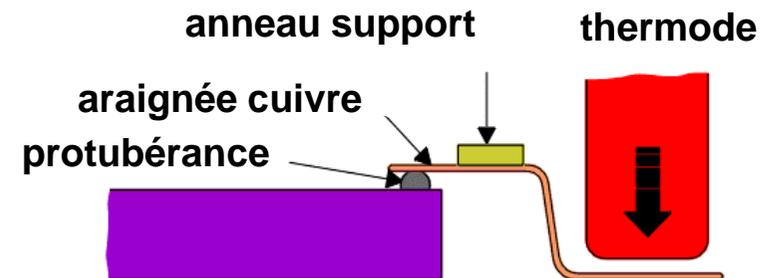
*Méthode 2  
Flip - TAB*

### *ILB* « Inner Lead Bonding »



Liaison « interne », côté pastille

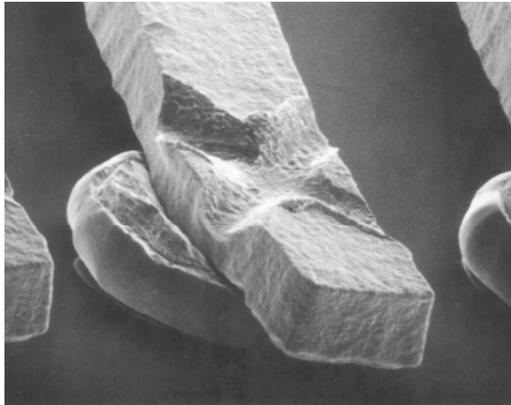
### *OLB* « Outer Lead Bonding »



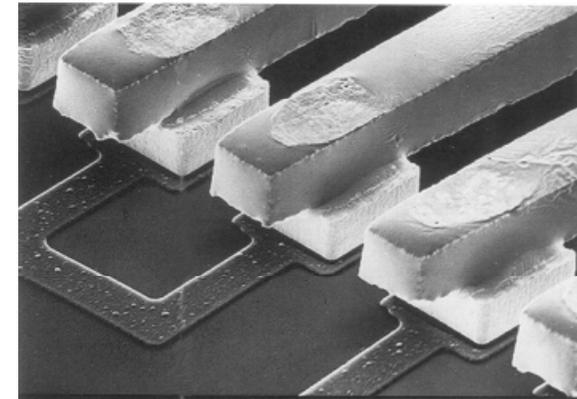
Liaison « externe », côté MCM

## Transfert Automatique sur Bande (TAB)

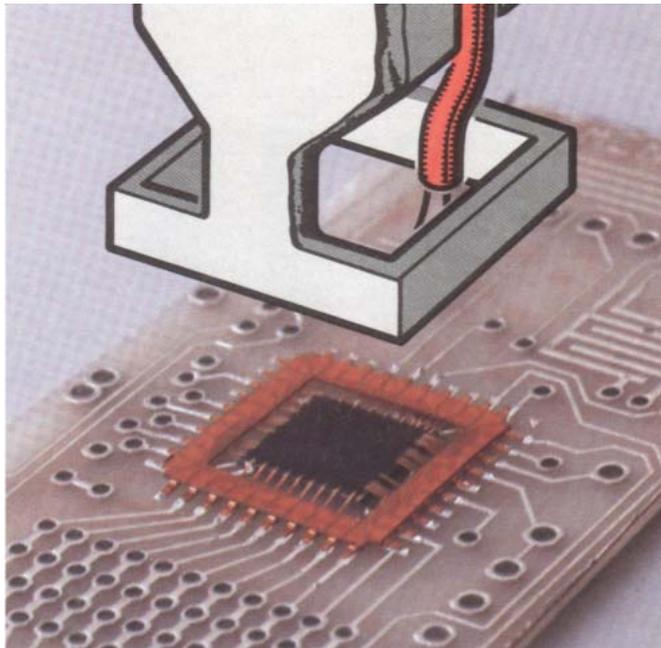
### Utilisation pour interconnexion de Pastilles



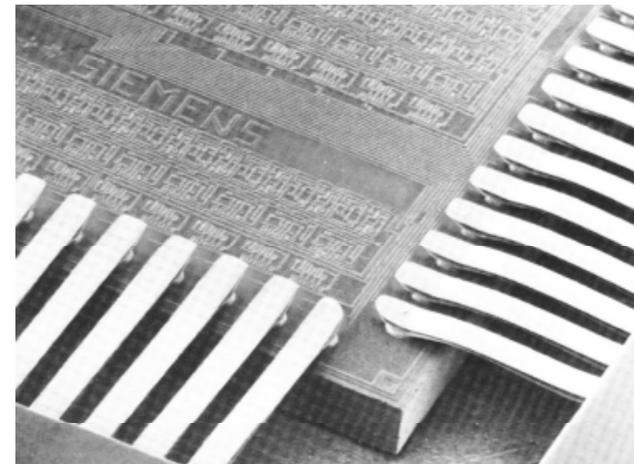
*Soudure ILB par  
thermocompression*



*Soudure ILB par laser  
au pas de 100  $\mu\text{m}$*

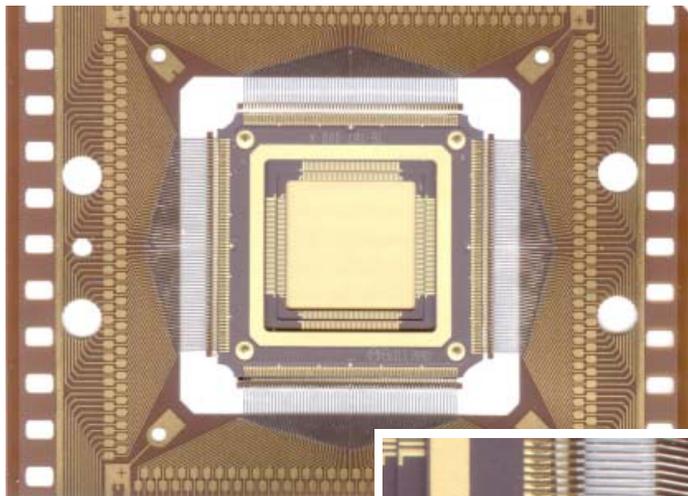


*Soudure OLB  
par thermode*

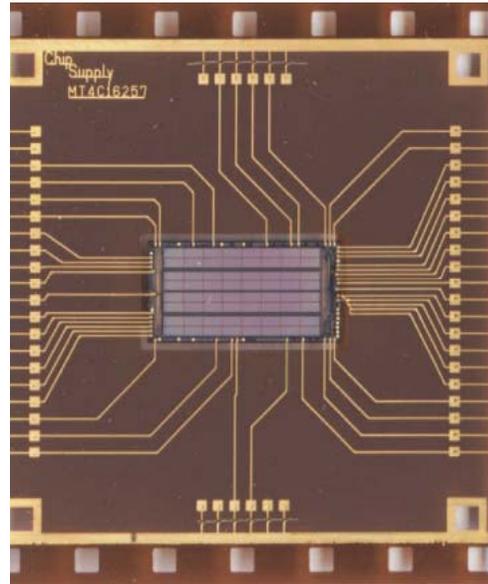
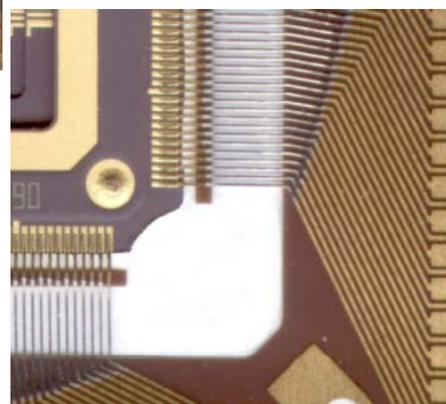


# Transfert Automatique sur Bande (TAB)

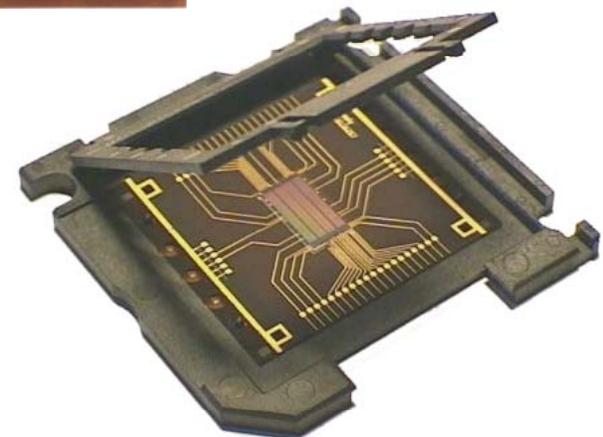
## Autres Utilisations possibles



*Lead-Frame  
de boîtiers  
QFP à pas fins  
(0,635 mm et < )*

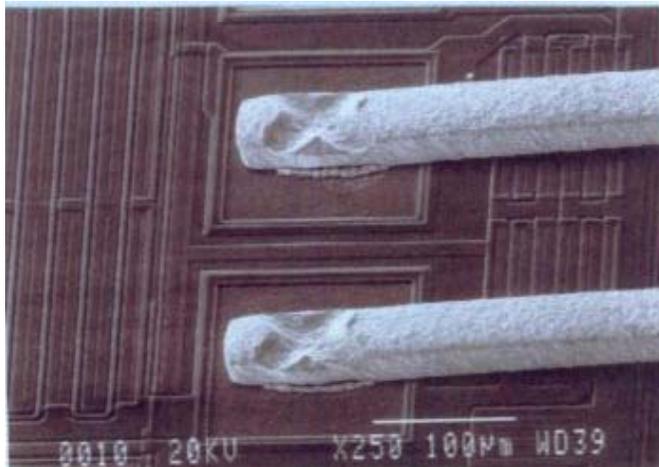


*Support temporaire  
de pastille pour test  
et burn-in en vue  
de KGD*

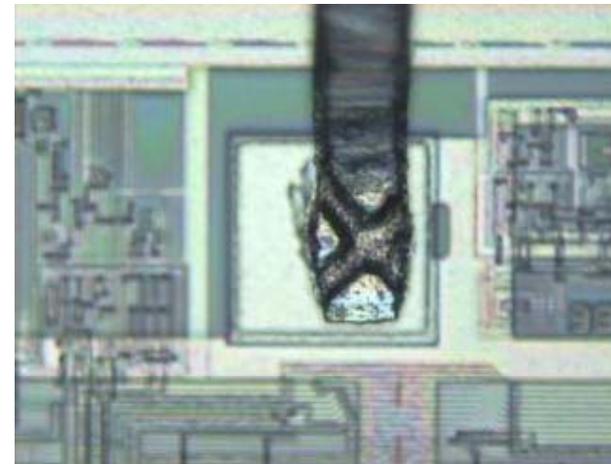


## Transfert Automatique sur Bande (TAB)

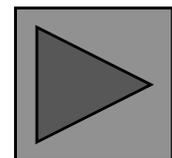
### Mode de liaison sans protubérances le “ Bumpless TAB ” ( selon Bull )



*Bumpless TAB cuivre*

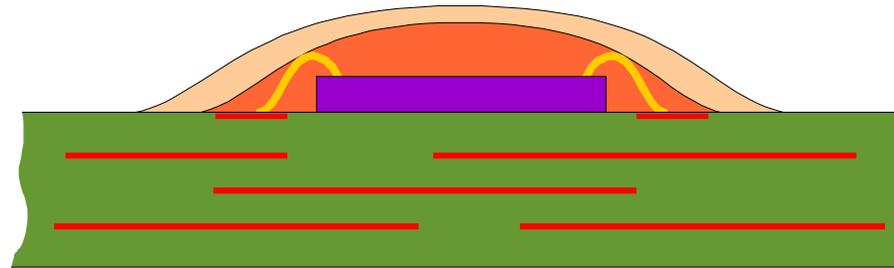


*Bumpless TAB aluminium*



## « Chip-On-Board » ou Pastillage (COB)

### Principe



#### \* Avantages :

- économique,
- profil bas.

### « Glob - Top »

#### \* Problèmes à résoudre :

- câblage de puce, direct sur PCB  
(revêtements, épaisseurs, dureté, résonance ...)
- maîtrise des CTE différentiels  
entre puce et : PCB, enrobant ...
- protection de la puce et des fils

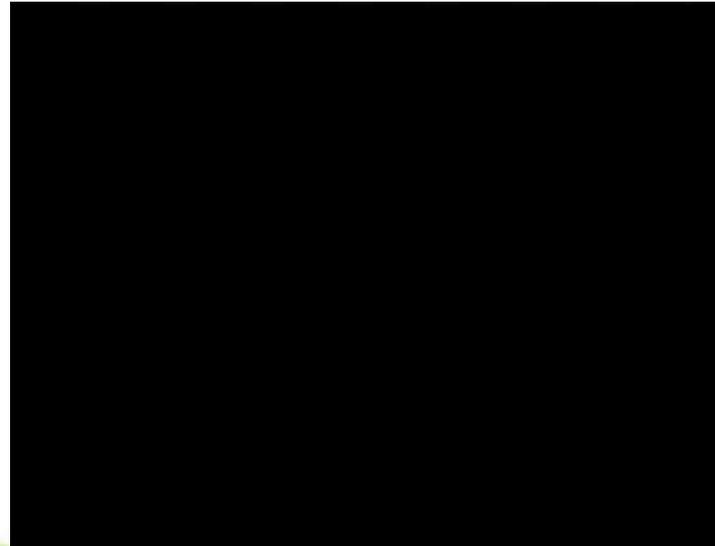
#### \* Questions à se poser :

- herméticité effective ou équivalente,
- innocuité vis-à-vis du silicium,
- stress thermo-mécaniques,
- fiabilité ...

## « Chip-On-Board » ou Pastillage (COB)

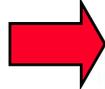
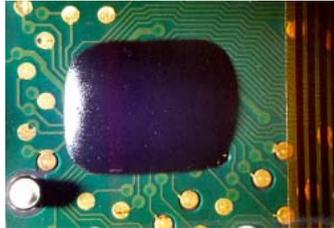
### ■ Principe du « Glob-Top »

- ◆ « *Dam & Fill* » ( vidéo )      ( *Information ASYMTEK* )

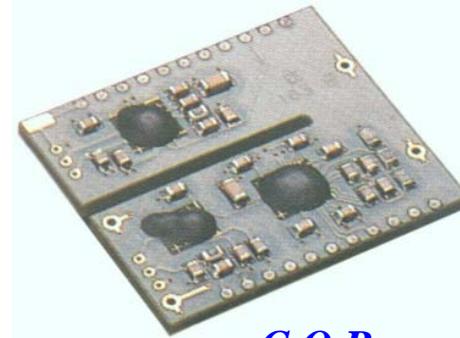


# « Chip-On-Board » ou Pastillage (COB)

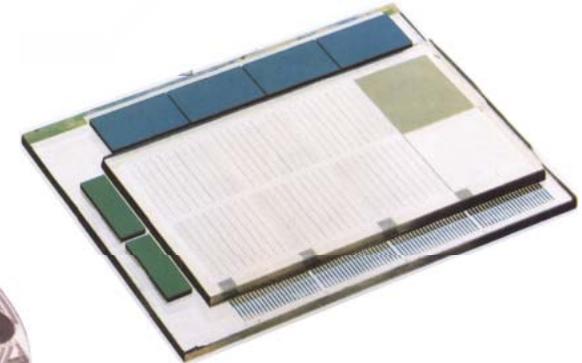
## Applications



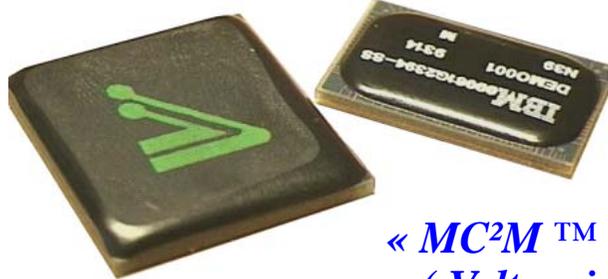
« StarTAC »  
de Motorola



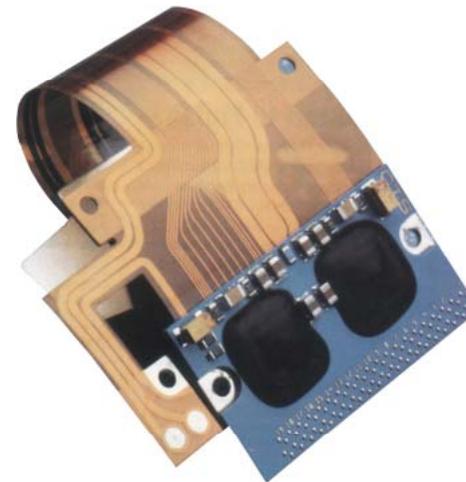
« COB »  
sur PCB ; sur céramique  
(th electronics)



« COG »  
Chip-On-Glass  
(Leti)



« MC<sup>2</sup>M™ et PBGA »  
(Valtronic ; IBM)

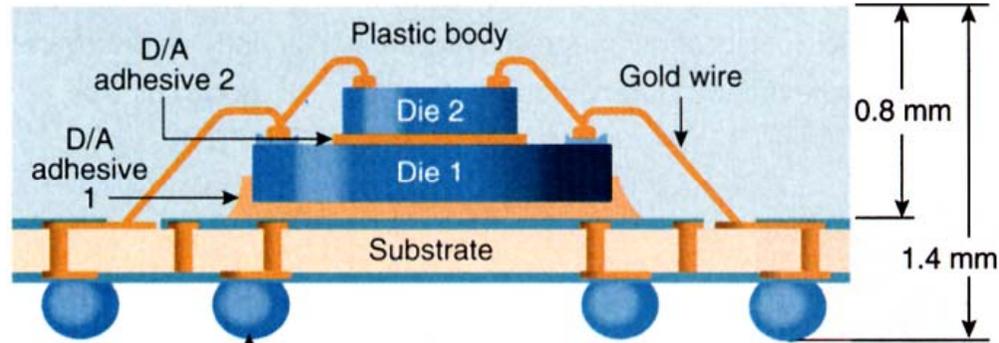


« COF »  
Chip-On-Flex

# « Chip-On-Chip » ou Pastilles superposées (COC)

## Principe et Applications

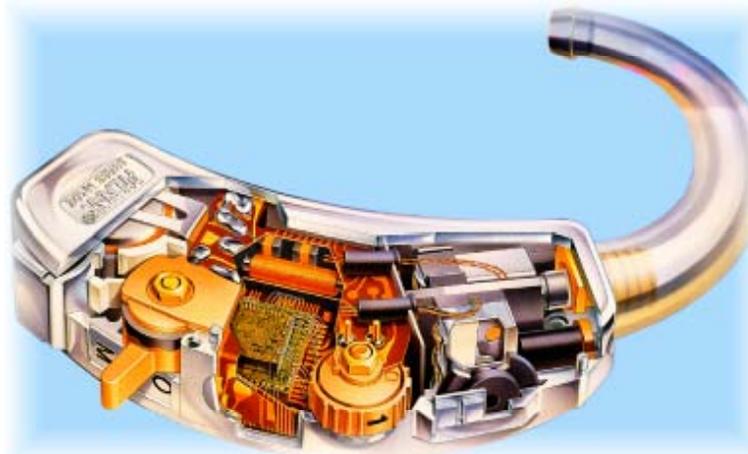
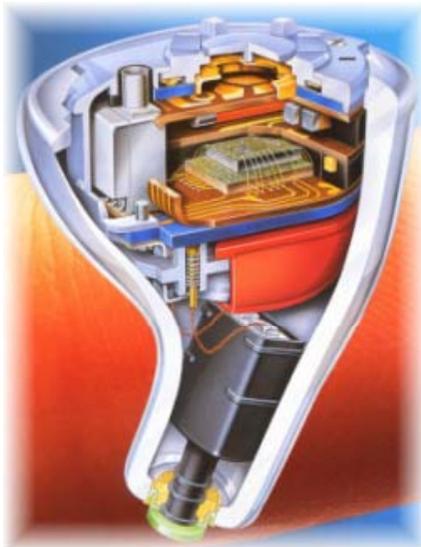
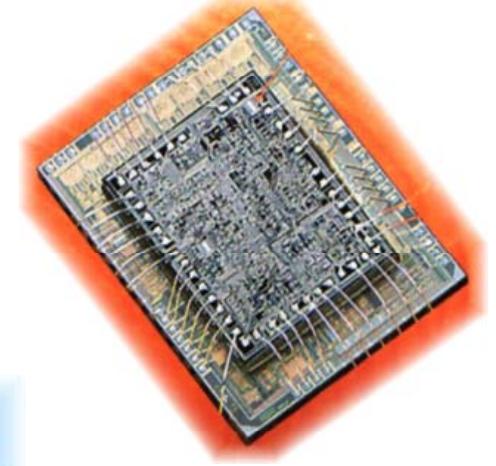
« SDBGA »  
Stacked Die  
Ball Grid Array  
(STATS)



Stacked die

Die thickness: 0.20 mm  
D/A adhesive thickness: 0.025/0.050 mm  
Substrate thickness: 0.26 mm

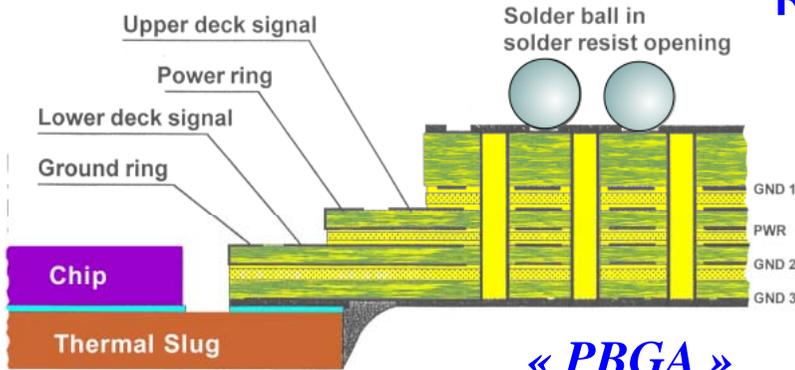
Applications types :  
Médical,  
MP3, PDA ...



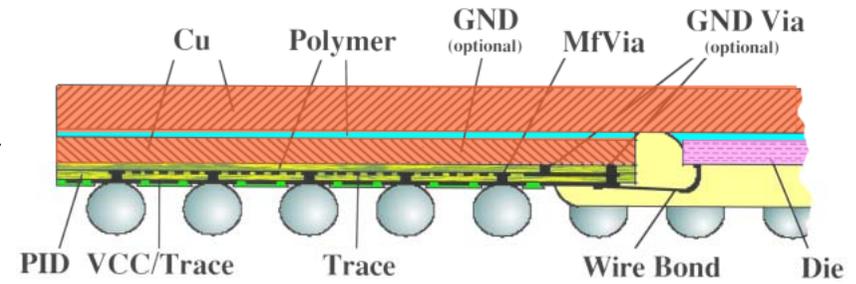
« C O C »  
Chip-On-Chip  
(Phonax)

# « T B G A » ou Tape Ball Grid Array

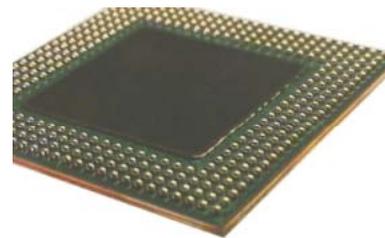
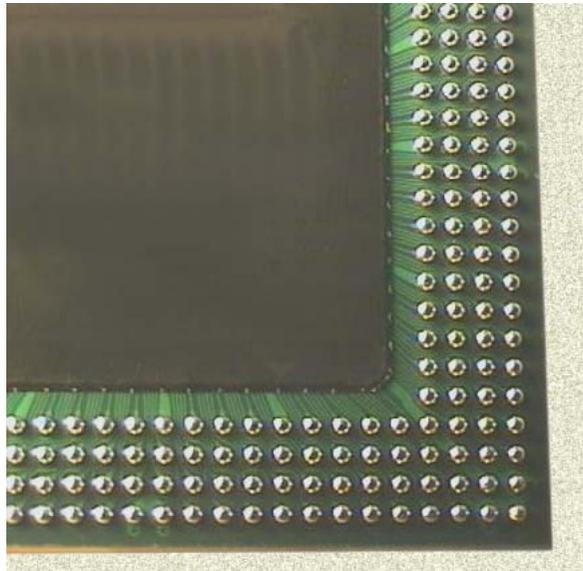
## Raisons d'être



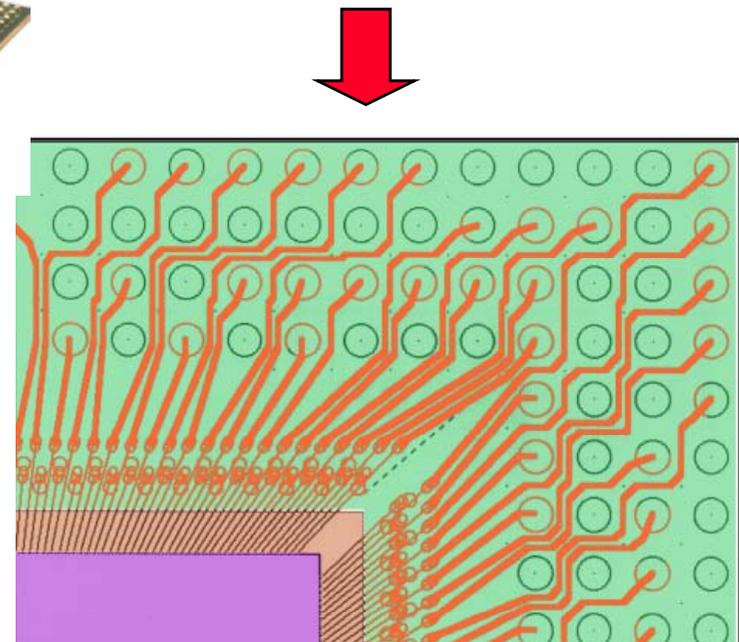
« *PBGA* »  
difficultés de réalisation



« *TBGA* »  
principe du film sur raidisseur



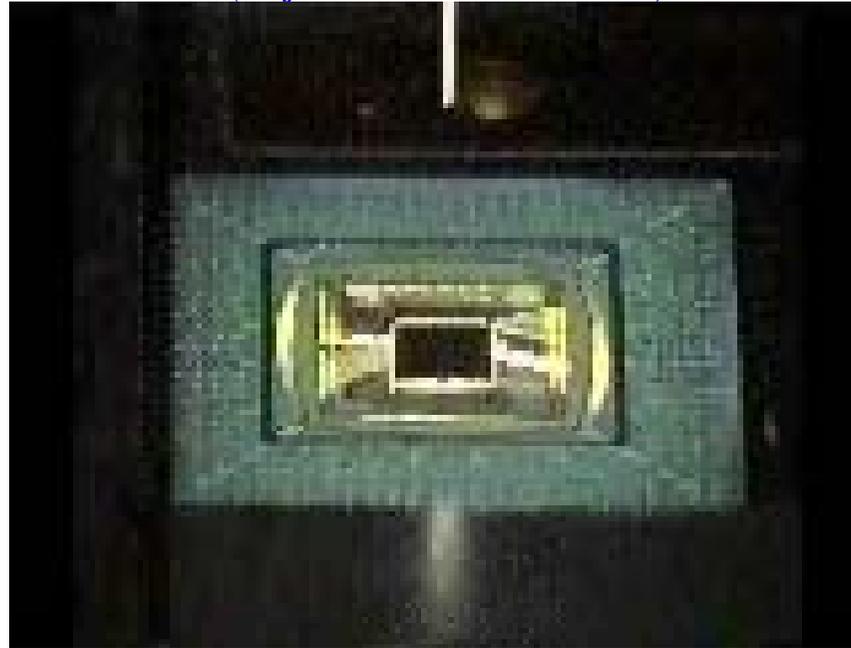
« *TBGA* »  
(Amkor)



## « T B G A » ou Tape Ball Grid Array

### ■ Principe du « T B G A »

*( Information ASYMTEK )*

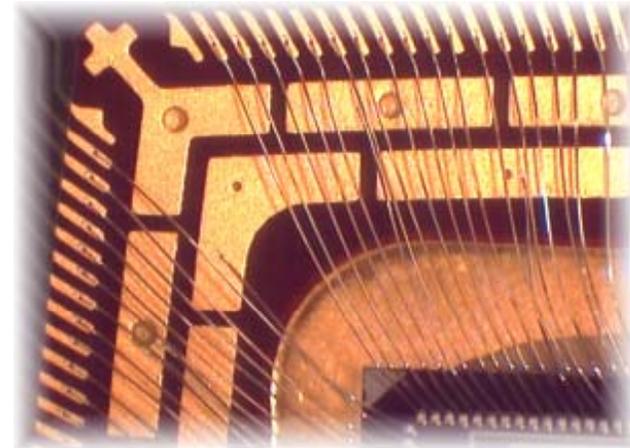
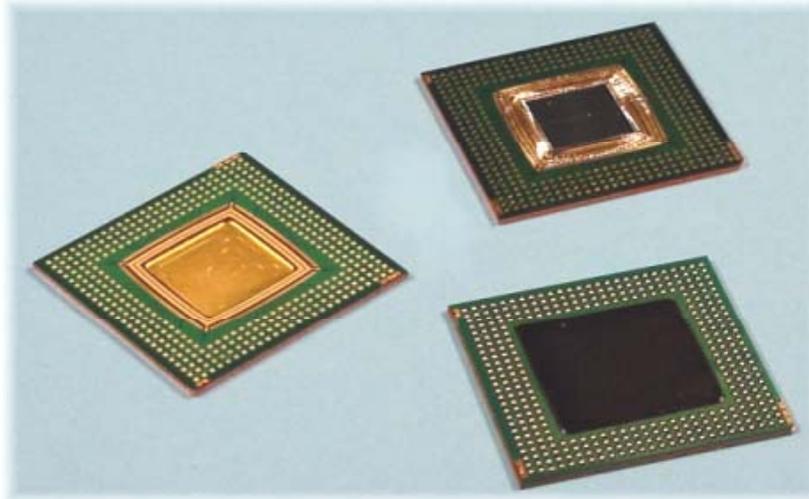


*Glob Top : Remplissage  
d'une cavité de TBGA*

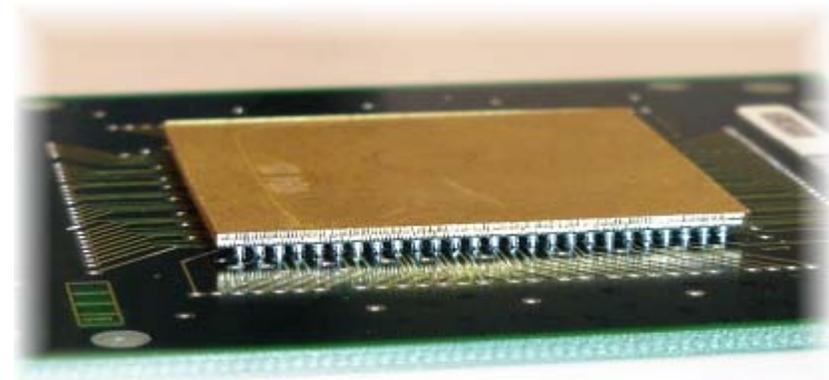
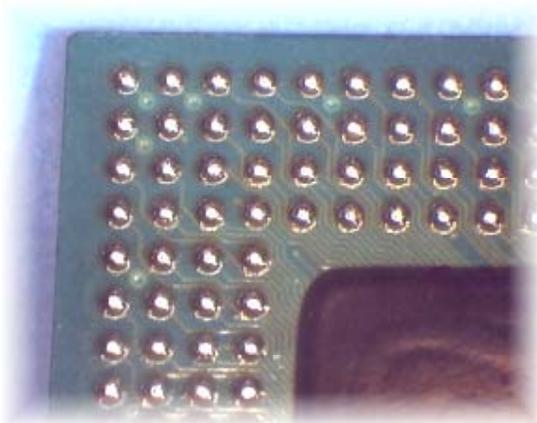
*Raison d'être du TBGA*

## « F R B G A » ou Flex Rigid Ball Grid Array

### Une Solution française

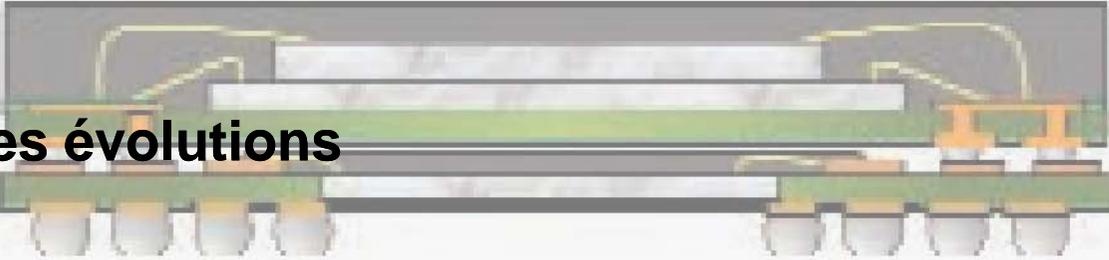


*Étude « FRBGA » 352 e/s ( 1998 - 2000 )  
Consortium DGA + Bull + Cimulec + Leti + Matra Bae Dynamics + Astrium*





- ❖ **Avantages / Inconvénients**
- ❖ **Les contraintes d'assemblage**
- ❖ **Les évolutions**

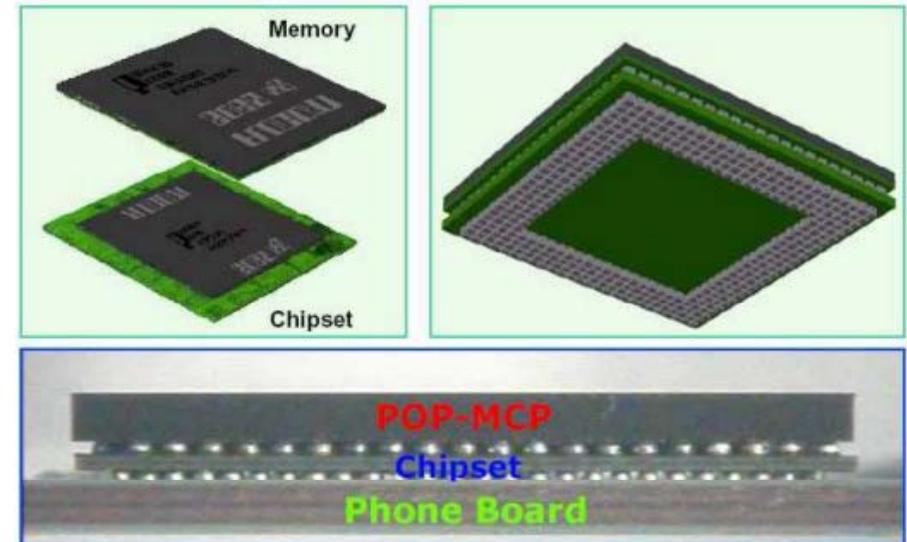


## Les marchés :

- Téléphonie mobile et MP3
- Électronique grand public
- Chiffres : 700 millions de PoP en 2010
- Les précurseurs : Nokia, Texas Ins.

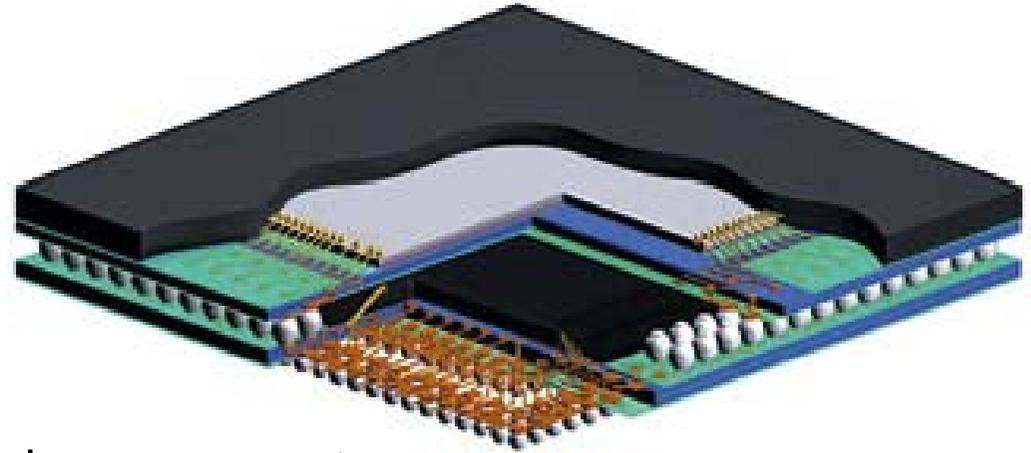
## La structure :

- **PSvfBGA est le boîtier du dessous qui intègre la partie logique**
  - Puce amincie 100µm
  - La plus forte valeur ajoutée pour le PoP
  - Trois rangées de billes (0.3 mm dia.) au pas de 0.5 mm
- **FBGA est le boîtier du dessus qui intègre la partie mémoires**
  - Mémoires Flash, SDRAM
  - Deux rangées de billes (0.3 mm dia.) au pas de 0.65 mm
- **Dimensions : 12x12 mm jusqu'à 15x15 mm**



## Les avantages :

- Optimise le transfert de données
- Utilise les normes internationales (JEDEC PoP Design Guide JC11)
- Flexibilité pour l'approvisionnement des composants (sources différentes entre le PBGA et PSvfBGA)
- Compatible des procédés d'assemblage et du test
- Taille des composants et hauteur



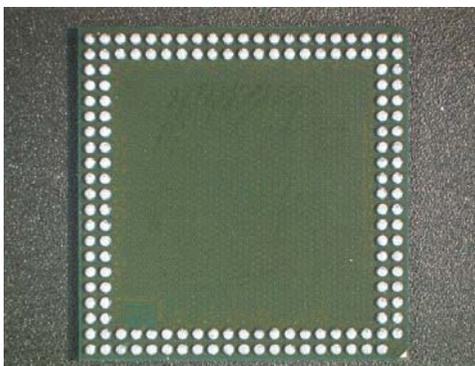
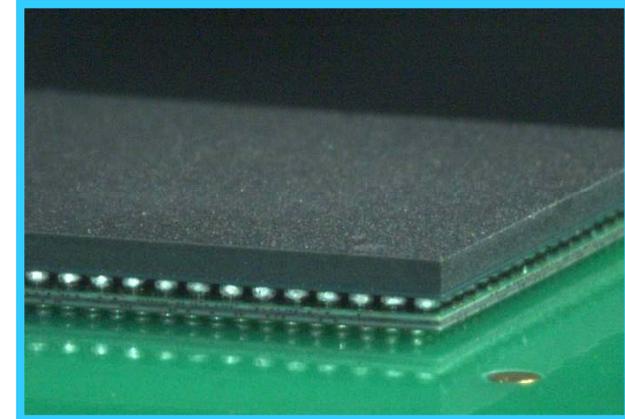
## Les inconvénients :

- Cambrage des modules lors de l'assemblage (Warpage)
- Alignement lors de l'assemblage

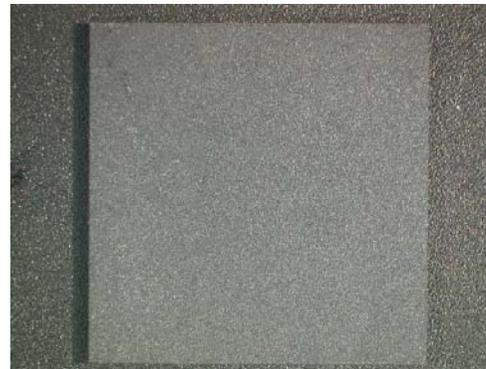


## Les procédés d'assemblages : le matériel

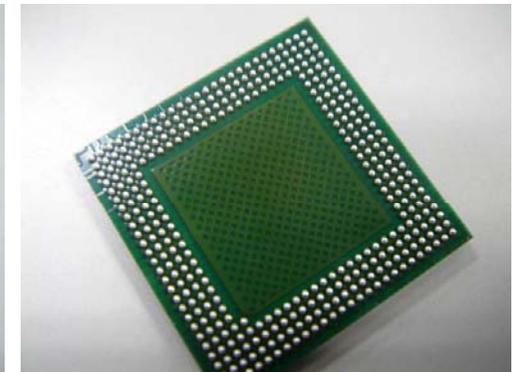
- Pâte à braser / Flux (exemple)
  - SENJU M705-GRN360-K2-V (SAC305)
  - SENJU M705-TVA (transcription)
  - SENJU Deltalux 523H (transcription)
- Sérigraphie : écran 100 à 125  $\mu\text{m}$
- Machine Pick&Place :
  - Système de Dipping
  - Programme spécifique
- Refusion Atmosphère: Air & Azote



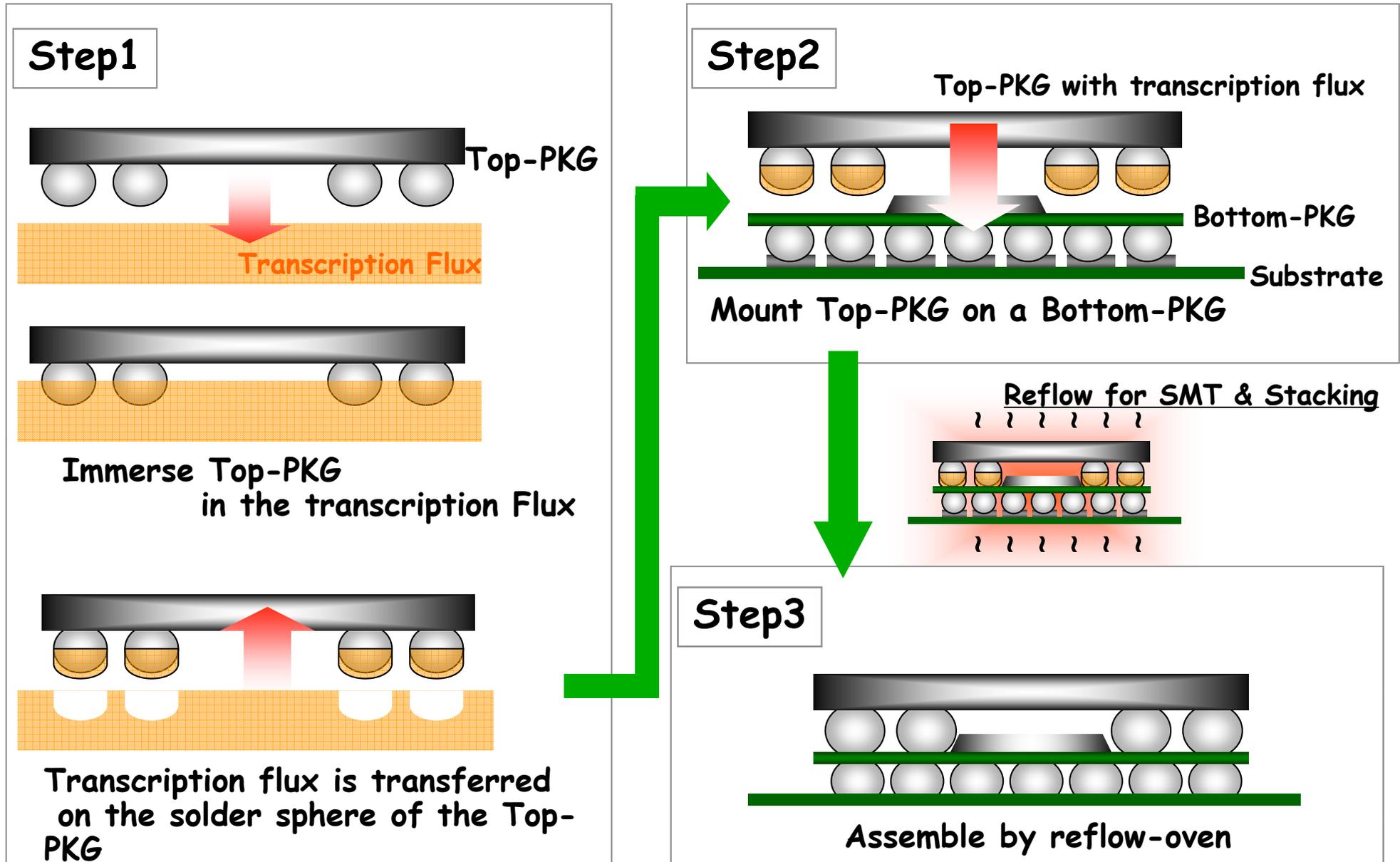
**FBGA-CSP: 0.65mm Pas - 152 billes**



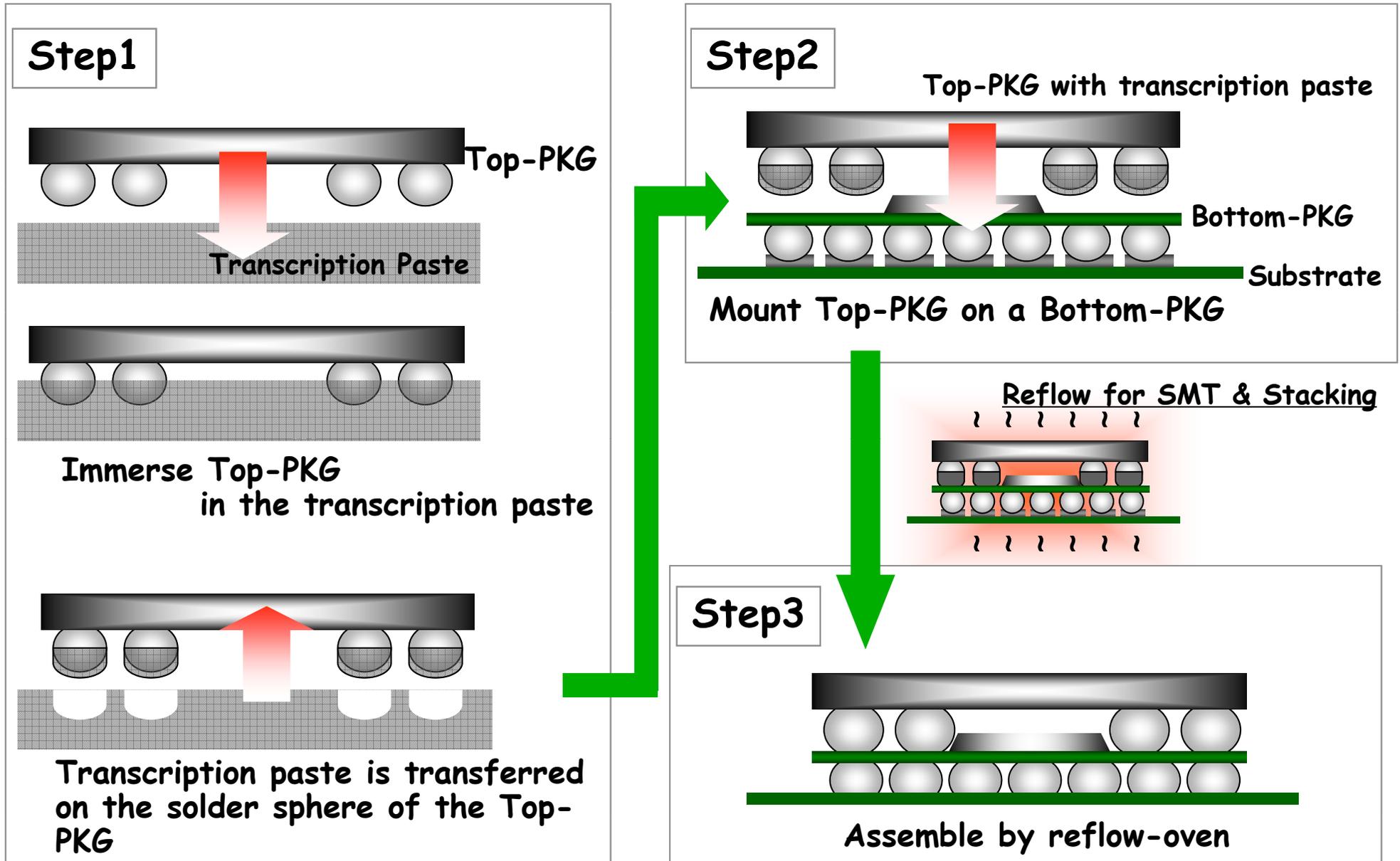
**PSvfBGA : 0.5mm Pas – 353 billes**



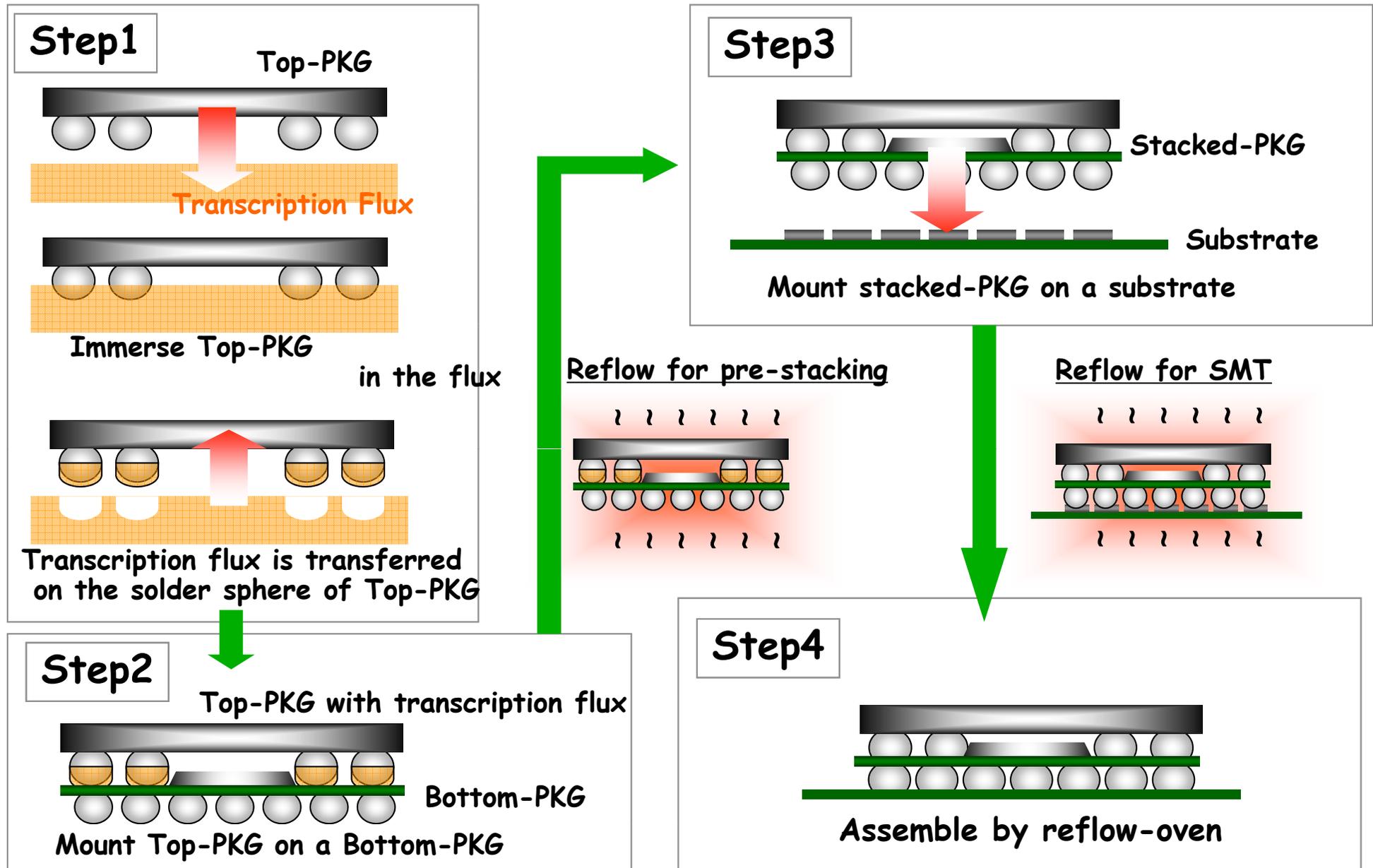
## Les procédés d'assemblages : Dépôt de flux (Flux transcription)



## Les procédés d'assemblages : Dépôt de pâte à braser (Paste transcription)

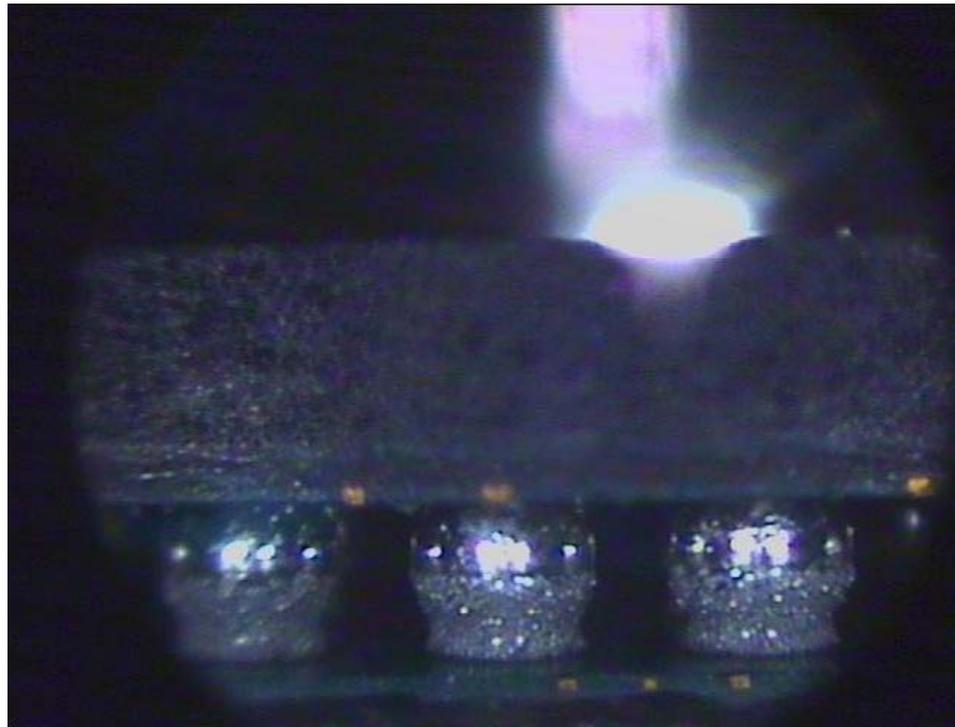


## Les procédés d'assemblages : Pré-empilage – Réparation (Pre-stacking)

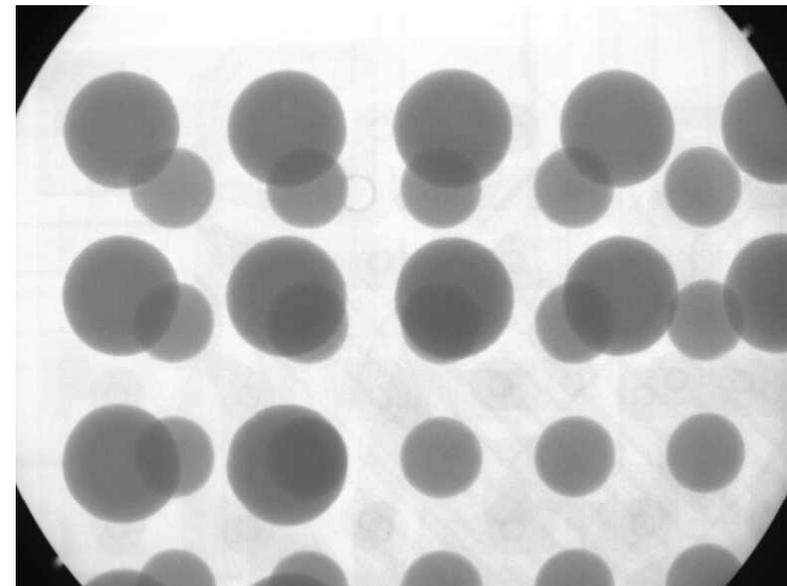


## Les procédés d'assemblages Inspections

Dépôt de flux (Flux transcription)



Dépôt de pâte à braser (Paste transcription)



Inspection RX

## La problématique : Le choix du matériaux de transfert (Dipping materials)

- Rôle :

- Réaliser la jonction des boîtiers (brasage)
- Compenser la déformation et ses effets lors de la refusion



- Il existe plusieurs matériaux pour le transfert :

- Flux
- Pâte à braser
- Les paramètres sont :
  - Adhésion (Tackiness)
  - Viscosité
  - Alliage (SAC, SnAg)
  - Taille/forme des charges

- Le type d'alliage peut aider à la fiabilité

- SAC305 :  $T_f = 217^\circ\text{C} - 221^\circ\text{C}$
- SnAg :  $T_f = 228^\circ\text{C}$

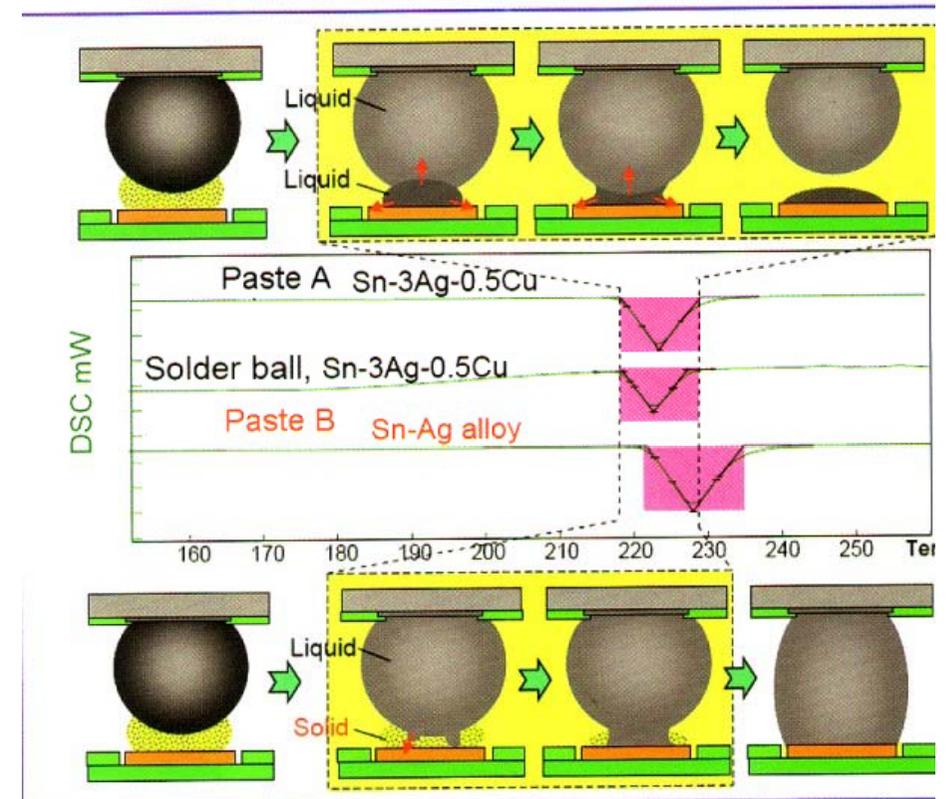
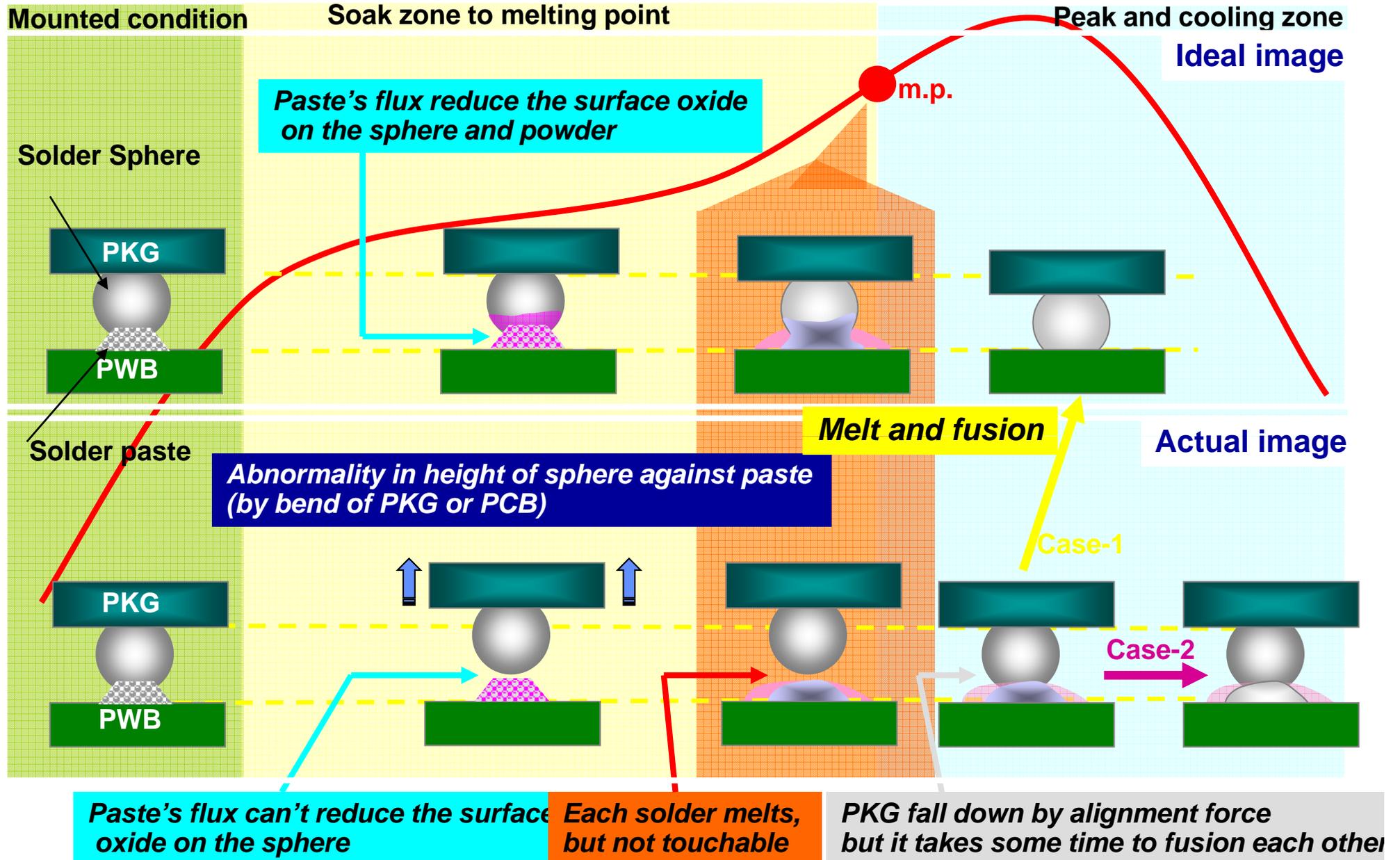


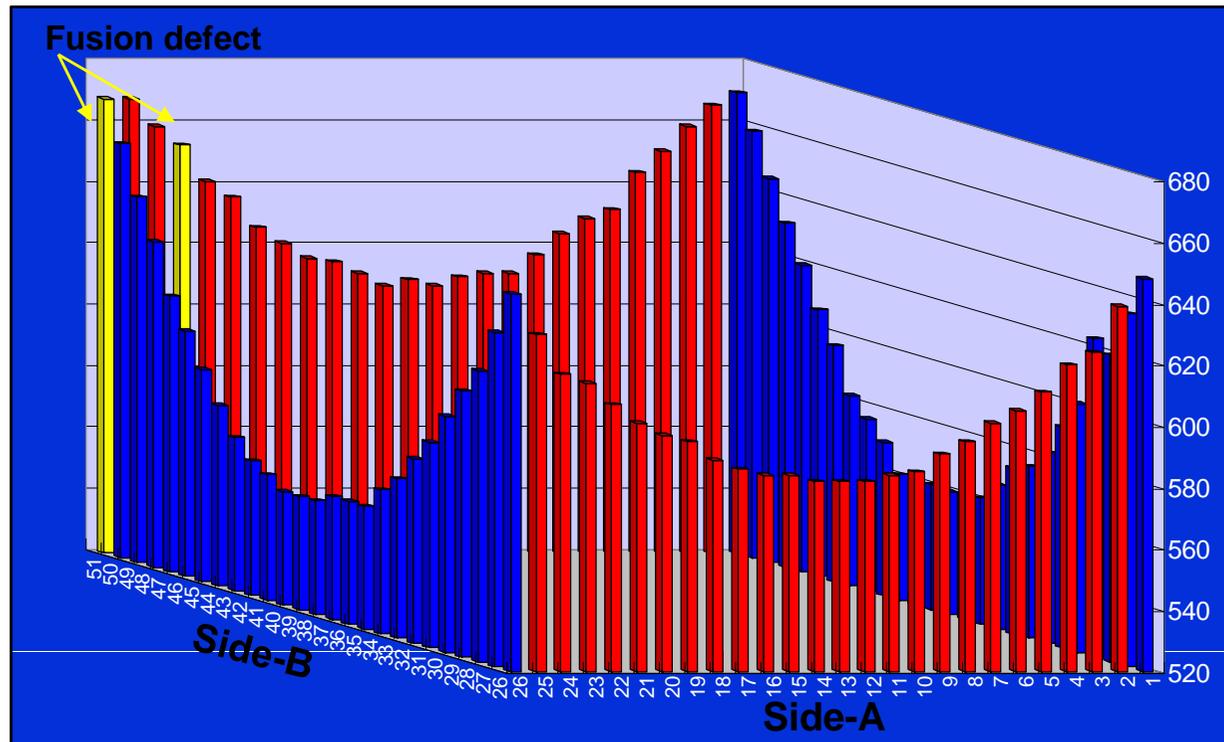
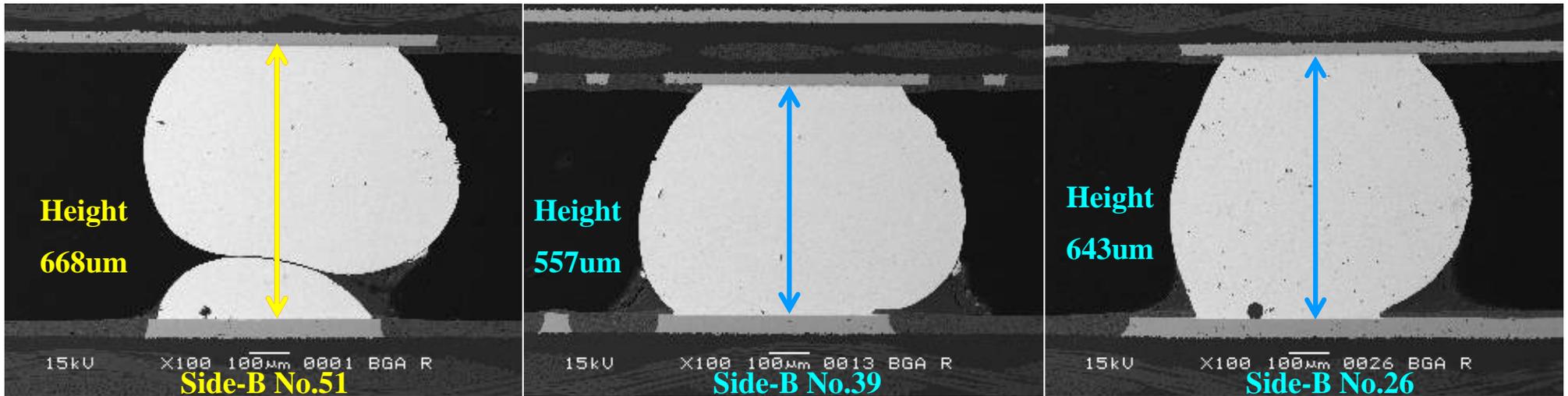
Figure 4. Melting time delay of paste B vs. solder ball essential to fill ball-pad gap<sup>4</sup>.

Source : AMKOR – Global SMT & Packaging 2008

# La problématique : Profil de refusion versus Cambrage



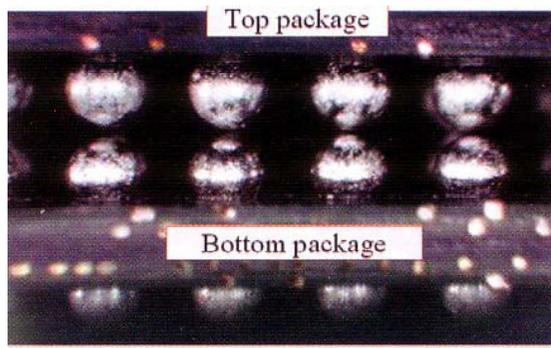
## La problématique : Profil de refusion versus Cambrage



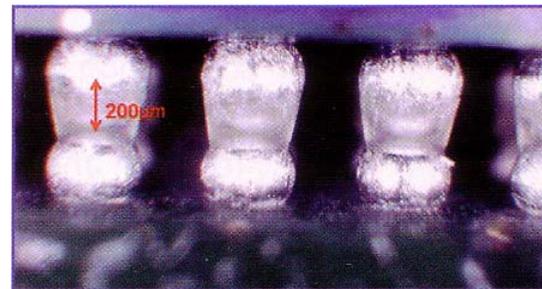
## Les évolutions :

- **SOP technology (Solder on Pad) – Ball to Ball stacking**

- Augmentation de la fonctionnalité, des performances et de la mémoire
- Augmentation de la densité d'interconnexion entre les boîtiers à cause du besoin de mémoires
- Chaque boîtier devient multi-puce (empilées)
- **Conflit : la hauteur entre les deux boîtiers (Standoff height).**

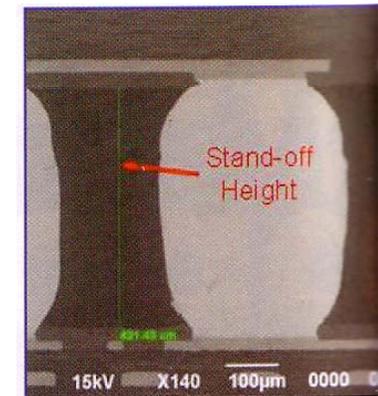


Contact Sphère à Sphère

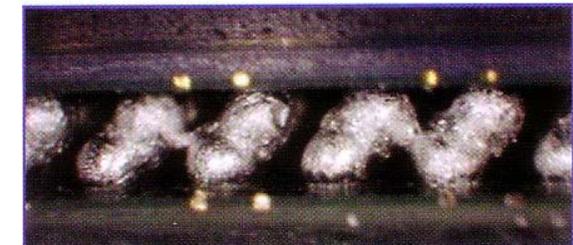


Transcription 200µm  
Avant refusion

Espace  
Inter-boîtiers



Pont résultant du  
glissement



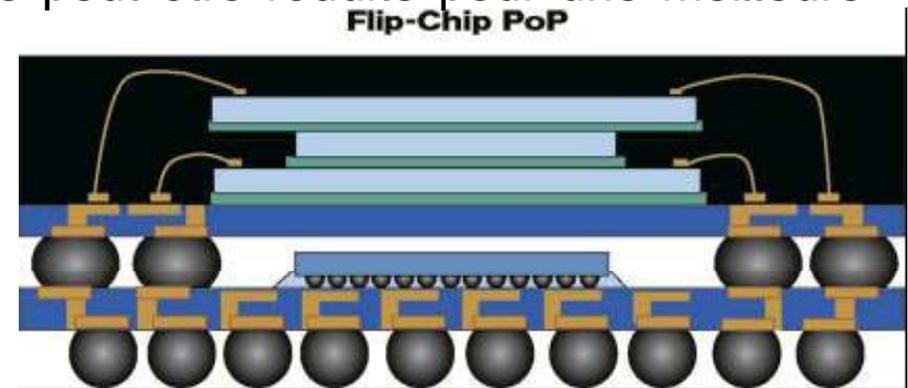
- **Inconvénients :** Glissement bille-bille avant refusion / Logiciel de placement

## Les évolutions :

- **FlipChip PoP** : Flip-chip permet d'atteindre de plus fortes densités et de meilleures performances. De plus la taille peut être réduite pour une meilleure fiabilité.

## Les développements :

- **Contrôler le cambrage 50  $\mu\text{m}$** 
  - Résine d'encapsulation
  - Epaisseur des puces (max 220 $\mu\text{m}$ )
- **Réduction de l'épaisseur totale**
  - Passer de 1.6 mm à 1.4 mm
  - Epaisseur des puces de 75 à 60  $\mu\text{m}$
  - Epaisseur des substrats vers 130  $\mu\text{m}$
  - Epaisseur de la colle
  - .....toute la chaîne est concernée, le diamètre des billes de brasage
  - Mais la taille du boîtier reste constante 12x12 mm à 14x14 mm.
- **Réduction du pas :**
  - PSvfBGA : 0,5 à 0,3 mm
  - FBGA : 0,65 à 0,4 mm



## TMV: An 'Enabling' Technology for Next-Gen PoP Requirements

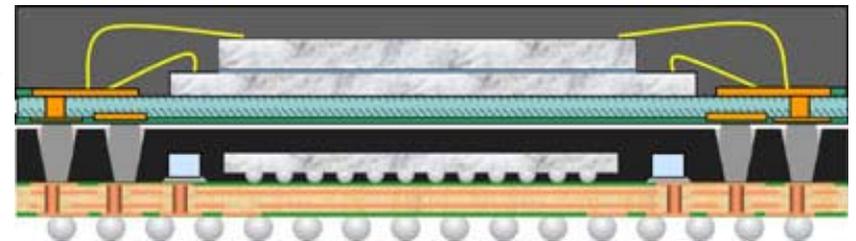
After years of R&D, testing and customer evaluations, Amkor's overmolded/laser ablation technology, a.k.a. through-mold via (TMV), is ready to meet next-generation package-on-package requirements.

Demand for package-on-package (PoP) is still rising, thanks in large part to wildly popular smartphones like Apple's (Cupertino, Calif.) iPhone and Research In Motion's (Waterloo, Canada) BlackBerry products. Recent teardowns of smartphones indicate that most major makers are relying on PoP to meet their digital processor and memory 3-D packaging requirements.

PoP technology is constantly evolving to address changing signal processing and memory architecture requirements, but also must overcome technical obstacles such as conventional solder ball interfaces and surface-mount technology stack processing in terms of next-generation high-density PoP requirements. In response, [Amkor Technology Inc.](#) (Chandler, Ariz.) has developed a forward-looking matrix mold laser ablation process to create through-mold via (TMV) solderable interconnects.

TMV bottom packages use matrix strip molding, which is standard in fine-pitch BGAs (FBGAs), to resolve warpage control and die-to-package density challenges found in today's bottom PoPs. "After molding, a laser process ablates the mold compound in the locations where TMV interconnects are required," said Lee Smith, Amkor's vice president of laminate business development.

**Through-mold via (TMV) technology is expected to provide size, thickness and warpage reductions, while enabling the higher interconnect density, performance and reliability desired for next-generation PoP applications.**

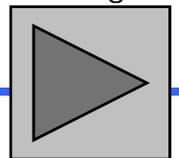


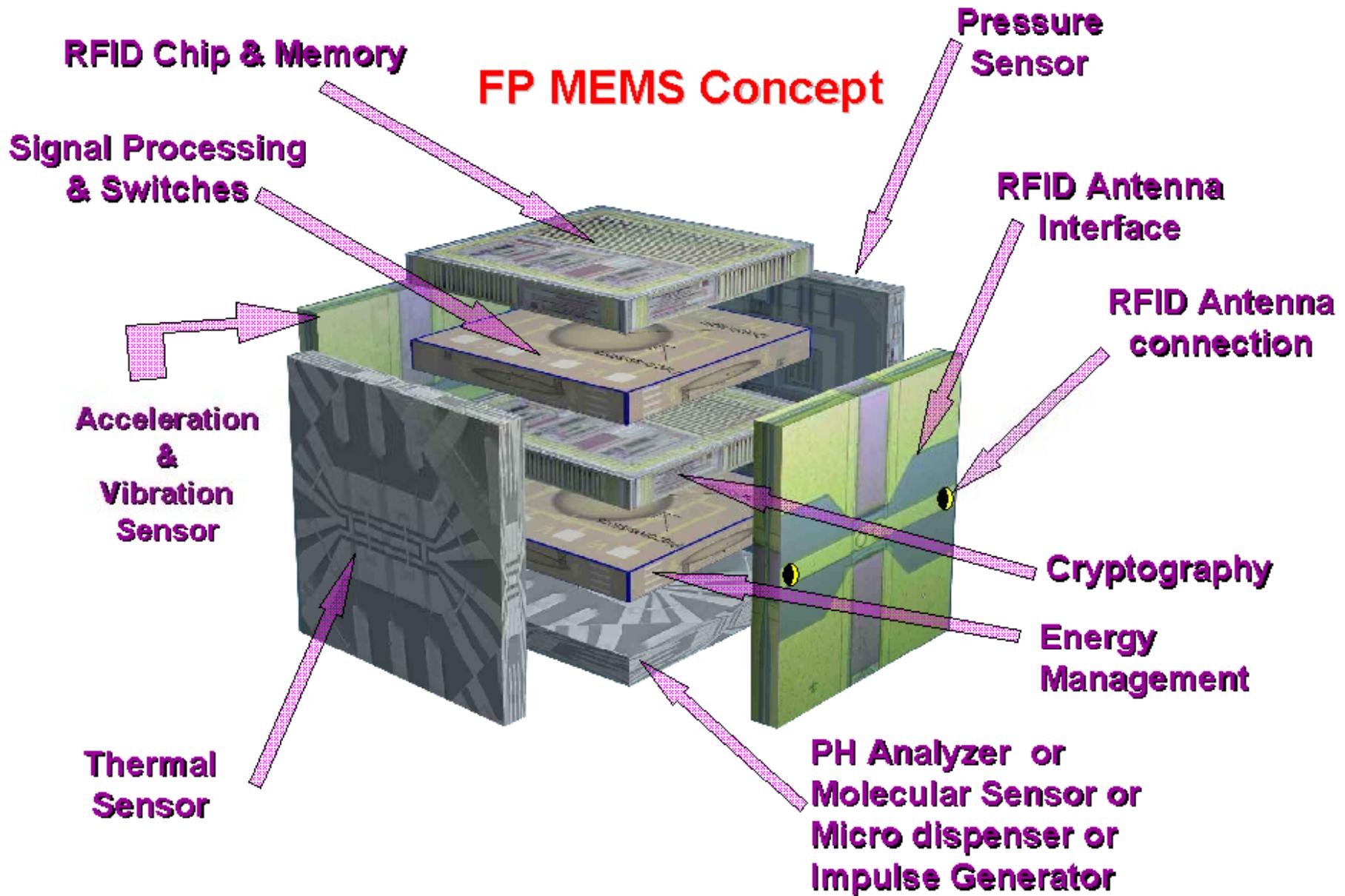
### Benefits of TMV technology

Test vehicles and trials show TMV technology offers a much-coveted warpage control improvement, according to Smith, while also enabling a bottom package thickness reduction. "For PoP to continue as the 3-D architecture of choice, a new bottom package technology must deliver higher densities at a lower cost. Future bottom packages must support wirebond, stacked die, flip-chip and passive integration requirements in a smaller, thinner, flatter bottom package that can scale with BGA pitch reductions to 0.3 mm or below," he added. "Overcoming the scaled interface bottleneck was the first major obstacle to overcome, and we believe we have achieved that with our TMV interconnect technology."

As for TMV cost, Smith noted that it's a very minor additional charge, less than ~10% above the standard bottom PoP. The cost adder "could be as low as even 5% if it provides a size reduction," he added. "If you try to apply a standard PoP to next-generation requirements, it may not be capable of doing it, so it's a minor cost vs. the current PoP technology. From a systems standpoint, it has minuscule impact. You'd probably pay more to try to push the current technology to higher current density limits."

Looking forward, without an innovation in the stacked interface, a wide range of next-generation requirements would have stressed the infrastructure, Smith pointed out. "TMV technology allows us to leverage our global FBGA manufacturing and development capabilities to achieve low cost in high densities."





## Généralités – Historique sur 50 ans d'interconnexion

Technologies	Début	Status	Causes
Hybride	1960	Disparition progressive	Rendement / Réparation / Coût
MCMs	1990	Identique à l'hybride sous un autre nom	Rendement / Réparation / Coût
Wafer Scale Integration	1985 - 1990	Disparition totale en 5 ans	Rendement / Non réparable / Coût
3D / Chip On Chip - IRVINE	1988	Pas de production Puces re routées Pas de test	Rendement / Non réparable / Coût
3D / Chip On Chip – Texas Instrument	1989	Pas de production Puces re routées Pas de test Arrêt 1992 (Décision stratégique)	Rendement / Non réparable / Coût
3D / Chip On Chip – Thomson / 3D Plus	1989	Puce standard Test avant empilage	Bon rendement En production
3D / Chip On Chip – Staktek / Entorian	1990	Puce nue Ré-encapsulée en TSOP Puis TSOP standard	Bon rendement / Passe du Hi-Rel au commercial avec TSOP / Gros volume

## Généralités – Historique sur 50 ans d'interconnexion

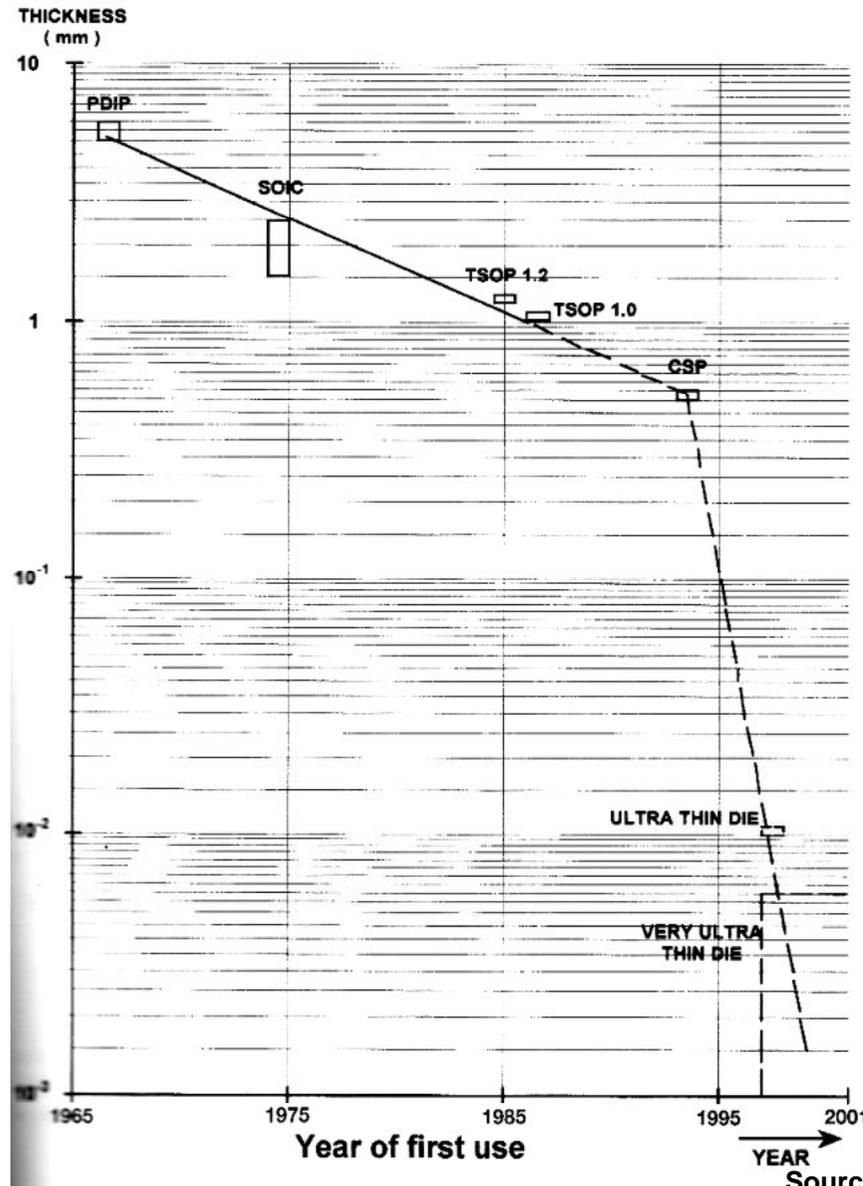
Technologies	Début	Status	Causes
3D / Chip On Chip - DensePac	1990	Puce standard Test avant empilage mais utilisation de chip carrier	Trop volumineux / Coût Arrêt de production en 1999
3D / Chip On Chip – Memory Module / VCI	1992	Puce re routée et identique Pas de test	Licence au Japon en 2007 pour empilage de 2 DDR2
3D / Chip On Chip – AMKOR, ASE,... PiP	2003	Puce standard Pas de test Arrêt progressif	Rendement / Coût
3D / Chip On Chip – AMKOR, ASE,... PoP	2005	Puce standard avec 2 sous modules testés et/ou déverminés avant empilage	En production grand volume
3D / WLP	Début	Status	Causes
WLP avec TSV	2003	Puce identique, pas de test, pas de réparation En R&DI – Front End	Pas encore en production
WDoD – 3D PLUS	2001 (WALPACK)	Wafer standard, test avant empilage (KGRW) En R&DI – Mid End	Prototype en 2008

## Généralités

- Les critères de réussite techniques et économiques sont souvent les mêmes : **Rendement – Coût**
- La concurrence vient des technologies « plus anciennes » comme celle basée sur le circuit imprimé : boîtier QFN (moins coûteux)
- Epopée WSI (Wafer Scale Integration) : 5 ans de durée de vie – Tous les grands du Front End y ont goûté – Performances insuffisantes – Rendement quasi nul.
- Actuellement on observe :
  - Wafer Level Package prend le dessus sur le Chip on Chip
  - Les majors du Front End investissent dans le TSV
  - Naissance de fonderies Middle-End

## Généralités

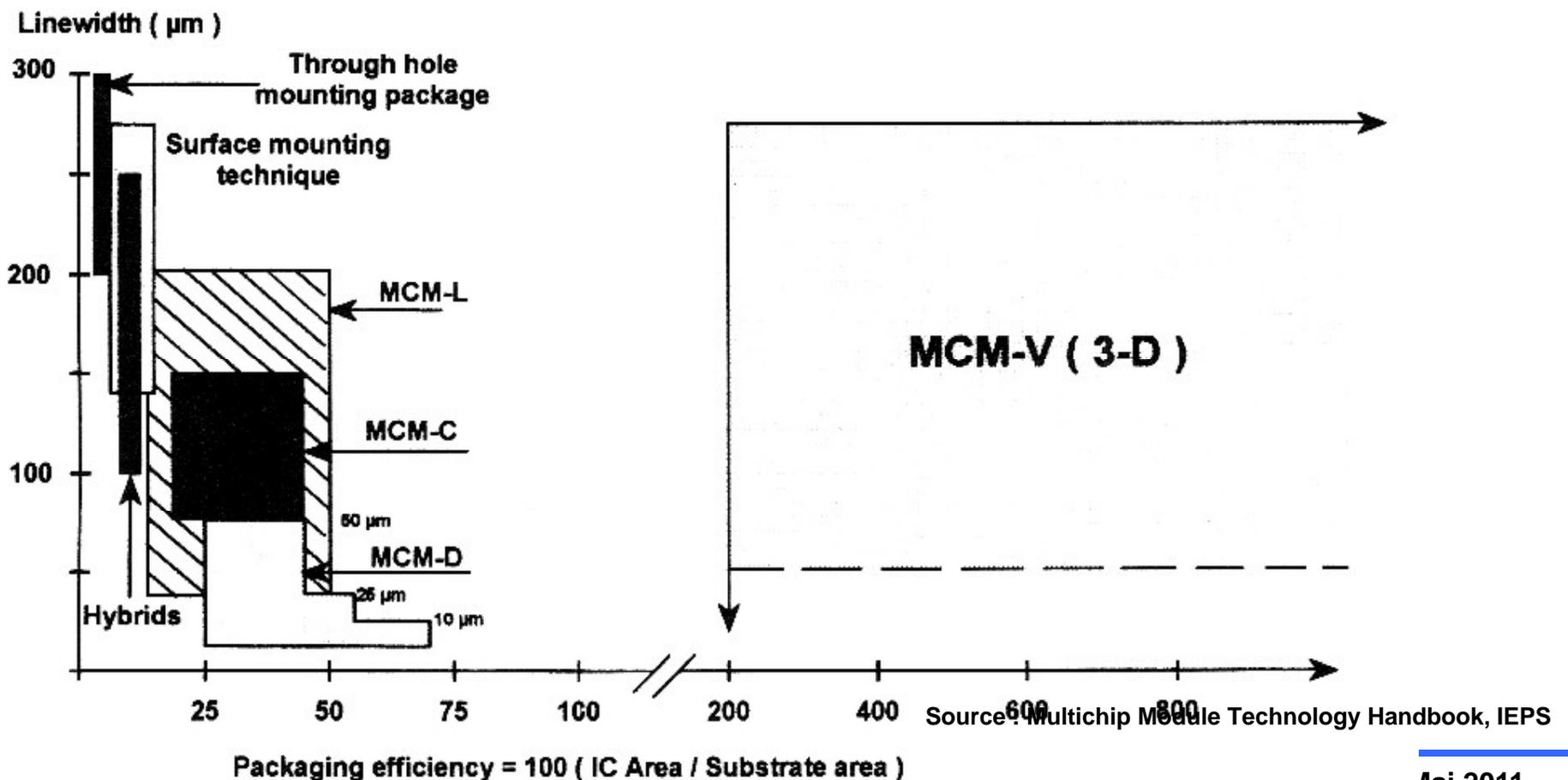
- L'intégration ou densification s'est réalisée par l'amincissement de la puce.



Source : Multichip Module Technology Handbook, IEPS

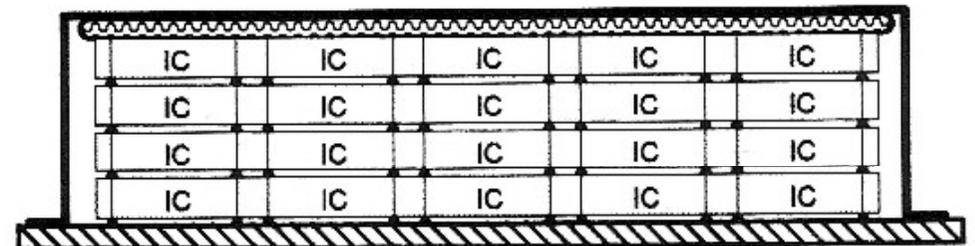
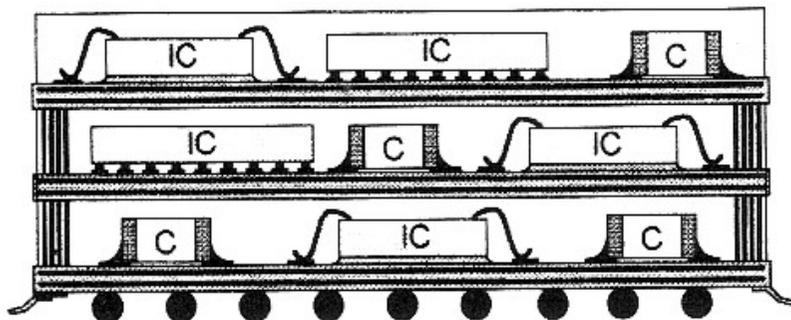
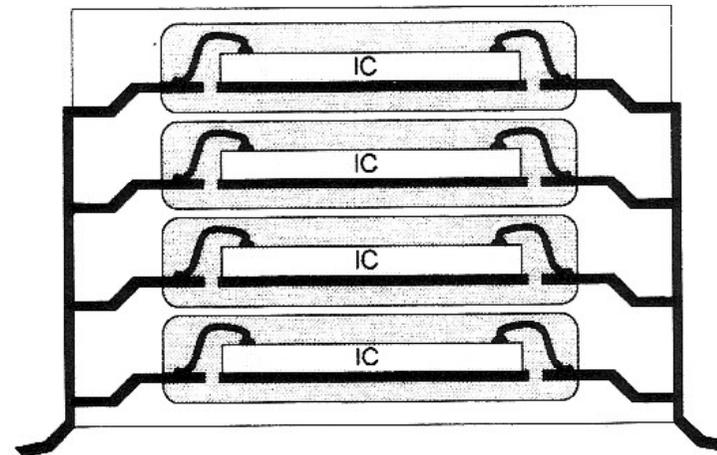
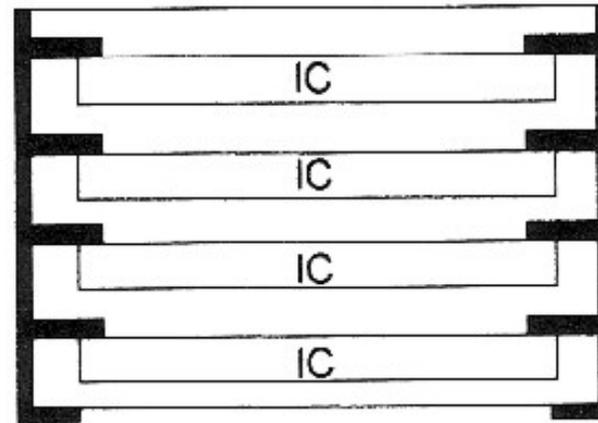
## Généralités

- La tendance de densification des composants ou MCM suit la même évolution que celle de la puce nue.
- Un gain de 8 à 10 est obtenu en 30 ans entre la technique d'assemblage en trous traversant et le substrat MCM le plus dense.
- La technique du 3D apporte un gain de X100 sur un intervalle large de largeur de piste [50 ; 300  $\mu\text{m}$ ].

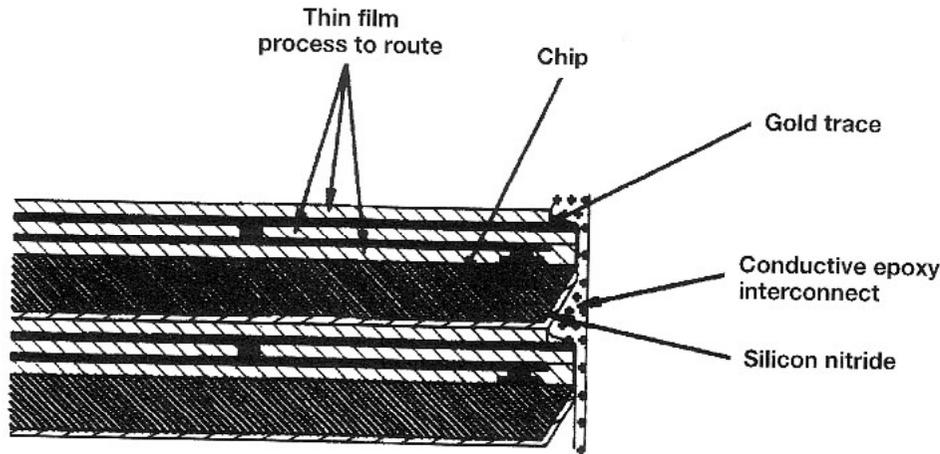


## Les 4 grandes familles techniques

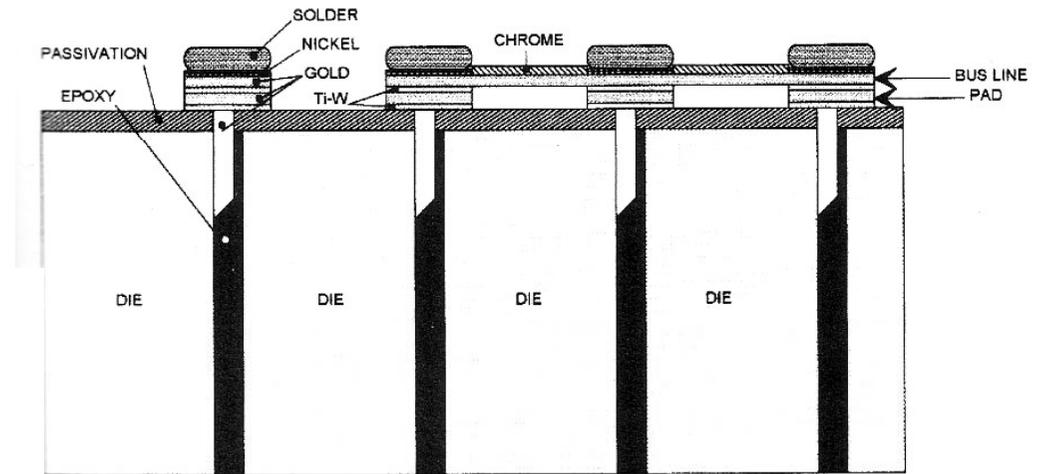
- L'empilage de puces nues
- L'empilage de boîtiers
- L'empilage de MCMs
- L'empilage de wafers



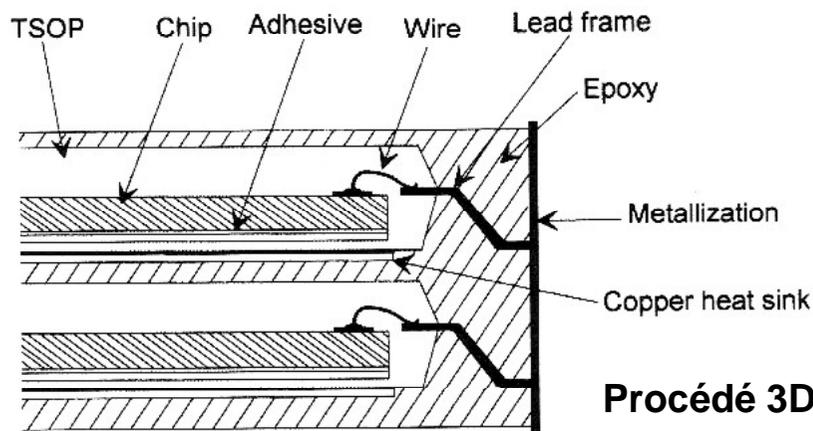
## Des exemples d'empilage



### Procédé Cubic Memory Technology

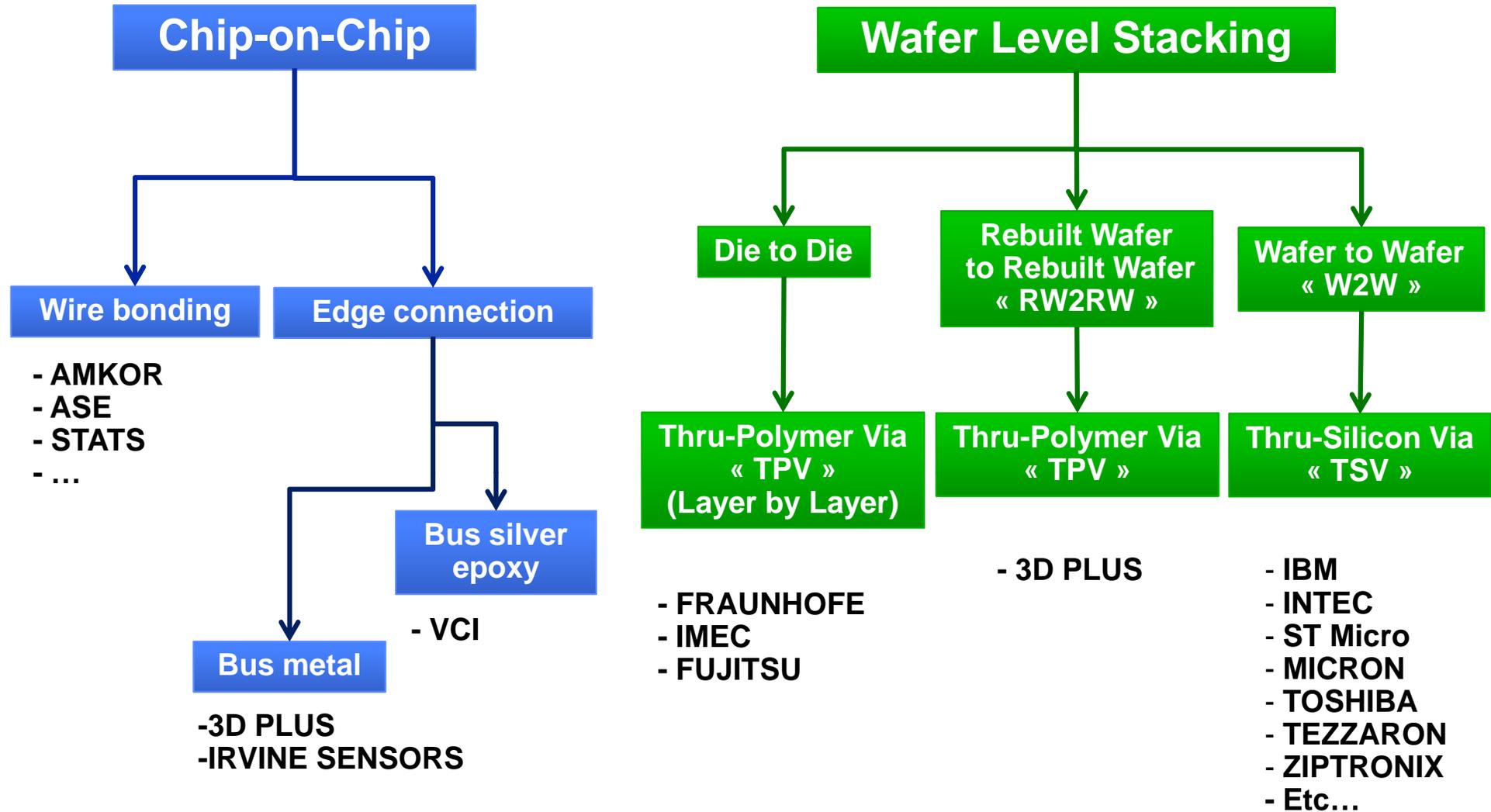


### Procédé Irvine Sensors



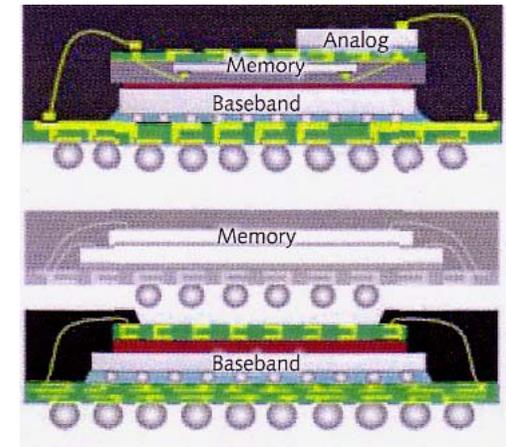
### Procédé 3D Plus

## La classification des technologies

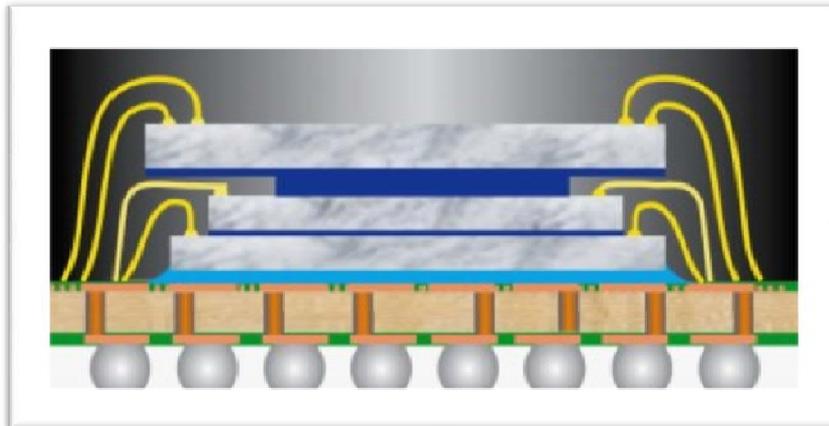
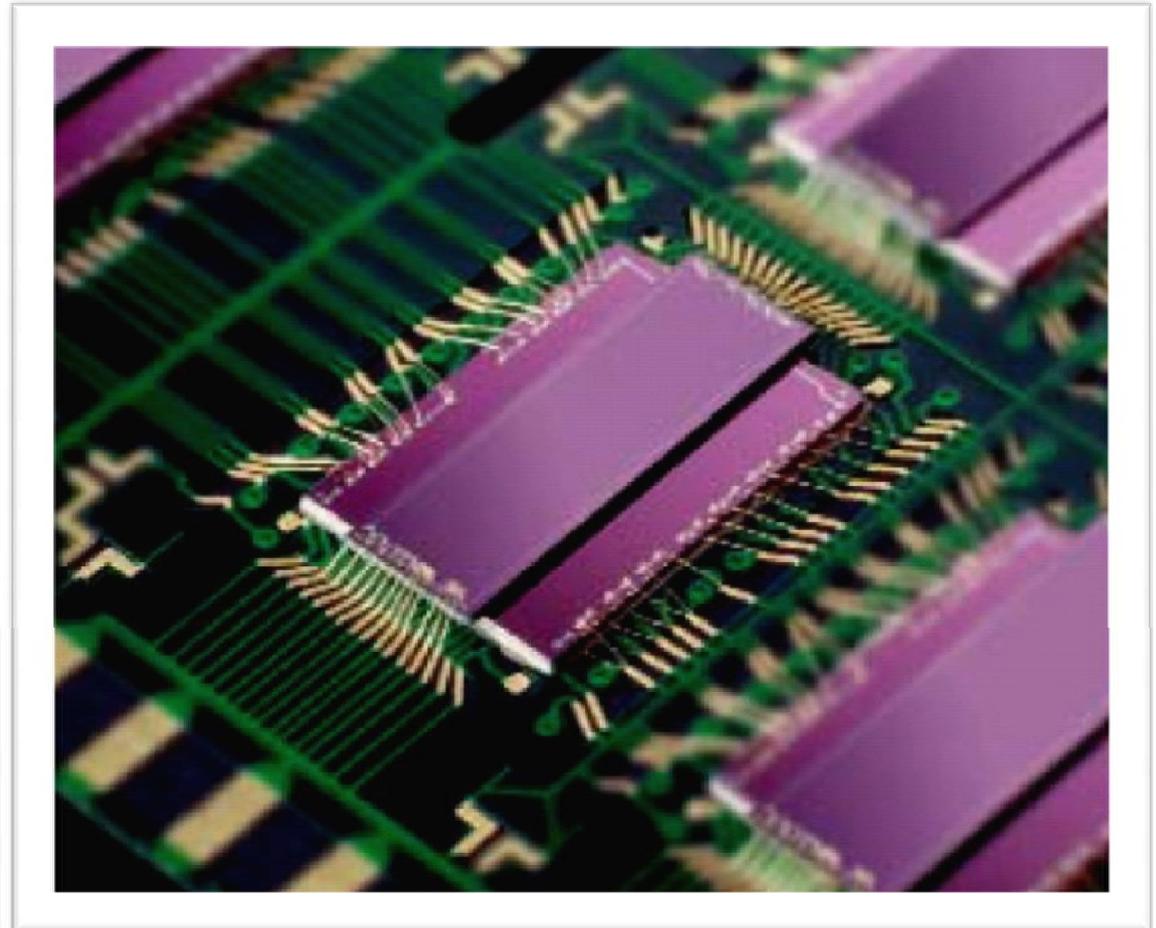
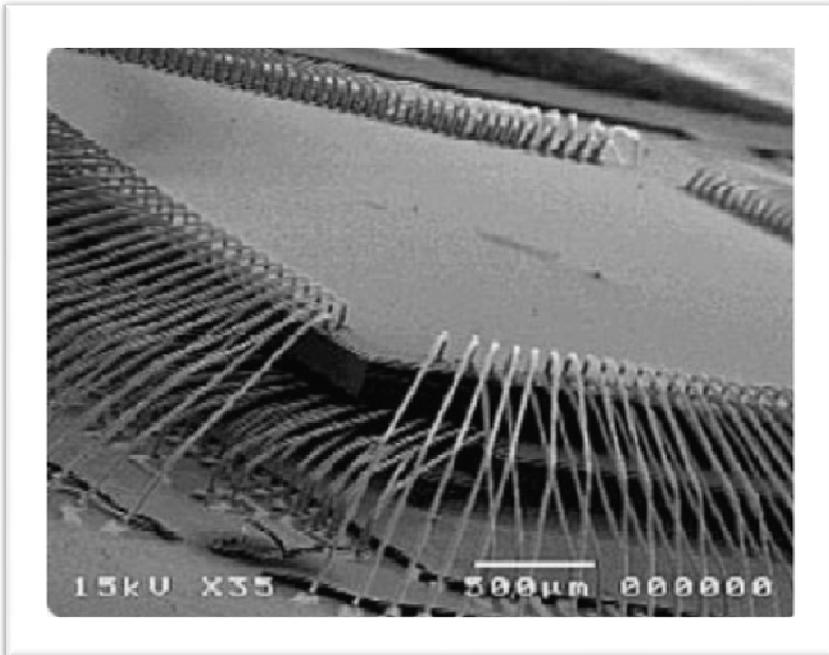


## Chip On Chip / DIE On DIE

- Cette filière représente 95% du marché
- Les grands du Back-End proposent des modules en grand volume (AMKOR, ASE, StatChipPack,...)
  - Package In Package (PiP) : empilage de 3 puces max
  - Package On Package (PoP) : 2 sous systèmes
  - ....Et les hybrides : fcPiP et fcFiPoP
- Les principales caractéristiques :
  - Le coût : utilisation d'équipements Back-end déjà amortis
  - Nécessite des puces KGD au-delà de 3-4 puces
  - Procédé d'empilage unitaire (mais rapide)
  - Surface non optimisée (câblage filaire)



## CHIP On CHIP - AMKOR



# CHIP On CHIP - STATSChipPac

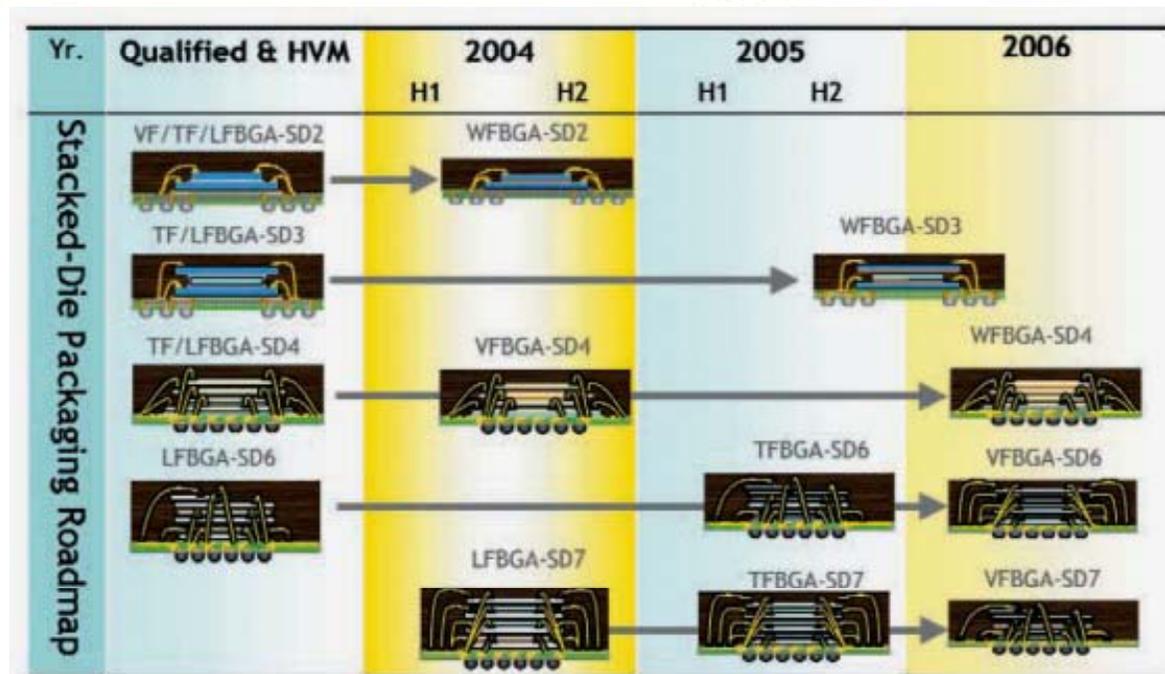
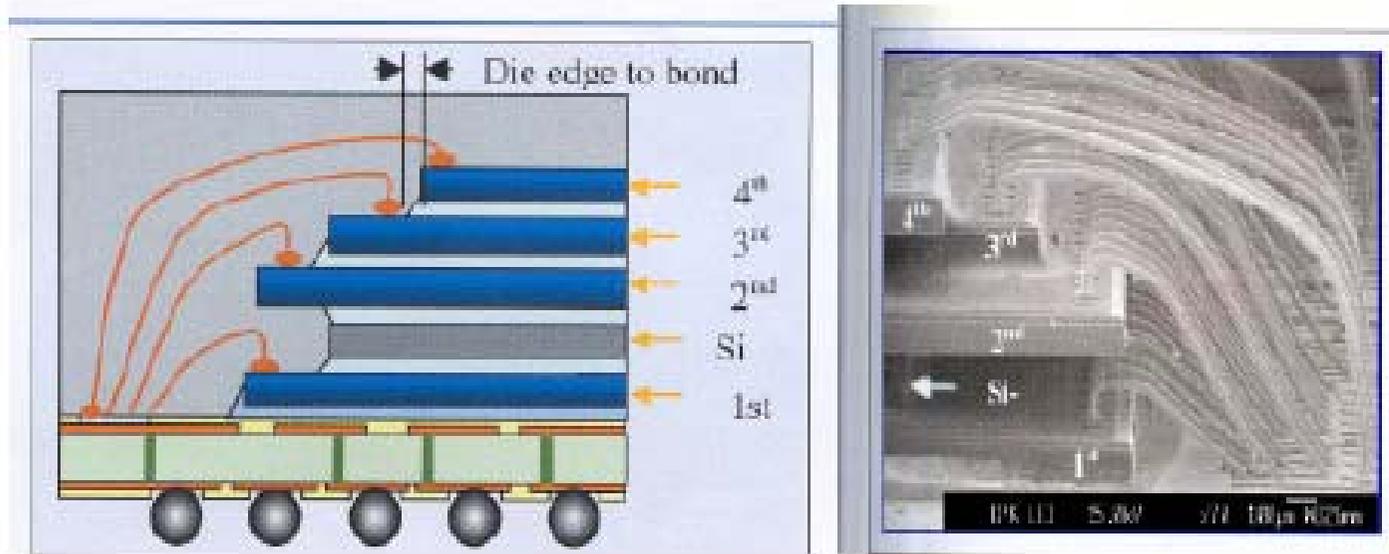


Figure 2. STATS ChipPAC's Stacked-Die Packaging Roadmap

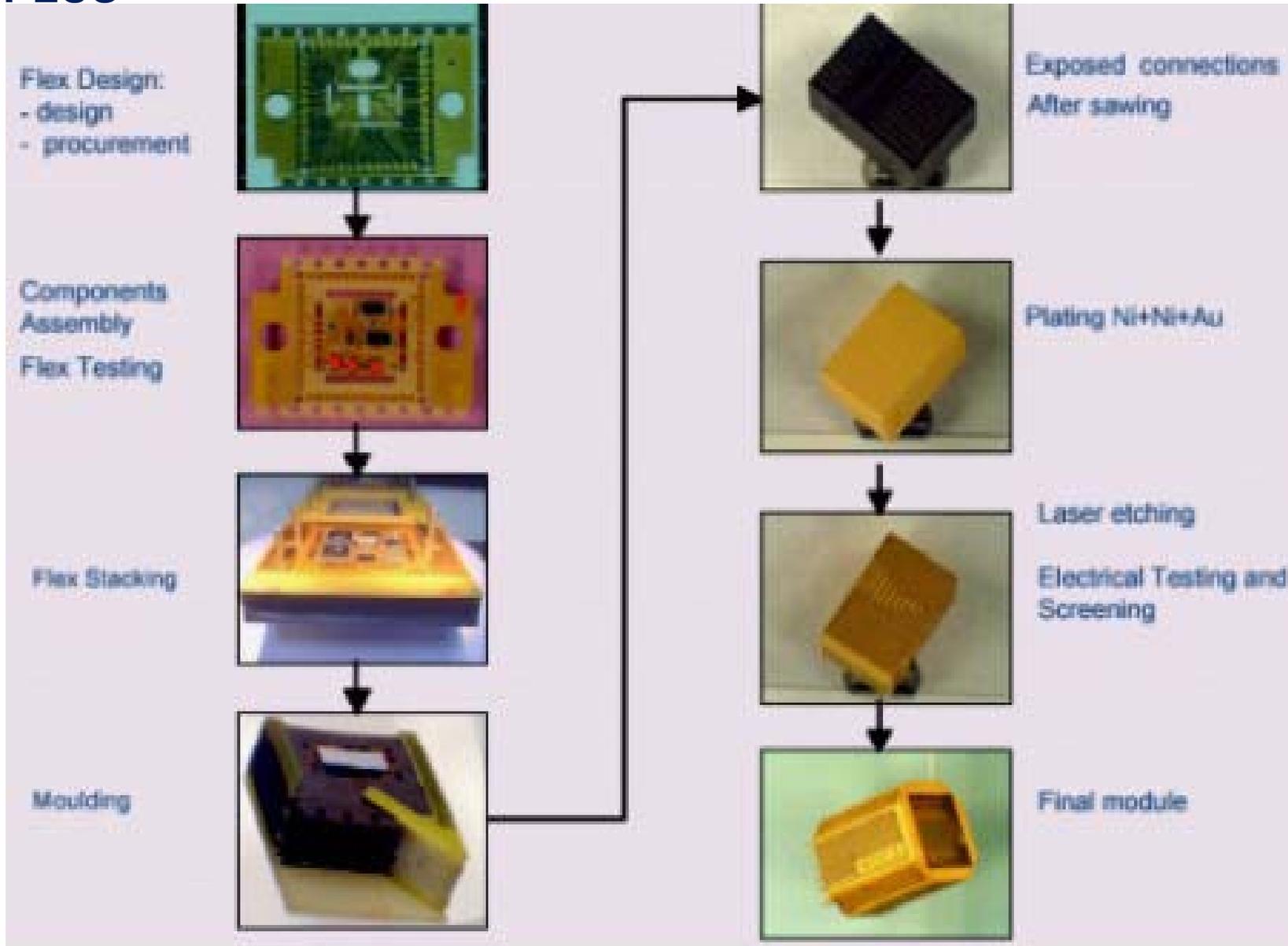
---

## EDGE CONNECTION

- **Cette filière est définie par un Bus metal qui recouvre 1,2,3 ou 4 faces du module**
- **Trois sous groupes : Bus Metal, Bus en colle époxyde conductrice, Bus metal hétérogène**
- **Ces techniques ont été brevetées par des sociétés du domaine militaire et spatial : IRVINE SENSORS, THOMSON**
- **L'approche peut être sans câblage (RDL) sur wafer (Irvine Sensors, VCI) ou avec câblage (3D PLUS)**
  
- **Caractéristiques**
  - **Fiabilité**
  - **Performances électriques grâce au Bus metal**
  - **Maturité**
  
- **Inconvénients**
  - **Procédé unitaire**
  - **Nécessite l'accès au wafer silicium (VCI, Irvine Sensors)**

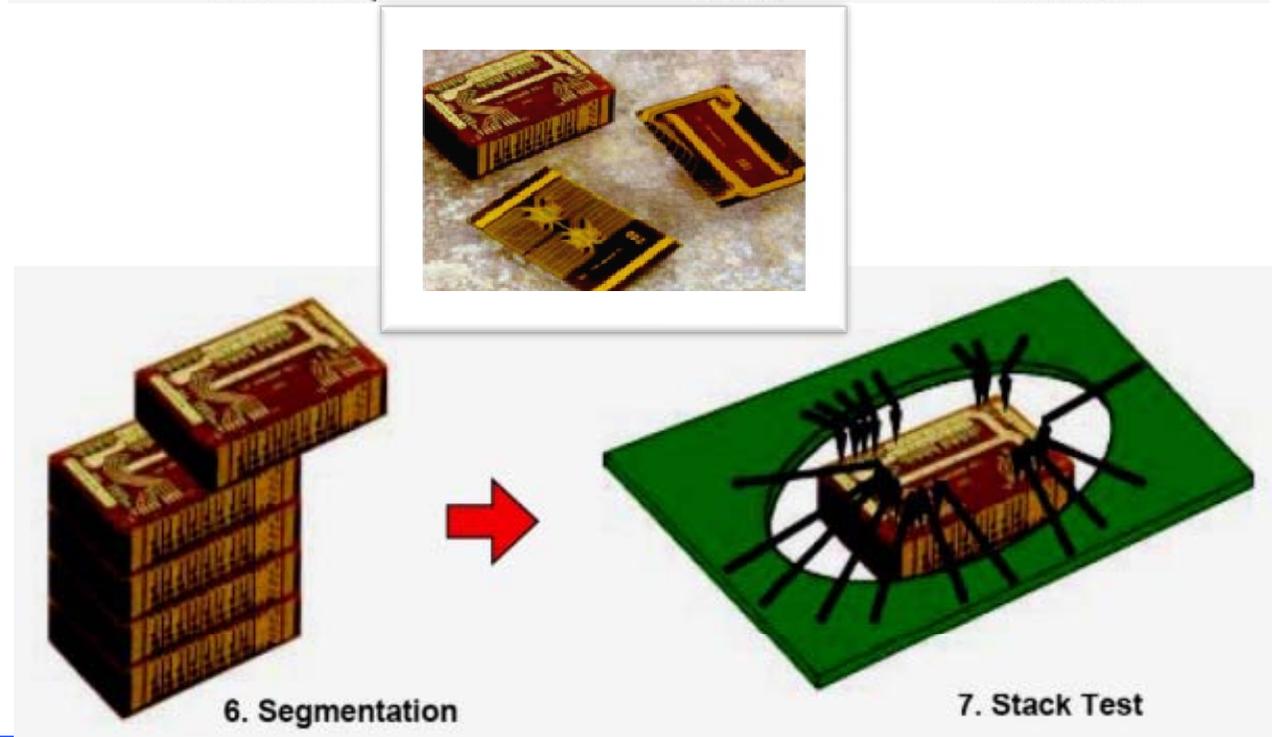
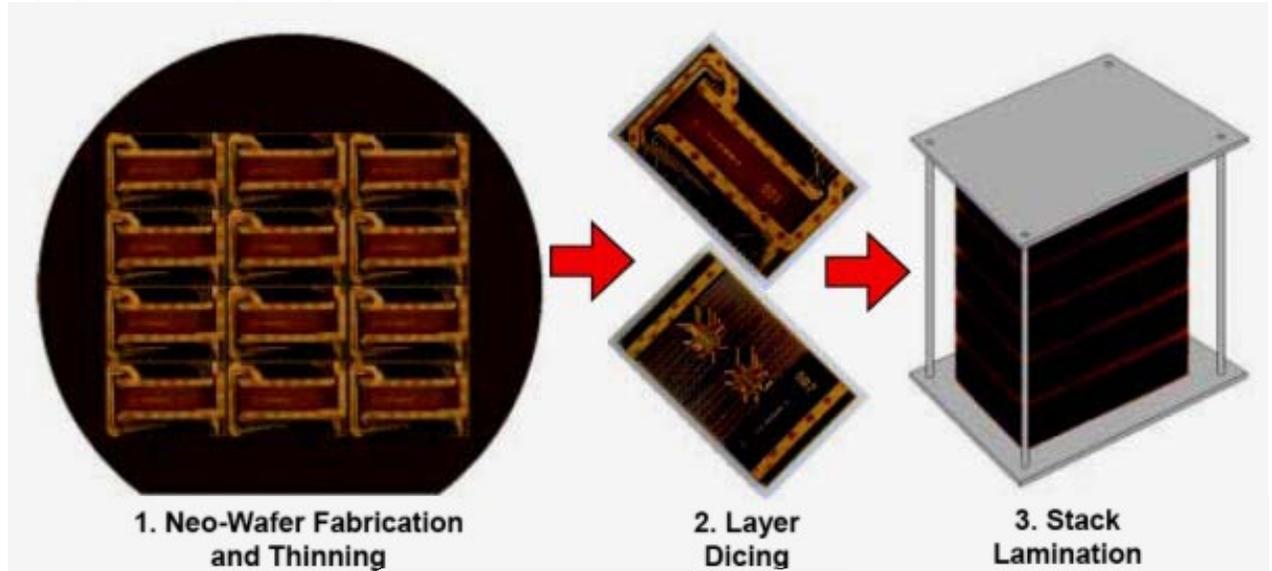
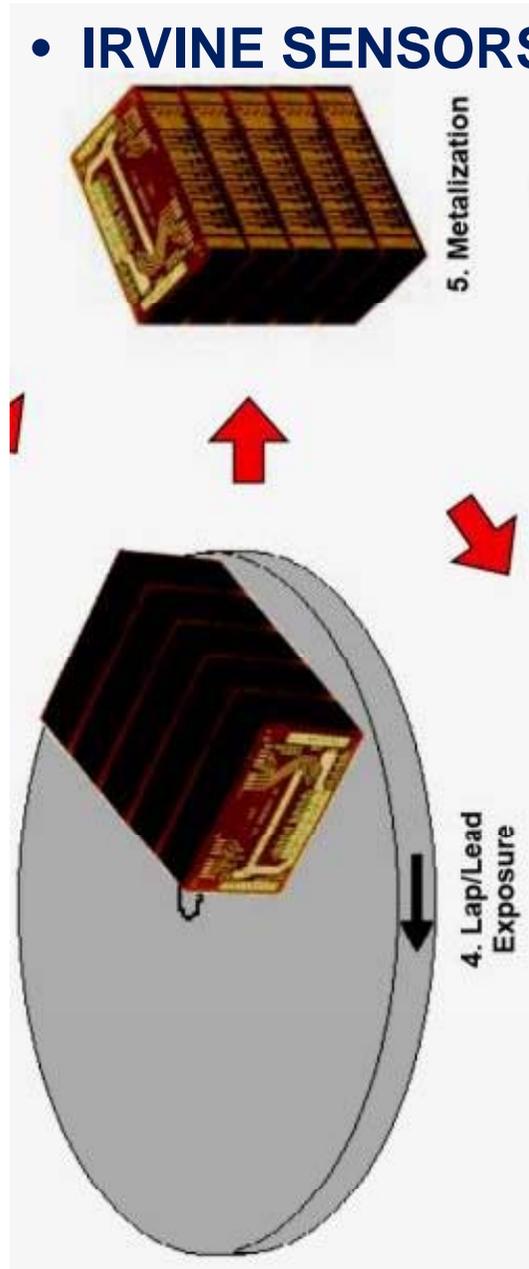
## EDGE CONNECTION – Bus Metal

- 3D PLUS



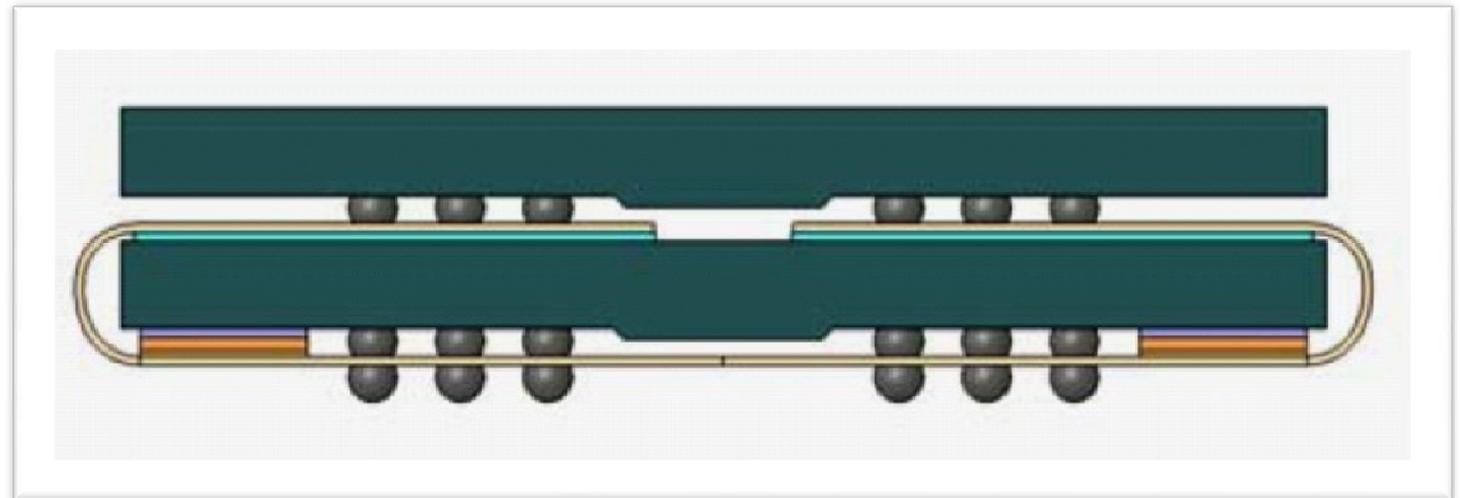
# EDGE CONNECTION – Bus Metal

## • IRVINE SENSORS



## FOLDED CONNECTION – Bus Metal hétérogène

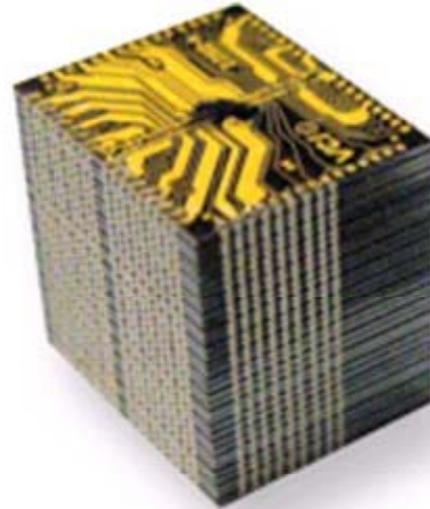
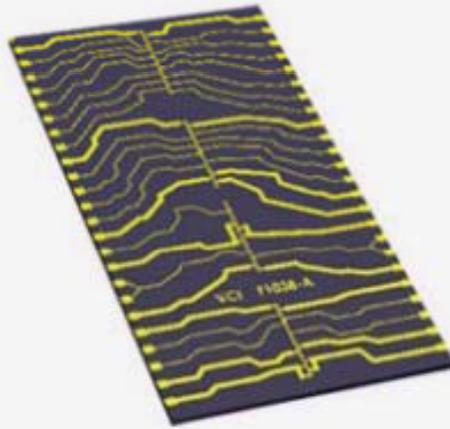
- StakTek - ENTORIAN



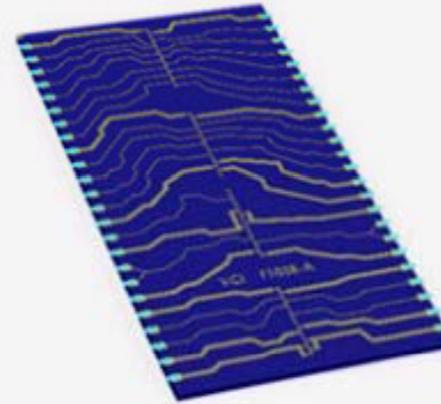
# EDGE CONNECTION – Bus en colle époxyde conductrice

- VCI

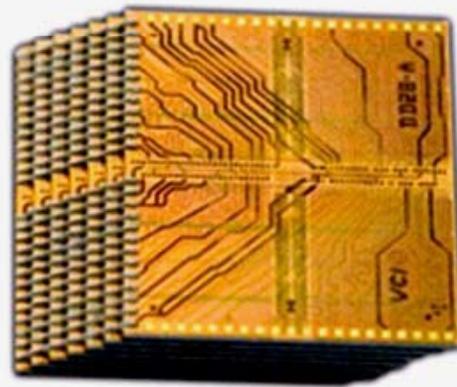
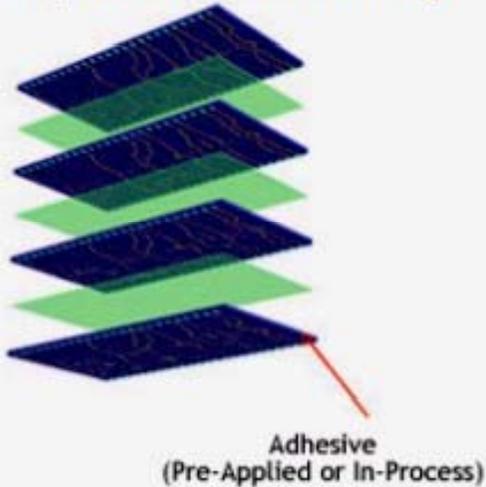
**Step One: Redistribution**  
(Wafer RDL or Conductive Polymer)  
\*Optional



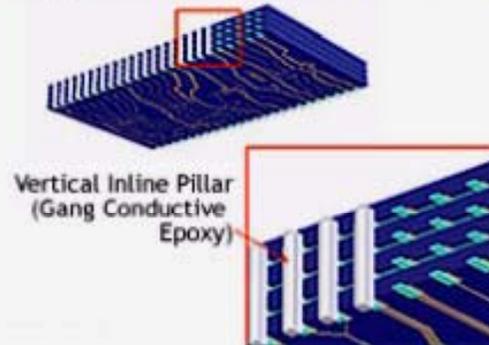
**Step Two: Dielectric Coat & ViP™ Prep**



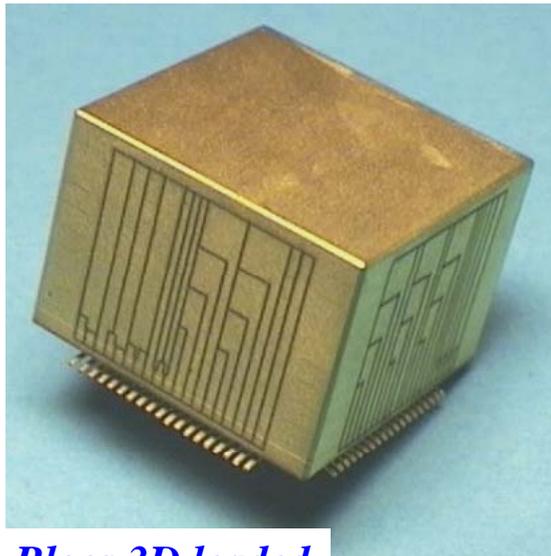
**Step Three: Parallel Stacking**



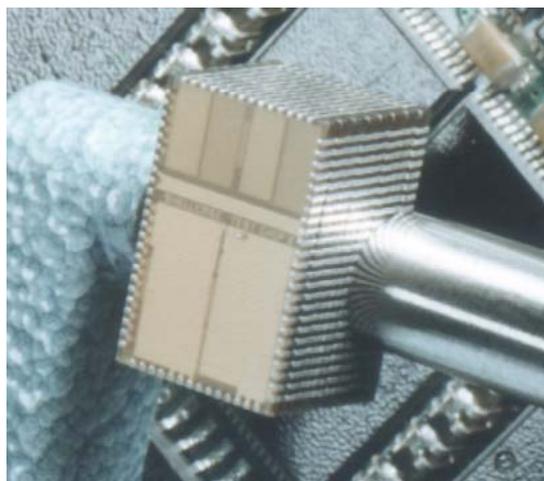
**Step Four: Vertical Interconnect Process (ViP™)**



## Blocs « 3 D »



*Blocs 3D led  
( 3D Plus )*

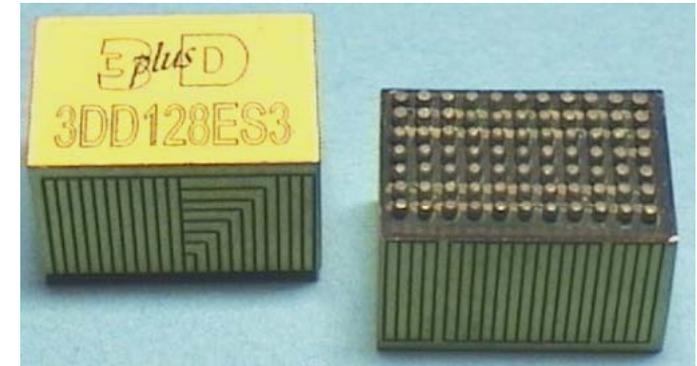


*Blocs mémoires 3D  
( Shell Case )*

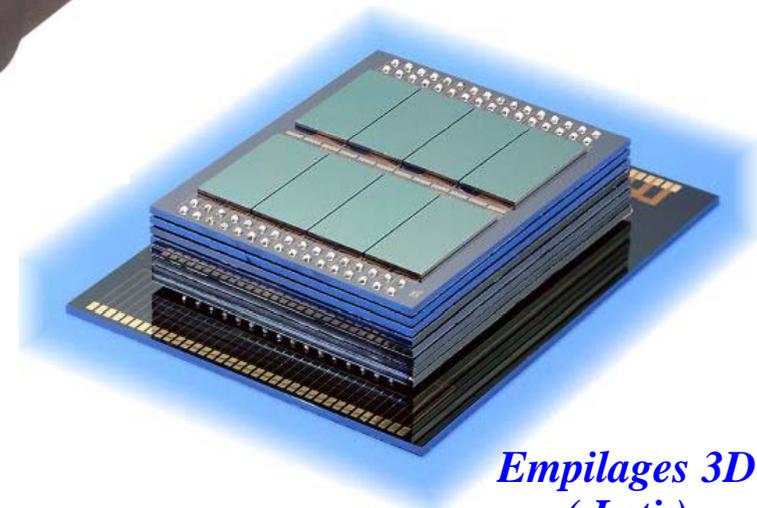
### Applications



*Caméra intégrée 3D  
( 3D Plus )*



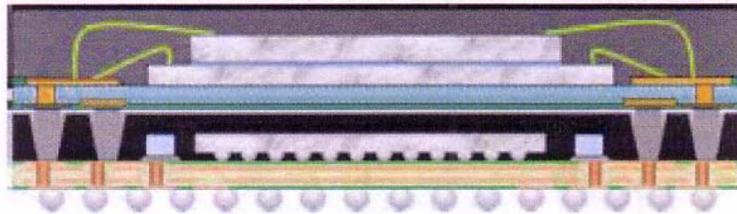
*Blocs 3D BGA  
( 3D Plus )*



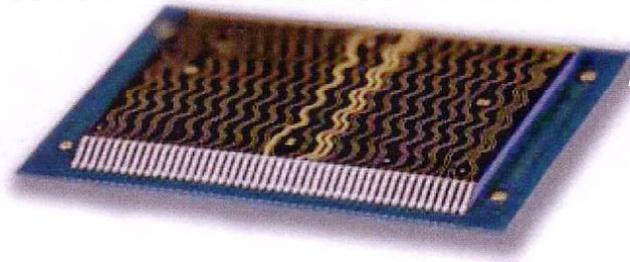
*Empilages 3D  
( Leti )*

## Les nouvelles voies industrielles

- La technique d'interconnexion par le silicium (Through Silicon Via) focalise toutes les énergies, c'est comparable à un Tsunami.
- Les autres techniques 3D continuent d'être produites en volumes, ou d'être améliorées.
- La technique d'interconnexion par la matériau d'encapsulation (Through Polymer Via) se développe en alternative mid-end du TSV

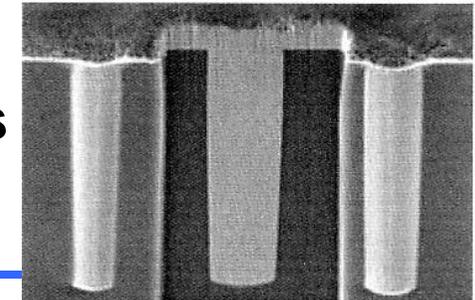


- L'interconnexion par encre conductrice est en développement



## WLS – Wafer to Wafer (W2W) - TSV

- Les compagnies du semiconducteur, les laboratoires lancent des projets de développement sur le sujet
- C'est une évolution normale, mais l'expérience a montré
  - Difficulté à concevoir un SiP car la taille des puces est différentes (sauf cas particulier)
  - Wafer silicium non standard donc RDL nécessaire
    - Les vias doivent être le plus petit possible
    - Vias de 2  $\mu\text{m}$  dia. Implique une épaisseur de 20 $\mu\text{m}$  ou moins !
    - Coût d'un set de masques pour la gravure au moins 500K\$
    - Le cuivre utilisé en TSV modifie les propriétés mécaniques
  - Impossibilité d'avoir un wafer bon à 100%
  - Actuellement : 190\$/wafer pour 10000 wafer/mois (Sur une technique 5  $\mu\text{m}$  dia. x 30  $\mu\text{m}$  ).



## WLS – RW2RW - TPV

- Critère de sélection pour la technique WDoD :
  - Empiler des puces de taille différentes (SiP)
  - Empiler 10 couches par mm
  - Tester chaque couches RW2RW (Know Good Rebuilt Wafer)
  - Connexions par Bus Metal ou via TPV après empilage
  - Facteur dimensionnel faible
    - Taille (X,Y) : + 100 $\mu$ m autour de la puce la plus large
    - Epaisseur par couche : 100 $\mu$ m
    - Utiliser des wafers standards (en diamètre) sans TSV



## WLS – RW2RW - TPV



1 - Carrier lamination



2 - Pick, Flip and place / Die on tape



3 - Molding /  
Flow Free Thin Molding Process



4 - Grinding



5 - De-taping



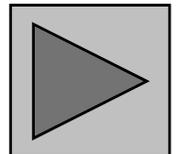
6 - Redistribution layer "RDL"



- Etapes 1 à 6 sont similaires à celles utilisées dans les nouvelles techniques de packaging 2D (pas de PCB et de câblage filaire, pas de royalties supplémentaires...)

## WLS – RW2RW - TPV

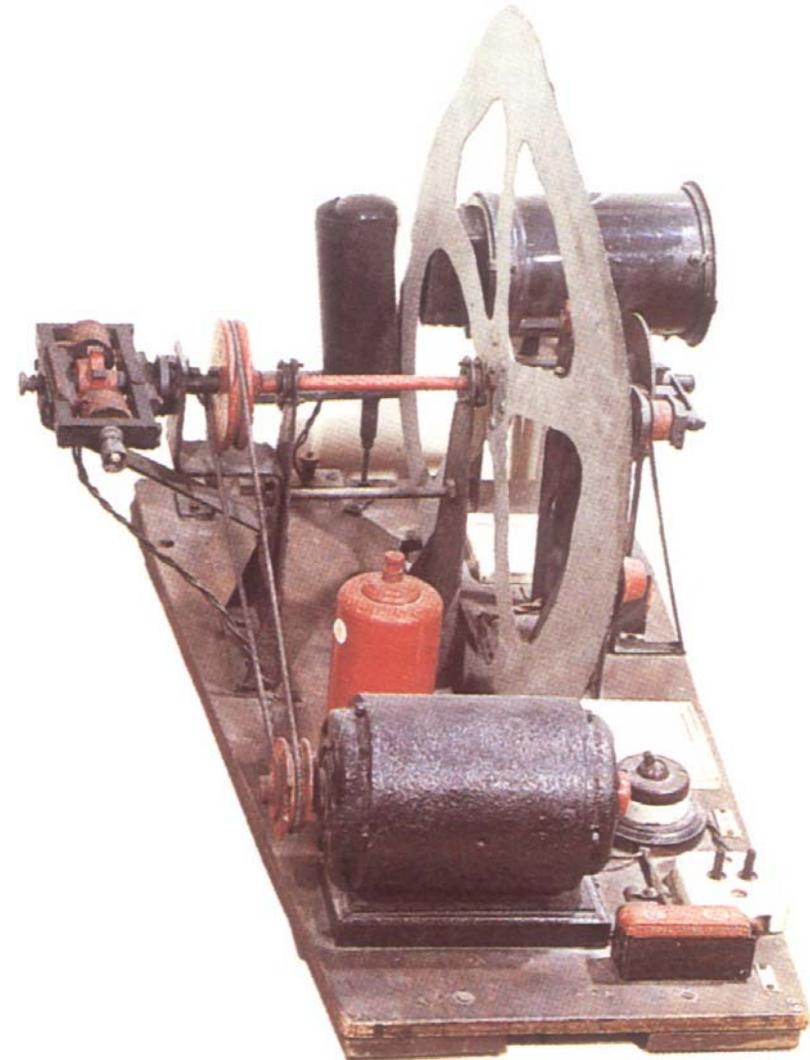
- **Etapas 1 à 6 sont similaires à celles utilisées dans les nouvelles techniques de packaging 2D (pas de PCB et de câblage filaire, pas de royalties supplémentaires...)**
- **Les compagnies de semiconducteur telles que Infineon, Freescale, NEC, développent ses procédés 2D pour leurs micro-boîtiers**
- **La principale évolution est dans le procédé de moulage : Moulage par compression. Ce procédé diminue le risque de déplacement des puces sur le wafer reconstitué.**



*La dernière évolution en matière de Téléviseur !*

❖ Évolutions proches

❖ Évolutions futures



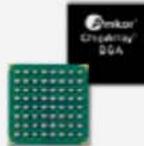
**Récepteur de télévision de 1932**  
*(source Encyclopédie Axis de Hachette)*

## Chip Scale Package Family

An array package with ball pitch < 1.0 mm. Chip sized package = package 1.2 x die size.

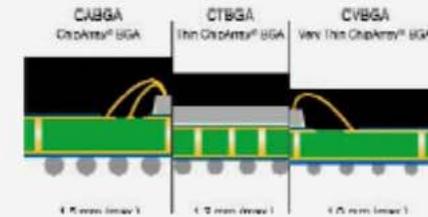
### Package Acronym: CABGA

**Name:** ChipArray® Ball Grid Array  
**Description:** Die up wire bonded, overmolded configuration with ball pitches ranging from 0.5 mm - 1.0 mm.  
**Lead/Ball Count Range:** 20-324  
**Body Size Range:** 5-21 mm



### Package Acronym: CTBGA and CVBGA

**Name:** Thin and Very Thin ChipArray® Ball Grid Array  
**Description:** Thin core laminate and thin mold cap provide a 1.2 mm or 1.0 mm max height package. Allows denser routing for multi-chip packages.  
**Lead/Ball Count Range:** 40-288  
**Body Size Range:** 5-15 mm



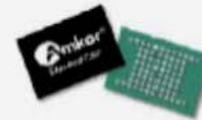
### Package Acronym: MLF®

**Name:** MicroLeadFrame® Package  
**Description:** A leadframe-based, near-chip scale package with solderable lands instead of leads or balls. Short lead length and exposed die paddle offer improved thermal and electrical performance. Also known as Quad Flat No-lead (QFN) package.  
**Lead/Ball Count Range:** 4-164  
**Body Size Range:** 1-12 mm  
 0.4 to 0.8 mm pitch



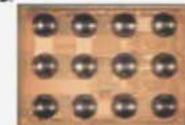
### Package Acronym: Stacked CSP

**Name:** S-CSP or Stacked Chip Scale Package  
**Description:** Two or more die stacked within a single package assembly. The S-CSP is an organic package that is wire bonded and overmolded in a chip scale package profile. Typical ball pitch range from 0.5 to 0.8 mm.  
**Lead/Ball Count Range:** 44-417  
**Body Size Range:** 5-22 mm



### Package Acronym: CSP<sup>ni</sup>™

**Name:** CSP<sup>ni</sup>™  
**Description:** True wafer level chip scale package using lead/tin and lead-free solder bumps, available in multiple options such as direct bump on pad and bump on repassivation and redistribution.  
**Lead/Ball Count Range:** 4-64 on JEDEC/EIAJ standard pitches and solder bump dimensions.  
**Body Size Range:** 0.8-4.5 mm



### Package Acronym: etCSP®

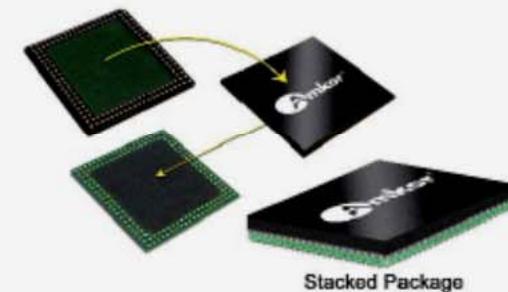
**Name:** etCSP®  
**Description:** Thinnest available BGA using full sized balls; only 0.5 mm max height. Near chip size; i.e., chip + 3 mm in diameter. Die face down configuration; wire bonding.  
**Lead/Ball Count Range:** up to 336  
**Body Size Range:** 7-13 mm



Package Stacking potential  
 Testing possible prior to stack  
 1.2 mm height by 2 package stack

### Package Acronym: PSvfBGA

**Name:** Package Stackable Very Thin Fine Pitch BGA  
**Description:** A cost effective platform for 3-D packaging integration. PSvfBGA serves as the foundation of Package on Package (PoP). Supports 1-2 die in the bottom package with 0.85 mm pitch memory interface  
**Lead/Ball Count Range:** 233-604  
**Body Size Range:** 10-15 mm



## Ball Grid Array

Amkor's Ball Grid Array packages utilize solder balls to attach the package to the printed circuit board

### Package Acronym: PBGA

Name: Plastic Ball Grid Array

Description: A plastic overmolded product using a PCB (2, 4, 6 and 8 layer) substrate, die-up configuration, passive attach, eutectic or Pb free solder balls as contacts, built in strip form.

Lead/Ball Count Range: 119-1156

Body Size Range: 13-40 mm



### Package Acronym: TEPBGA-2

Name: Thermally Enhanced PBGA Version 2

Description: A plastic overmolded product using an exposed Heat slug, PCB (2, 4, 6 and 8 layer) substrate, with single or multiple die (side by side and/or stacked), passive attach, eutectic or Pb free solder balls as contacts, built in strip form.

Lead/Ball Count Range: 144-1156

Body Size Range: 17-40 mm



### Package Acronym: MCM-PBGA

Name: Multi Chip Module PBGA

Description: A plastic overmolded product using a PCB (2, 4, 6 and 8 layer) substrate, with multiple die (side-by-side and/or stacked), passive attach, eutectic or Pb free solder balls as contacts; built-in strip form.

Lead/Ball Count Range: 119-1156

Body Size Range: 13-40 mm



### Package Acronym: HPBGA

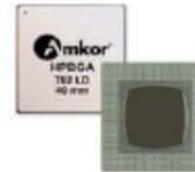
Name: High Performance BGA

Description: High thermal performance, 6-10 metal layer, laminate based, cavity down, multi-tiered BGA. Standard ball footprints.

Custom substrate designs only.

Lead/Ball Count Range: 480-1036

Body Size Range: 35-47.5 mm



### Package Acronym: SBGA or SuperBGA®

Name: Super Ball Grid Array

Description: High thermal performance, 2-3 metal layers laminate-based cavity-down BGA.

Lead/Ball Count Range: 80-1156

Body Size Range: 13-45 mm



## ExposedPad™ Technology

Uses deep downset die paddle to provide higher power dissipation, low loop inductance and increase in available signal pins.

### Package Acronym: ExposedPad™ SOIC

Name: ExposedPad™ Small Outline Integrated Circuit

Description: SOIC incorporating ExposedPad™ technology.

Lead/Ball Count Range: 8-24

Body Size Range: .150"



### Package Acronym: ExposedPad™ TQFP/LQFP

Name: ExposedPad™ Thin Quad Flat Pack

Description: TQFP incorporating ExposedPad™ technology.

Lead/Ball Count Range: 32-256

Body Size Range: 5-28 mm<sup>2</sup>



### Package Acronym: ExposedPad™ SSOP

Name: ExposedPad™ Shrink Version of SOP

Description: Shrink version of ExposedPad™ SOIC.

Package external lead pitch reduced to 25 mils.

Leads: 16

Body Size Range: .150"



### Package Acronym: ExposedPad™ TSSOP

Name: ExposedPad™ Thin Shrink Small Outline Package

Description: A thin, shrink version of SSOP plastic leadframe package using ExposedPad™ technology.

Lead/Ball Count Range: 8-80

Body Size Range: 3.0 x 3.0 to 6.1 x 14.0 mm



## Flip Chip Technology

Incorporates flip chip vs. wire bonding within current BGA and CSP families for performance and silicon utilization benefits.

### Package Acronym: **fcCSP**

Name: Flip Chip CSP

Description: Utilizes HDI thin core laminate. Ball pitch 0.5 mm size, possible in molded or bare die construction. High frequency, low inductance benefits. Reduction in package size and overall system cost.

Lead/Ball Count Range: 48-336

Body Size Range: 5-15 mm

Ceramic flip chip package provides maximum flexibility for designer for number of layers and routing. Currently in production from 20-400 I/O in LGA or BGA formats, 1.0 mm and 0.8 mm pitch. Also available in bare die or overmolded construction. Available in single or multi-die formats.



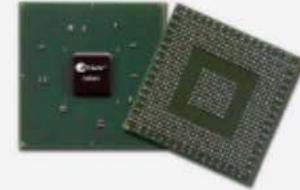
### Package Acronym: **fcBGA**

Name: Flip Chip Ball Grid Array

Description: Moderate routing density, lowest cost flip chip package in intermediate ball counts. Bare die or Single Piece Lid. Qualified with both BU and 4L thin core substrates. Available in single or multi-die formats.

Lead/Ball Count Range: 196-1935

Body Size Range: 15-45 mm



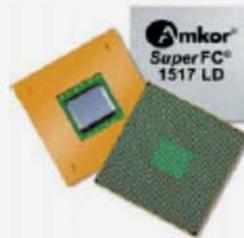
### Package Acronym: **SuperFC®**

Name: Super Flip Chip

Description: Highest routing density available due to state-of-the-art laminate substrates utilizing multi-layer, blind and buried vias, laser drilled build-up structures and ultrafine line/space metallization. Available in single or multi-die formats.

Lead/Ball Count Range: 252-1932

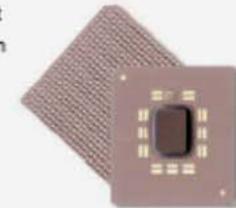
Body Size Range: 17-45 mm



### Package Acronym: **Ceramic fcBGA**

Name: Ceramic Flip Chip Ball Grid Array

Description: Alumina and HiTCE flip chip packages with BGA or LGA interconnect format. Capability for high layer count enables most flexible format for different ground and power planes. Available in bare die or AISiC lid. Qualified in body sizes to 45 mm HiTCE and 31 mm alumina.



## Tape

Amkor's tape packages utilize a flexible carrier tape to connect the chips to the package, substrate or board.

### Package Acronym: **TABGA**

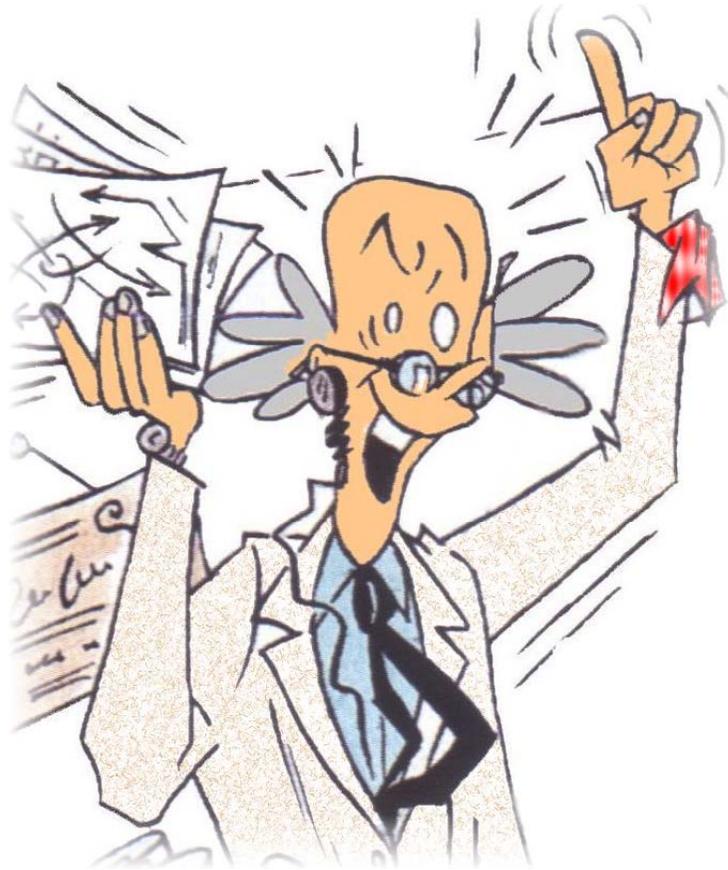
Name: TapeArray® Ball Grid Array

Description: Manufactured in an array format.

Lead/Ball Count Range: 48-288

Body Size Range: 5-12 mm





*Merci*