

# Le design analogique en technologie CMOS

Samuel Manen <sup>1</sup>

<sup>1</sup>Clermont Université, Université Blaise Pascal, CNRS/IN2P3  
Laboratoire de Physique Corpusculaire, Pôle Micrhau  
BP 10448, F-63000 Clermont-Ferrand, France  
[manen@clermont.in2p3.fr](mailto:manen@clermont.in2p3.fr)

Ecole de Microélectronique Fréjus - 16/19 Mai 2011

# Plan de la présentation

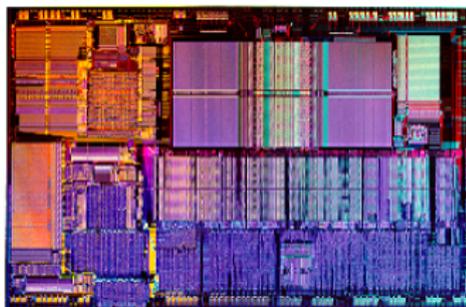
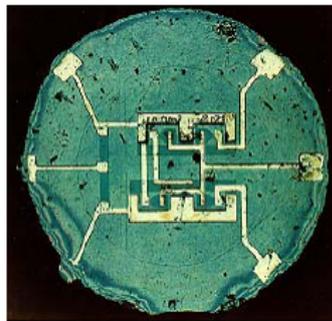
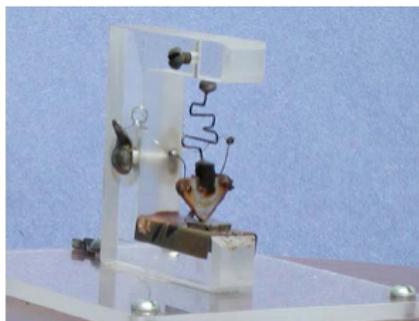
- 1 Une brève introduction.
- 2 Les régimes de fonctionnement du MOS.
- 3 Caractérisation des technologies AMS et IBM.
- 4 Exemple de développement.

# Plan

- 1 Une brève introduction.
- 2 Les régimes de fonctionnement du MOS.
- 3 Caractérisation des technologies AMS et IBM.
- 4 Exemple de développement.

# Du 1<sup>er</sup> transistor au microprocesseur.

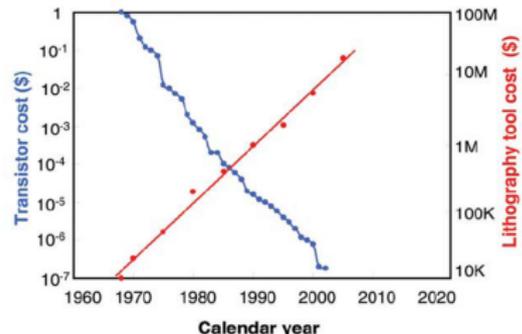
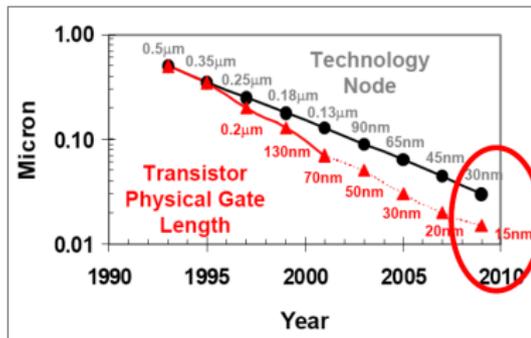
- *La miniaturisation et l'intégration sont les clés de la révolution électronique.*
  - 1<sup>er</sup> transistor en 1947, par Bardeen, Brattain et Shockley ;
    - **Prix Nobel de Physique en 1956 ;**
  - 1<sup>er</sup> Circuit intégré en 1958 par Kilby et Noyce ;
    - **Prix Nobel de Physique en 2000 ;**





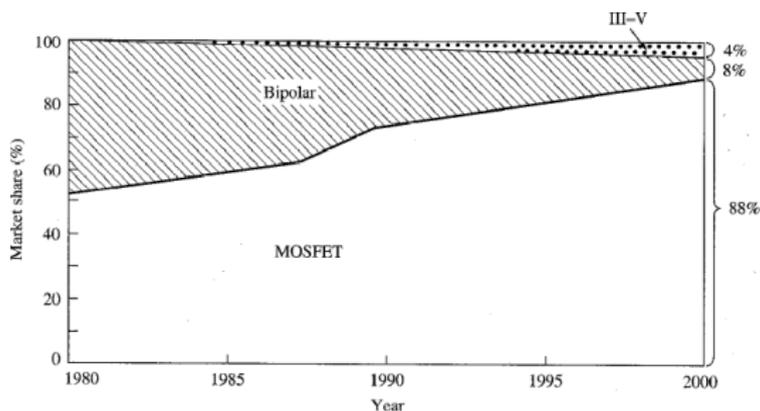
# Evolution de la longueur de grille du MOS.

- L'augmentation considérable du coût de la lithographie (30% par noeud technologique) est compensée par la densité d'intégration.
- Le nombre de transistors ramené au coût de fabrication nous permet de dire que "l'unité de transistor MOS est quasiment gratuite" avec les technologies actuelles.
- Le noeud technologique 15 nm semble être "l'étape ultime" après...[17].



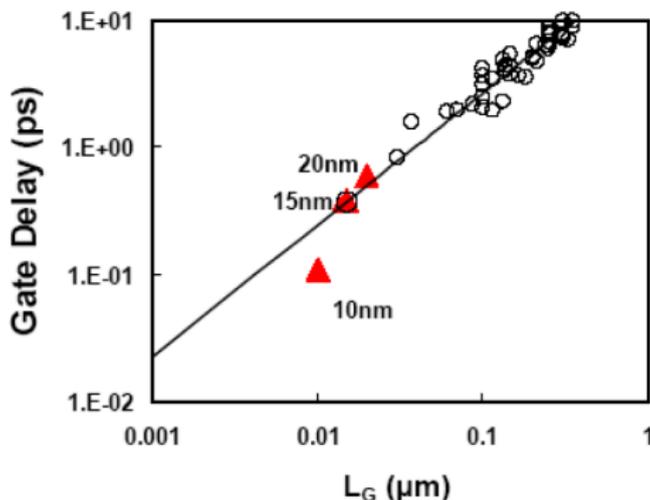
# Et le bipolaire...

- *Le transistor bipolaire est de moins en moins présent dans les technologies fines [14].*
- *En perte de vitesse depuis quelques décennies, **8% du marché dans les années 2000** et ce malgré l'apparition du transistor à hétérojonction.*



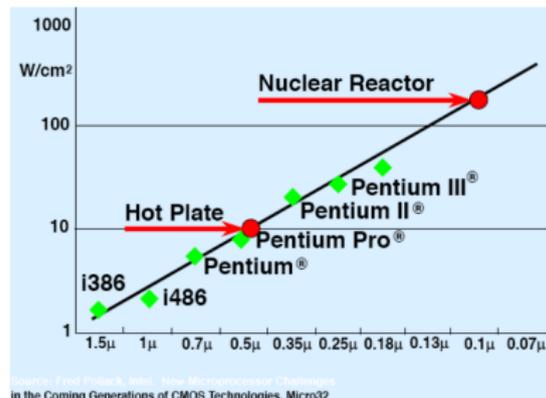
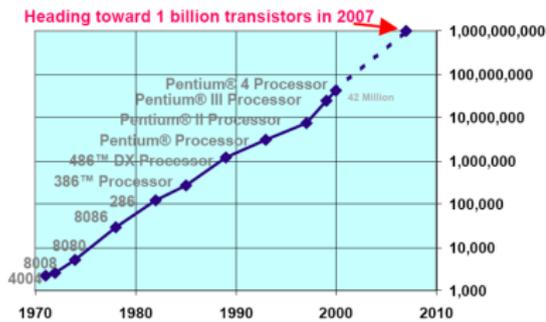
# Objectif : augmenter la fréquence de fonctionnement.

- *Le retard introduit par une porte logique constitué de transistors tels que  $L = 10 \text{ nm}$  est estimé à  $100 \text{ fs}$  [14].*
- *Le digital emporte tout sur son passage, mais à quel prix !*



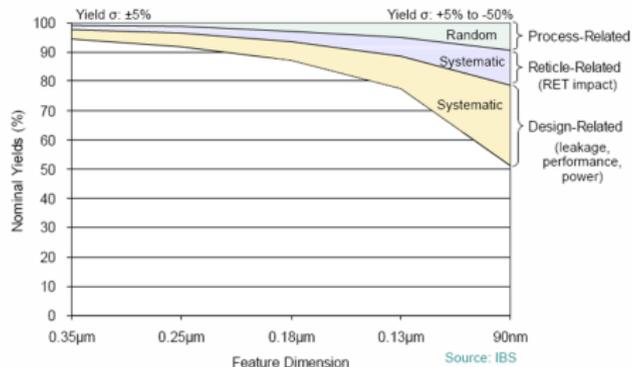
# La course au processeur, INTEL en tête !

- *Course à la miniaturisation et à l'intégration symbolisée par les processeurs INTEL.*
- *La longueur moyenne des connexions sur une puce est de 8 km.*
- **Premier Warning**, fortes contraintes de dissipation thermique.



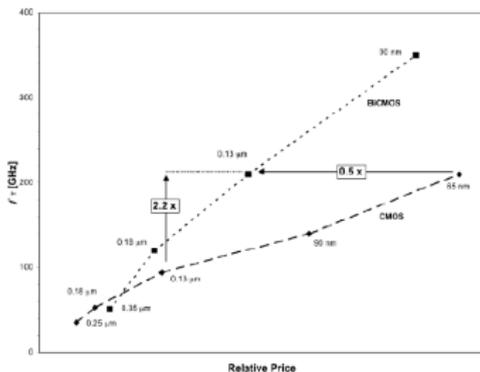
# Les rendements !

- **Deuxième Warning**, les niveaux de rendement de moins en moins acceptables au fur et à mesure de l'évolution des technologies.
- On identifie trois contributeurs, process, réticule, design.
- **Nanometer design (90nm, 65nm,..) requires designers to be aware of many effects that may be new or just becoming first order.. These effects can't be ignored any longer... [16]**



# Et le bipolaire, le retour ?

- La fréquence de transition  $f_t$  d'un bipolaire en 130 nm est deux fois meilleure qu'un MOS.
- La  $f_t$  d'un MOS en 65 nm est comparable à un bipolaire en 130nm.
- Au passage, le coût technologique entre une 65nm et une 130nm a été doublé...



A.J. Joseph, et al., "Status and Direction of Communication Technologies - SiGe BICMOS and RFCMOS," *Proceedings of the IEEE*, vol.93, no.9, pp.1539-1558, September 2005.

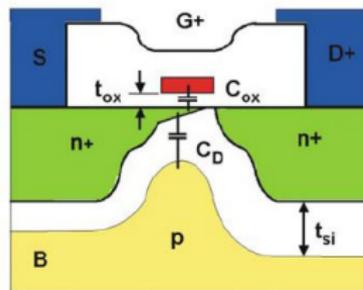
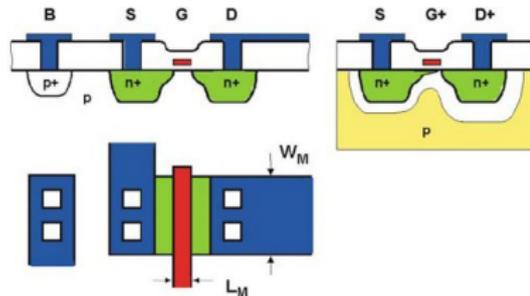


# Plan

- 1 Une brève introduction.
- 2 Les régimes de fonctionnement du MOS.**
- 3 Caractérisation des technologies AMS et IBM.
- 4 Exemple de développement.

# Le transistor MOS.

- *Layout du transistor MOS "classique" [9].*
- *On identifie quatre électrodes, G, S, D, B.*
  - $C_D$  : *Capacité surfacique de déplétion, en  $F\mu m^{-2}$*
  - $C_{ox}$  : *Capacité surfacique d'oxyde, en  $F\mu m^{-2}$*



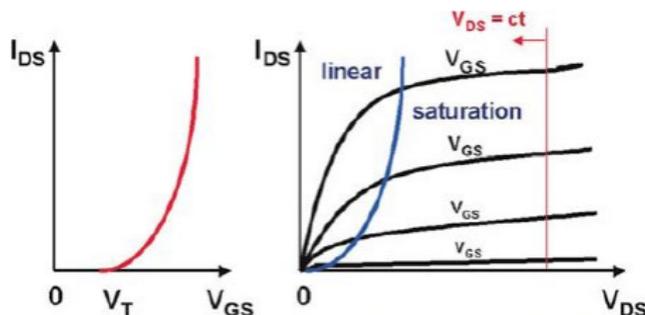
$$C_D = \frac{\epsilon_{si}}{t_{si}}$$

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}}$$

$$\frac{C_D}{C_{ox}} = n - 1$$

# Les régimes de fonctionnement du MOS.

- *Le transistor est l'élément de base du designer analogique. Il possède trois principales fonctions.*
  - *Interrupteur ouvert, équivalent à une résistance infinie.*
    - **Région 0, régime bloqué.**
  - *Interrupteur fermé, équivalent à une résistance nulle.*
    - **Région 1, régime linéaire.**
  - *Générateur de courant commandé en tension.*
    - **Région 2, régime saturé.**
    - **Région 3, régime saturé.**



# La tension de seuil du transistor MOS.

- $V_t$  est définie comme étant la valeur de  $V_{gs}$  pour laquelle le nombre d'électrons à la surface est égal au nombre d'atomes de dopant [9].
  - $V_{t0}$  : tension de seuil pour  $V_{BS} = 0$ , en V.
  - $\gamma$  : paramètre de seuil du substrat en  $\sqrt{V}$ .
  - $2\phi_F$  : potentiel de surface en forte inversion, en V.
  - $\phi_F$  : niveau de Fermi, en V.

$$V_T = V_{T0} + \gamma [ \sqrt{|2\phi_F| + V_{BS}} - \sqrt{|2\phi_F|} ]$$

$$n = \frac{\gamma}{\sqrt{|2\phi_F| + V_{BS}}} = 1 + \frac{C_D}{C_{ox}}$$

$$|2\phi_F| \approx 0.6 \text{ V}$$

$$n \approx 1.2 \dots 1.5$$

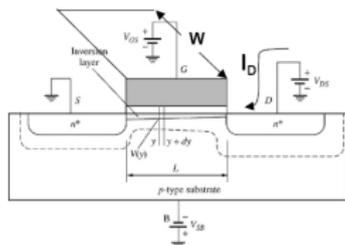
$$\gamma \approx 0.5 \dots 0.8 \text{ V}^{1/2}$$

Reverse  $v_{BS}$  increases  $|V_T|$  and decreases  $|i_{DS}|$  !!!

# Le transistor MOS, modélisation dite "canal long".

## ■ $I_{DS}$ est une image des charges mobiles dans le canal de conduction. [12]

- $V(y)$  : potentiel en un point  $y$  du canal de conduction, en  $V$ .
- $\nu$  : vitesse de dérive des charges, en  $ms^{-1}$ .
- $\mu$  : mobilité des charges, en  $cm^2 (Vs)^{-1}$ .
- $Q_n$  : quantité de charge surfacique dans le canal, en  $C\mu m^{-2}$ .
- $C_{ox}$  : capacité surfacique, en  $F\mu m^{-2}$ .
- $E$  : champ électrique vertical, en  $Vm^{-1}$ .
- $W$  : Largeur de la grille de silicium, en  $\mu m$ .
- $L$  : Longueur de la grille de silicium, en  $\mu m$ .

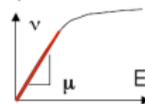


- What we know:

$$Q_n(y) = C_{ox}[V_{GS} - V(y) - V_T]$$

$$I_D = Q_n \cdot v \cdot W$$

$$v = \mu \cdot E$$



$$\therefore I_D = C_{ox}[V_{GS} - V(y) - V_T] \mu \cdot E \cdot W$$

# Le transistor MOS, modélisation dite "canal long".

- $I_{DS}$  est un courant dit de "dérive", la vitesse de dérive des électrons est proportionnelle au champ électrique. [12]

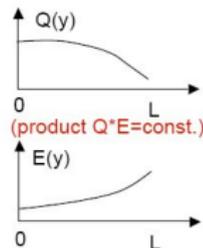
$$I_D = C_{ox} [V_{GS} - V(y) - V_t] \mu \cdot E \cdot W$$

$$I_D dy = W \mu C_{ox} [V_{GS} - V(y) - V_t] dV$$

$$I_D \int_0^L dy = W \mu C_{ox} \int_0^{V_{DS}} [V_{GS} - V(y) - V_t] dV$$

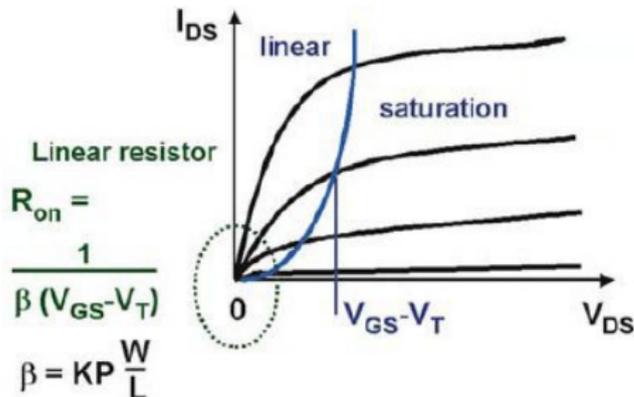
$$I_D = \mu C_{ox} \frac{W}{L} \left[ (V_{GS} - V_t) - \frac{V_{DS}}{2} \right] \cdot V_{DS}$$

$$E = \frac{dV(y)}{dy}$$



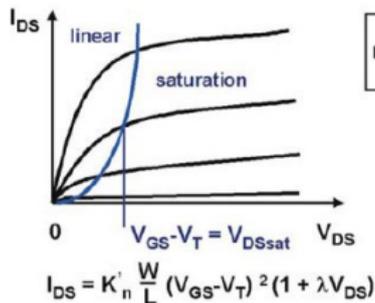
# Le transistor MOS en régime linéaire, Résistance.

- Le MOS se comporte comme une résistance, **Région 1** [9].
- Les conditions sont :  $V_{GS} > V_t$  et  $V_{DS} < V_{GS} - V_t$



# Le transistor MOS en régime de saturation.

- *Le MOS se comporte comme un générateur de courant commandé en tension, phénomène de pincement du canal de conduction **Région 2** [9].*
- *Les conditions sont :  $V_{GS} > V_t$  et  $V_{DS} > V_{GS} - V_t$*



$$r_{DS} = r_o = \frac{V_{E'L}}{I_{DS}}$$

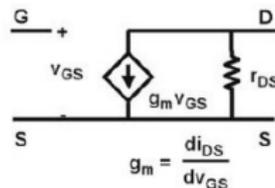
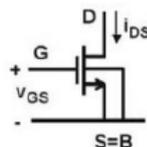
$$\lambda = \frac{1}{V_{E'L}}$$

$$V_{E'n} = 4 \text{ V}/\mu\text{mL}$$

$$L = 1 \mu\text{m}$$

$$I_{DS} = 100 \mu\text{A}$$

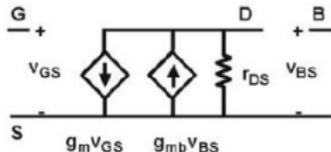
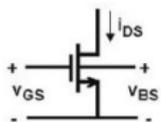
$$r_o = 40 \text{ k}\Omega$$



$$g_m = 2K'_n \frac{W}{L} (V_{GS} - V_T) = 2 \sqrt{K'_n \frac{W}{L} I_{DS}} = \frac{2 I_{DS}}{V_{GS} - V_T}$$

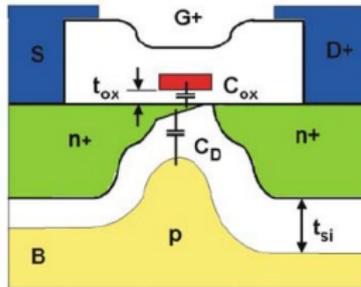
# Le transistor MOS en régime de saturation.

- $g_{m_b}$  est implicitement liée au paramètre  $n$ . [9].
- Cet effet est dû à la présence d'un JFET en parallèle du MOS.



$$g_m = \frac{di_{DS}}{dv_{GS}} \quad g_{m_b} = \frac{di_{DS}}{dv_{BS}}$$

$$\frac{g_{m_b}}{g_m} = \frac{C_D}{C_{ox}} = n - 1$$



$$C_D = \frac{\epsilon_{si}}{t_{si}}$$

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}}$$

$$\frac{C_D}{C_{ox}} = n - 1$$

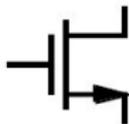
# Le transistor MOS en régime de saturation.

- On peut définir les facteurs de mérite du MOS en **Région 2**. [12]
- $V_{ov} = V_{GS} - V_t$

## Long Channel Model

$$I_{DS} = \frac{KP}{2} \cdot \frac{W}{L_{eff}} \cdot (V_{GS} - V_t)^2 \cdot (1 + \lambda V_{DS})$$

$$V_t = V_{T0} + \gamma \left( \sqrt{2\phi - V_{BS}} - \sqrt{2\phi} \right)$$



Current Efficiency

$$\frac{g_m}{I_D}$$

$$= \frac{2}{V_{OV}}$$

Transit Frequency

$$\frac{g_m}{C_{gs}}$$

$$= \frac{3}{2} \frac{\mu V_{OV}}{L^2}$$

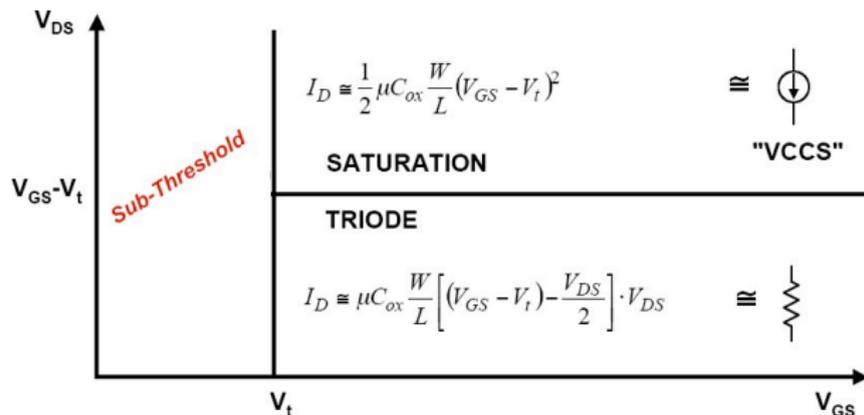
Intrinsic Gain

$$\frac{g_m}{g_{ds}}$$

$$\cong \frac{2}{\lambda V_{OV}}$$

# La modélisation canal long.

- Ces équations dites *Spice 1* sont valables pour  $L \geq 4\mu m$

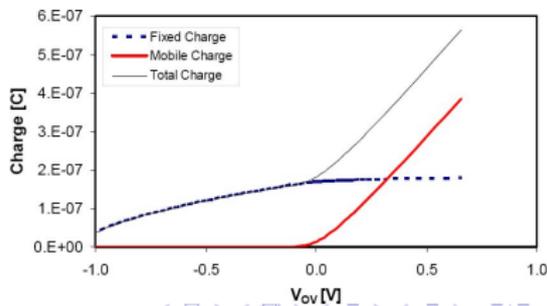


# Evolution des modèles du transistor MOS.

- *Diminution de la longueur du canal de conduction et de la tension d'alimentation.*
- *Prise en compte nécessaire du courant de diffusion dans le MOS.[12]*
  - $n$  : densité de porteurs.
  - $D_n$  : constante de diffusion des porteurs.
- *En d'autre terme,  $I_{DS} \neq 0$  lorsque  $V_{GS} < V_t$  Région 3.*

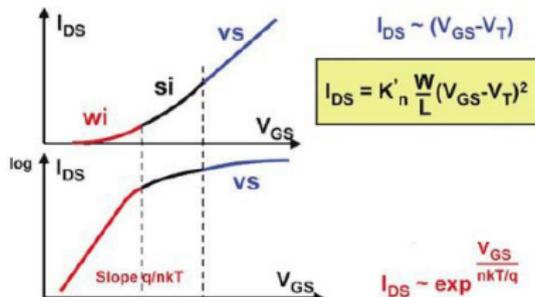
Drift (MOS) -  $v = \mu E$

Diffusion (BJT) -  $v = D \frac{dn}{dx} = \frac{kT}{q} \mu \frac{dn}{dx}$



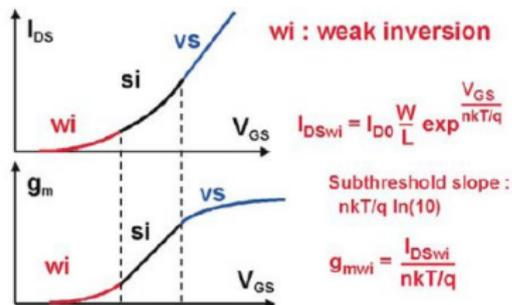
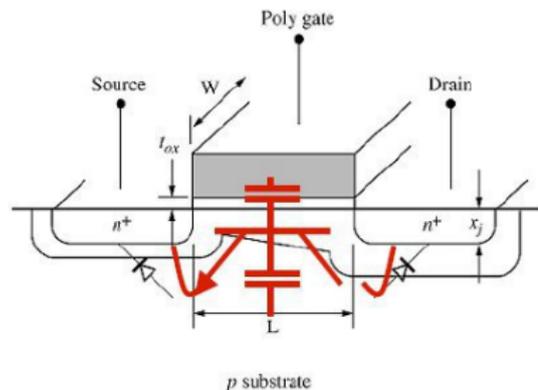
# Le transistor MOS en amplification.

- Faible inversion **Région 3**, courant dit de diffusion
  - $V_{ov} < 0$ .
- Inversion modérée **Région 2** et **Région 3**, courant de diffusion et de dérive.
  - $0 < V_{ov} < 150 \text{ mV}$ .
- Forte inversion **Région 2**, courant de dérive.
  - $V_{ov} > 150 \text{ mV}$ .
- Régime de "velocity saturation", lié à la saturation de la vitesse de dérive des électrons dans le Silicium, **Région 2**.



# Le transistor MOS "weak inversion".

- *Le transistor MOS peut être "assimilé" à un "bipolaire" où la grille est commandée par un diviseur de tension capacitif. [12]*
- *$I_{DS}$  est un courant de diffusion. **Région 3***



# Le transistor MOS "moderate inversion".

- On parle d'inversion modérée pour assurer une transition lisse entre l'inversion faible **Région 3** et l'inversion forte **Région 2**.
  - Faible inversion,  $I_{DS}$  évolue suivant une loi exponentielle.
  - Forte inversion,  $I_{DS}$  évolue suivant une loi quadratique.

$$I_{DSwi} = I_{D0} \frac{W}{L} \exp^{\frac{V_{GS}}{n k T / q}}$$

$$g_{mwi} = \frac{I_{DSwi}}{n k T / q}$$

$$\frac{g_{mwi}}{I_{DSwi}} = \frac{1}{n k T / q}$$

$$(V_{GS} - V_T)_t = 2n \frac{kT}{q}$$

$$I_{DS} = K'_n \frac{W}{L} (V_{GS} - V_T)^2$$

$$g_m = \frac{2 I_{DS}}{V_{GS} - V_T}$$

$$\frac{g_m}{I_{DS}} = \frac{2}{V_{GS} - V_T}$$

# Modélisation EKV.

- La modélisation EKV assure une continuité du modèle.
- On définit une équation unique du courant  $I_{DS} = I_F \times I_{SAT}$ .
  - $I_F$  : coefficient d'inversion du transistor MOS.
  - $I_{SAT}$  : considéré comme une constante, de moins en moins vrai.

$$I_{DS} = K' \frac{W}{L} V_{GSTt}^2 [\ln(1 + e^v)]^2 \quad V_{GST} = V_{GS} - V_T \quad K' = \frac{KP}{2n}$$

$$v = \frac{V_{GST}}{V_{GSTt}} \quad V_{GSTt} = (V_{GS} - V_T) t = 2n \frac{kT}{q}$$

$$\approx 70 \text{ mV}$$

Small  $v$  :  $\ln(1 + e^v) \approx e^v$

$$I_{DS} = K' \frac{W}{L} V_{GSTt}^2 e^{2v} = K' \frac{W}{L} V_{GSTt}^2 \exp\left(\frac{V_{GS} - V_T}{n kT/q}\right)$$

$$\underbrace{\quad}_{I_{DSt}}$$

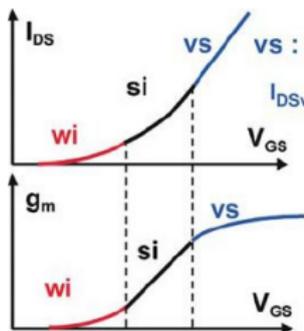
Large  $v$  :  $\ln(1 + e^v) \approx v$

$$I_{DS} = K' \frac{W}{L} V_{GSTt}^2 v^2 = K' \frac{W}{L} (V_{GS} - V_T)^2$$

Enz, AICSP '95,  
83-114  
Cunha, JSSC Oct.98  
1510-1519

# Régime de "velocity saturation".

- Le régime de "velocity saturation" est lié à la saturation de la vitesse de dérive des charges mobiles.
- Cet régime doit être évité car  $g_m$  ne dépend plus de  $I_{DS}$ .



**vs : velocity saturation**

$$I_{DSvs} = WC_{ox}v_{sat}(V_{GS}-V_T)$$

$$v_{sat} \approx 10^7 \text{ cm/s}$$

$$g_{msat} = WC_{ox}v_{sat}$$

is absolute max. !

$$I_{DS} = \frac{K'_n \frac{W}{L} (V_{GS}-V_T)^2}{1 + \theta (V_{GS}-V_T)}$$

$$g_{msat} \approx 2K'_n \frac{W}{L} (V_{GS}-V_T)^2 \frac{1 + \frac{\theta}{2}(V_{GS}-V_T)}{[1 + \theta (V_{GS}-V_T)]^2} \approx \frac{K'_n \frac{W}{L}}{\theta}$$

[large  $V_{GS}$ ]

$$\approx \frac{K'_n \frac{W}{L}}{\theta} (V_{GS}-V_T)$$

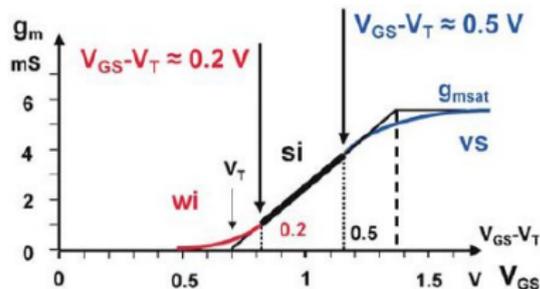
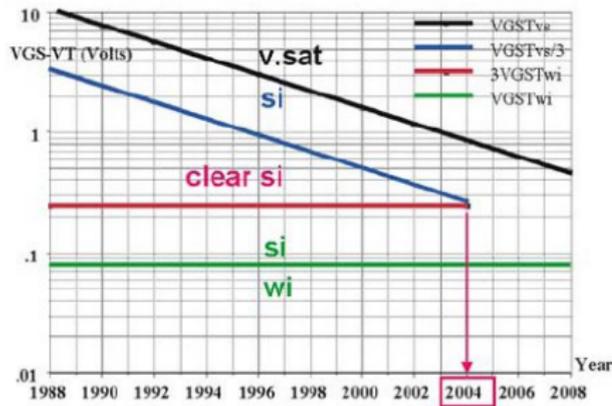
$$= WC_{ox}v_{sat}$$

$$\theta L = \frac{\mu}{2n} \frac{1}{v_{sat}} = \frac{1}{E_c} \quad E_c \text{ is the vertical critical field !}$$

$$\theta L = 0.2 \mu\text{m/V} : \text{For } L = 0.13 \mu\text{m} \quad \theta = 1.6 \text{ V}^{-1}$$

# Evolution au fil des décennies.

- *Le concepteur analogique a privilégié très clairement le régime de forte inversion du transistor MOS.*
- *L'étai se resserre au fur et à mesure de l'évolution des technologies.*



# Résumé des régimes de fonctionnement.

## Summary :

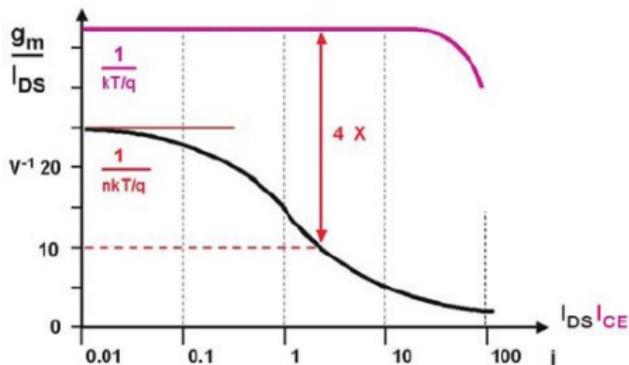
TABLE 1-4 EXPRESSIONS OF  $I_{DS}$ ,  $g_m$  AND  $g_m/I_{DS}$  FOR MOST

|    | $I_{DS}$  | $g_m$   | $\frac{g_m}{I_{DS}} = f(V_{GS} - V_T)$               | $\frac{g_m}{I_{DS}} = f(I_{DS})$                                      |
|----|---|---|--|---|
| wf | $I_{D0} \frac{W}{L} \exp\left(\frac{v_{GS}}{nkT/q}\right)$<br>(1-25a) | $\frac{I_{D0}}{nkT/q} \frac{W}{L} \exp\left(\frac{v_{GS}}{nkT/q}\right)$<br>(1-25b) | $\frac{1}{nkT/q}$<br>(1-26b)                         | $\frac{1}{nkT/q}$<br>(1-26b)  |
| ws |   |   | $(v_{GS} - V_T)_{ws} = 2n \frac{kT}{q}$              | $I_{DSws} = \frac{KP}{2n} \frac{W}{L} \left(2n \frac{kT}{q}\right)^2$ |
| si | $\frac{KP}{2n} \frac{W}{L} (v_{GS} - V_T)^2$<br>(1-18c)               | $2 \frac{KP}{2n} \frac{W}{L} (v_{GS} - V_T)$<br>(1-22a)                             | $\frac{2}{v_{GS} - V_T}$<br>(1-26a)                  | $2 \sqrt{\frac{KP}{2n} \frac{W}{L} \frac{1}{I_{DS}}}$<br>(1-26a)      |
| sv |   |   | $(v_{GS} - V_T)_{sv} = \frac{2nLC_{ox} v_{sat}}{KP}$ | $I_{DSsv} = \frac{2WLC_{ox}^2 v_{sat}^2}{KP/2n}$                      |
| vs | $WC_{ox} v_{sat} (v_{GS} - V_T)$<br>(1-38b)                           | $WC_{ox} v_{sat}$<br>(1-39)   | $\frac{1}{v_{GS} - V_T}$                             | $\frac{WC_{ox} v_{sat}}{I_{DS}}$                                      |

Ref.: Laker, Sansen : Design of analog ..., MacGrawHill 1994; Table 1-4

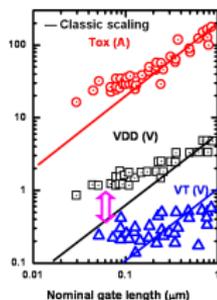
# Quoi de mieux qu'un bipolaire ?

- *Le concepteur analogique doit privilégier l'utilisation de bipolaires, bien entendu, s'ils sont disponibles.*

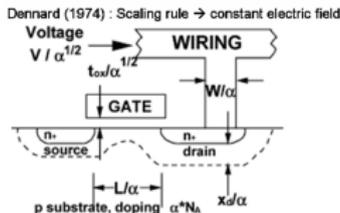


# Les règles d'échelles.

- *La théorie d'échelle idéale suit trois règles :*
  - Les dimensions lat. et vert. sont réduites par un facteur  $\alpha > 1$ .
  - Les tensions de seuil et d'alim. sont réduites par un facteur  $\alpha$ .
  - Les niveaux de dopage sont augmentés d'un facteur  $\alpha$ .
- *1<sup>er</sup> scénario, champ électrique constant, les tensions et dimensions diminuent d'un facteur  $\alpha$ .*
- *2<sup>eme</sup> scénario, tension constante, les niveaux de dopages augmentent d'un facteur  $\alpha$  et les dimensions diminuent d'un facteur  $\alpha$ . Augmentation du champ électrique.*

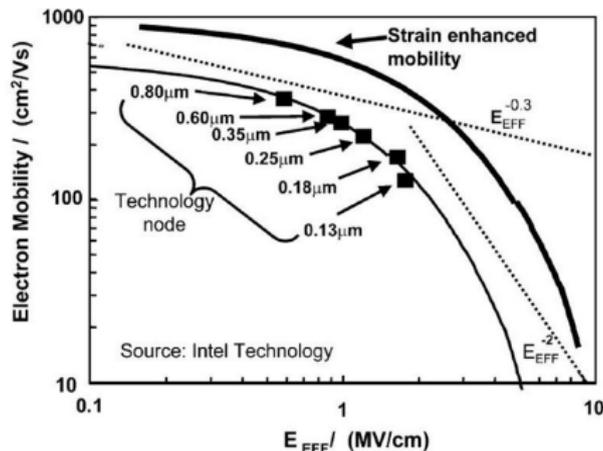


Trends in gate oxide ( $T_{ox}$ ) CMOS supply voltage ( $V_{DD}$ ) and threshold voltage ( $V_T$ ) across generation from 0.1 to 1 $\mu$ m



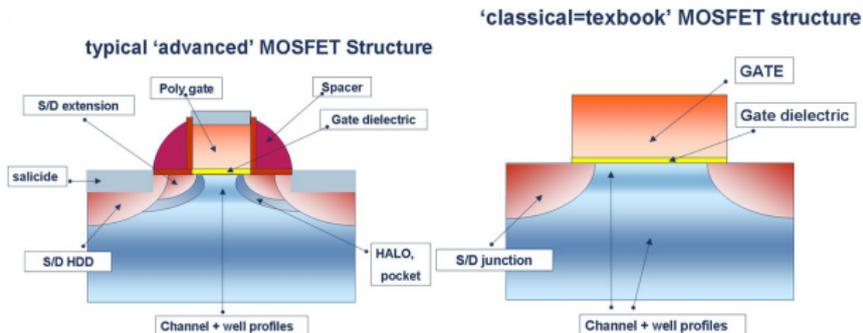
# La mobilité des porteurs.

- *La mobilité des porteurs diminue avec  $L$  car le niveau de dopage du canal de conduction augmente avec les technologies fines.*
- *Les champs électriques verticaux augmentent (lié au "ralentissement" de  $V_{DD}$ ).*



# Le transistor MOS "dernière génération ?"

- *Evolution du transistor MOS, étapes de fabrication extrêmement complexes !*
- *On souhaite compenser les effets de canal court.*



# Le gain intrinsèque.

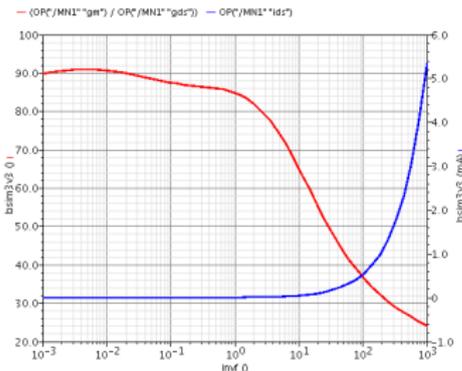
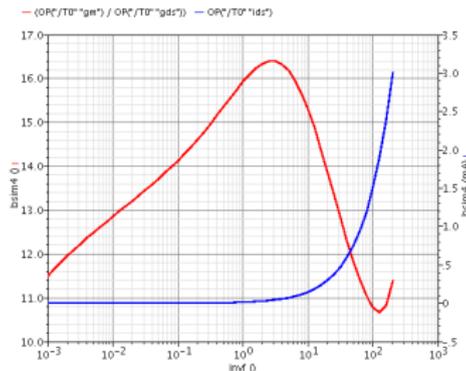
- Diminution du gain intrinsèque,  $\frac{g_m}{g_{ds}}$ , pour les technologies fines.
- Dépendance forte à la polarisation. [16]
- Passage du modèle BSIM3V3 à BSIM4.

IBM 130nm, nfet.

$$\left(\frac{g_m}{g_{ds}}\right)_{Max} \approx 16.$$

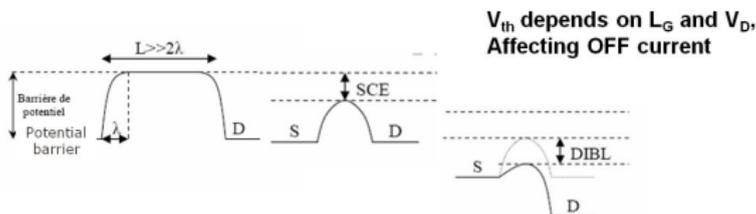
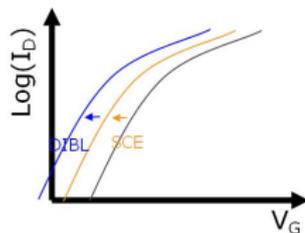
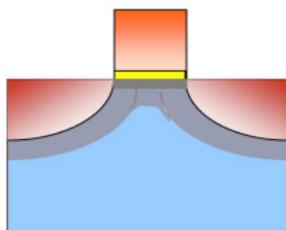
AMS 350nm, nmos4.

$$\left(\frac{g_m}{g_{ds}}\right)_{Max} \approx 90.$$



# La tension de seuil.

- $V_t$ , tension de seuil dépend de  $L$  (Short Channel Effect) et  $V_D$  (Drain Induced Barrier Lowering), affecte  $I_{off}$ . [16]

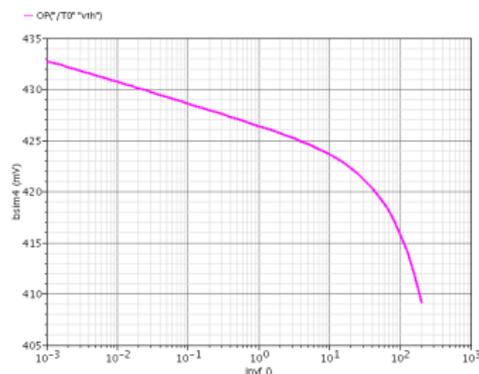


# La tension de seuil.

- $V_t$ , variation de la tension de seuil en fonction du coefficient d'inversion,  $\frac{W}{L}$  constant.

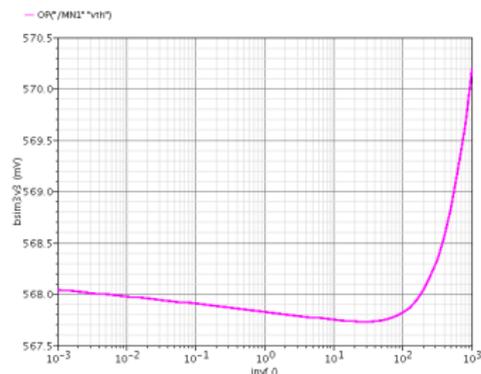
IBM 130nm, nfet.

$V_t$  varie entre 410 mV et 430 mV.



AMS 350nm, nmos4.

$V_t$  fixe autour de 570 mV.

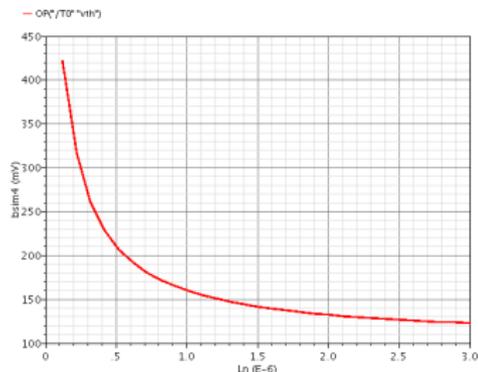


# La tension de seuil.

- $V_t$ , variation de la tension de seuil en fonction de  $L$ , à courant constant ( $\frac{W}{L}$  constant).

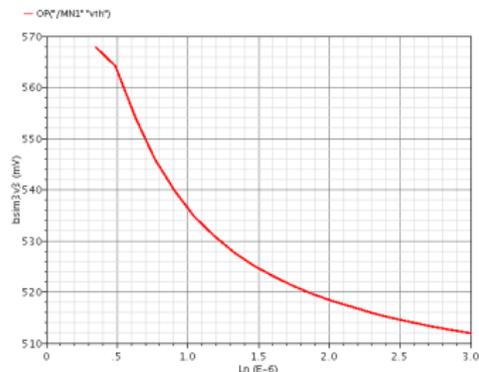
**IBM 130nm, nfet.**

$V_t$  varie entre 120 mV et 430 mV.



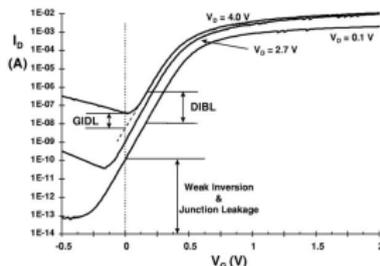
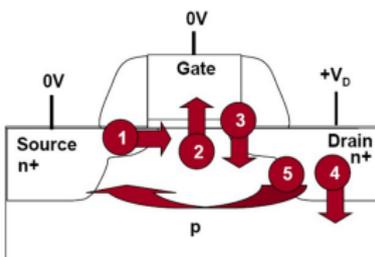
**AMS 350nm, nmos4.**

$V_t$  varie entre 510 mV et 570 mV.

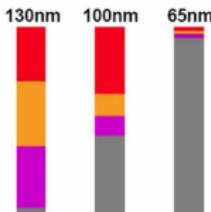


# Les courants de fuite.

- Les courants de fuite augmentent considérablement, l'isolant étant de moins en moins isolant,  $T_{ox}$  diminuée. [16]



- Sub threshold leakage
- Gate tunneling current
- Gate induced drain leakage
- Junction leakage
- Punch through



- $I_{SUB}$  Subthreshold leakage from source
- $I_{GIDL}$  Gate-induced drain leakage (GIDL)
- $I_J$  Junction reverse-bias leakage
- $I_G$  Gate leakage (direct tunneling)

Source: Assenmacher, Infineon (2003)

# La bonne nouvelle !

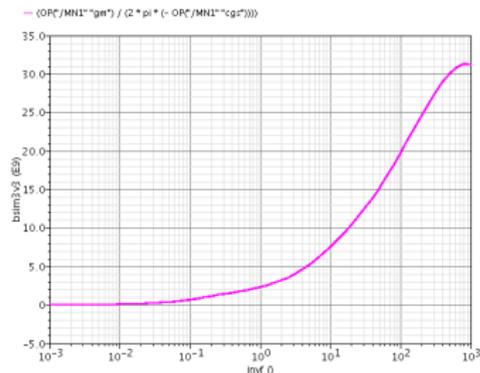
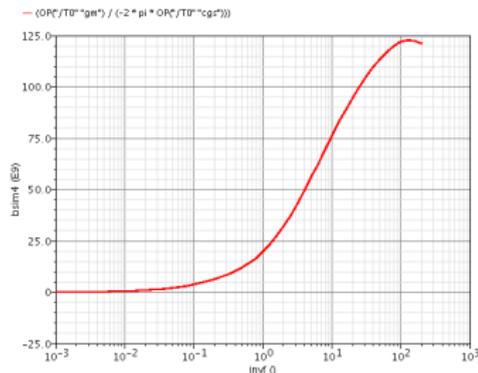
- *Variation de la fréquence de transition en fonction du coefficient d'inversion.*

IBM 130nm, nfet.

$$f_{tMAX} \approx 120 \text{ GHz}$$

AMS 350nm, nmos4.

$$f_{tMAX} \approx 30 \text{ GHz}$$



# La bonne nouvelle !

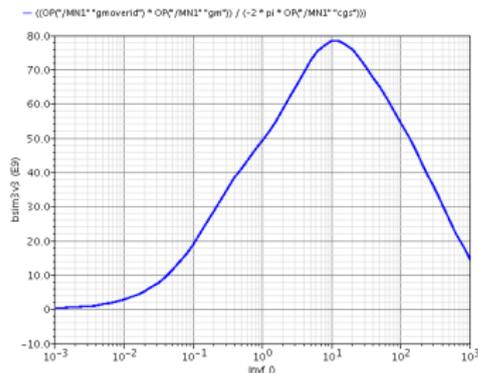
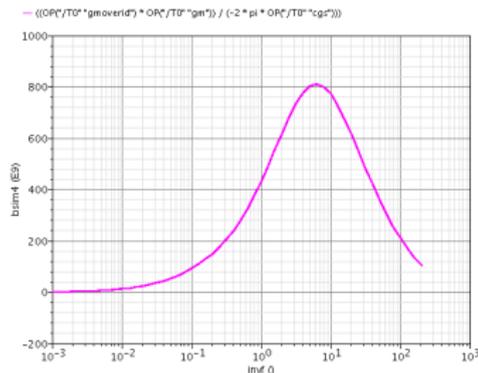
- *Maximum du produit  $f_T \times \frac{g_m}{I_D}$  est en région d'inversion modérée.*

IBM 130nm, nfet,  $I_F=6$

$$f_T \times \frac{g_m}{I_D} \approx 800 \text{ GHzV}^{-1}$$

AMS 350nm, nmos4,  $I_F=10$

$$f_T \times \frac{g_m}{I_D} \approx 80 \text{ GHzV}^{-1}$$



# Plan

- 1 Une brève introduction.
- 2 Les régimes de fonctionnement du MOS.
- 3 Caractérisation des technologies AMS et IBM.**
- 4 Exemple de développement.

# Dimensionnement basé sur le modèle EKV.

- *Quatre paramètres doivent être extraits de la technologie,  $K_p$ ,  $\frac{G_m}{I_D}$ ,  $V_{dsat}$ ,  $V_{early}$  par simulation.*
- *Bancs de test disponibles en AMS 350nm et IBM 130nm.*

- Inversion Factor  $I_F$  is a normalized value that describes the inversion level

$$I_F = \frac{I_D}{2n\beta U_T^2} = \frac{I_D}{2n\mu C_{ox} \frac{W}{L} U_T^2} = \frac{I_D}{2nK_p \frac{W}{L} U_T^2} = \frac{I_D}{2nK_p U_T^2} = \frac{I_D}{I_S}$$

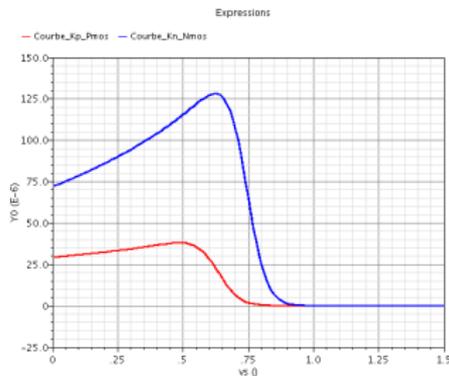
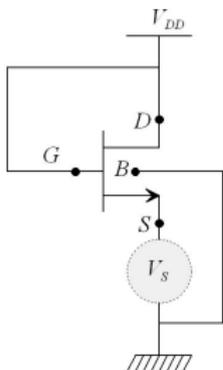
- Strong inversion  $I_F > 10$
- Weak inversion  $I_F < 0.1$
- Moderate Inversion  $0.1 \leq I_F \leq 10$

$$\frac{g_m}{I_D} = \frac{1}{nU_T} \cdot \frac{1}{\frac{1}{2} + \sqrt{\frac{1}{4} + I_F}}$$

# Détermination du facteur de gain $K_p$ .

Forte inversion saturation,  $V_{GS} > V_t$  et  $V_{DS} > V_{GS} - V_t$ ,  $V_S$  varie.

$$I_D = \frac{nK_p W}{2L} (V_P - V_S)^2 ; V_P \approx \frac{V_G - V_T}{n} ; K_p = \frac{2}{n} \left( -\frac{d\sqrt{I_d}}{dV_S} \right)^2 \frac{L}{W}$$

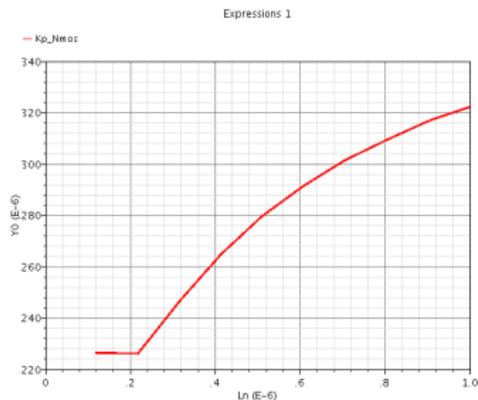


# Variation du facteur de gain $K_p$ .

- *Variation du facteur de gain de plus en plus forte au fur et à mesure de l'évolution technologique.*

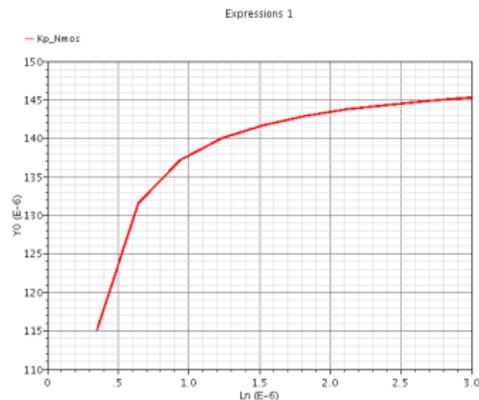
## IBM 130nm, nfet

$K_p$  varie de  $230\mu\text{A}/\text{V}^2$  à  $320\mu\text{A}/\text{V}^2$ .



## AMS 350nm, nmos4

$K_p$  varie de  $115\mu\text{A}/\text{V}^2$  à  $145\mu\text{A}/\text{V}^2$ .

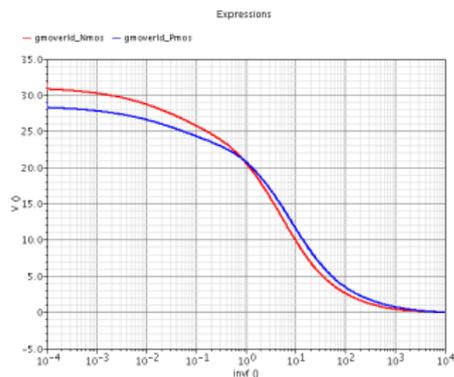
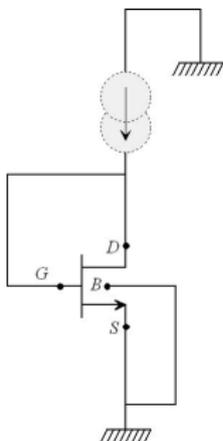


## Détermination du n.

Faible inversion saturation,  $I_F \rightarrow 0$ ,  $V_{GS} < V_t$  et  $V_{DS} > 4U_t$ .

$$\frac{g_m}{I_D} = \frac{1}{nU_t} \frac{1}{\frac{1}{2} + \sqrt{\frac{1}{4} + I_F}}$$

$$\frac{g_m}{I_D} = \frac{1}{nU_t}$$

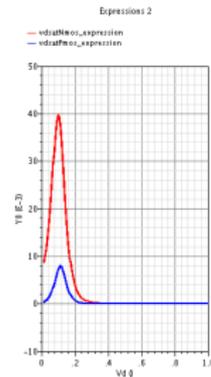
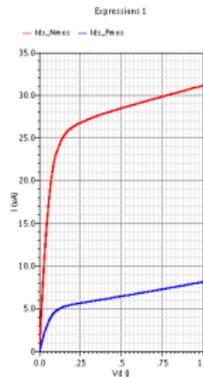
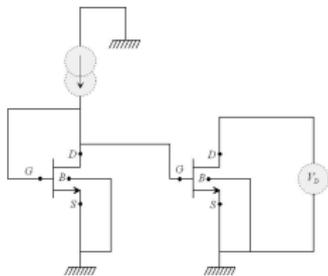


# Détermination de la tension de saturation $V_{Dsat}$ et de la tension d'Early.

On fait varier la tension de drain  $V_D$ .

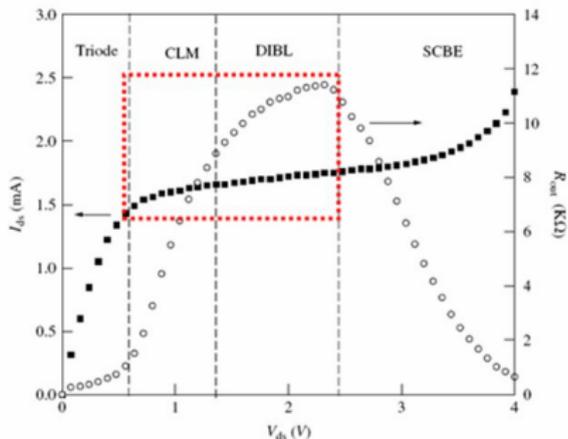
$V_{Dsat}$ , dérivée 3<sup>rd</sup> de  $I_D$  fonction de  $V_D$ .

$V_{Early}$  définie par la droite comprise entre  $1,5 \times V_{Dsat}$  et  $V_{DD}$ .



# La résistance de sortie du MOS.

- $R_{out}$  est très dépendante de la polarisation.



Output conductance behavior of a MOSFET at different bias regions

Technologie IBM 0.13 $\mu m$  versus AMS 0.35 $\mu m$ .IBM 130nm, ( $V_{DD} = 1.6 V$ )

|                 | Nmos        | Pmos          |
|-----------------|-------------|---------------|
| $W(\mu m)$      | 3,5         | 3,5           |
| $L(\mu m)$      | 0,12        | 0,12          |
| n               | 1,48        | 1,42          |
| $K (\mu A/V^2)$ | 258         | 77            |
| $I_{Sat} (nA)$  | 520         | 150           |
| $V_{early} (V)$ | $\approx 2$ | $\approx 3,5$ |

AMS 350nm, ( $V_{DD} = 3.3 V$ )

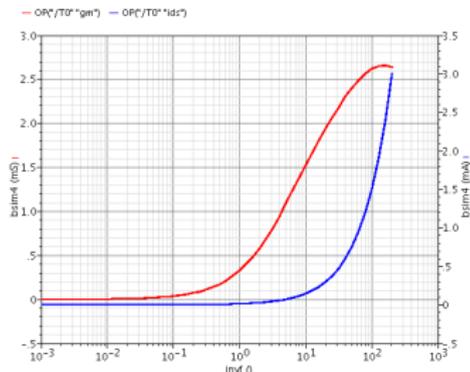
|                 | Nmos        | Pmos        |
|-----------------|-------------|-------------|
| $W(\mu m)$      | 10          | 10          |
| $L(\mu m)$      | 0,35        | 0,35        |
| n               | 1,2         | 1,35        |
| $K (\mu A/V^2)$ | 115         | 35          |
| $I_{Sat} (nA)$  | 190         | 65          |
| $V_{early} (V)$ | $\approx 6$ | $\approx 5$ |

# Régime de velocity saturation.

- *Ordre de grandeur à retenir pour rentrer en régime de velocity saturation,  $\frac{I_{DS_{VS}}}{W} = 10 Acm^{-1}$*

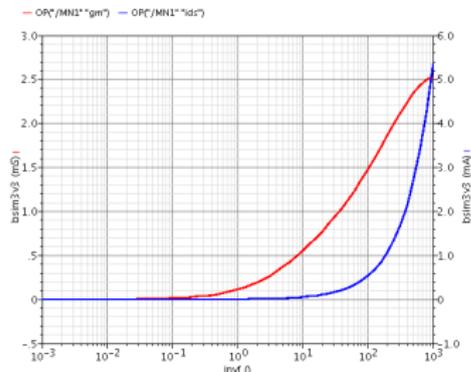
**IBM 130nm, nfet**

*Vélocity saturation pour  $I_F = 100$  soit  $V_{GS} \approx 1,1 V$*



**AMS 350nm, nmos4**

*Vélocity saturation pour  $I_F = 800$  soit  $V_{GS} \approx 2,5 V$ .*

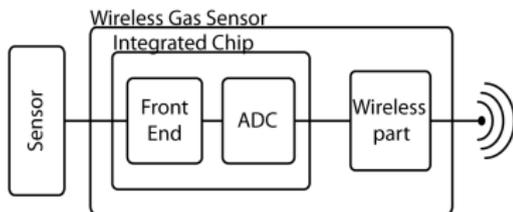


# Plan

- 1 Une brève introduction.
- 2 Les régimes de fonctionnement du MOS.
- 3 Caractérisation des technologies AMS et IBM.
- 4 Exemple de développement.

# Le projet Eurebus.

- *Thèse de Doctorat Paul-Antoine Boutet, cf Poster.*
- *Système autonome avec transmission sans fil.*
- *Design en technologie AMS 350nm CMOS.*
  - *Low power, low voltage.*

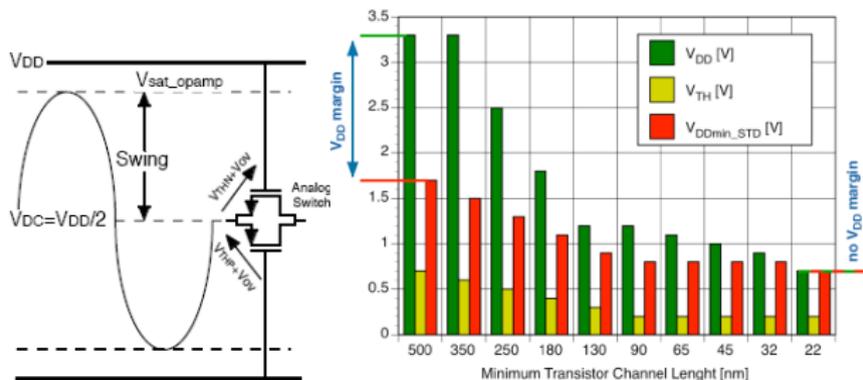


## Cahier des charges de l'OTA.

|            |              |
|------------|--------------|
| Gain       | 72 dB        |
| Bandwidth  | 200 Hz       |
| $C_{load}$ | 200 fF       |
| SlewRate   | 5mV/ $\mu$ s |

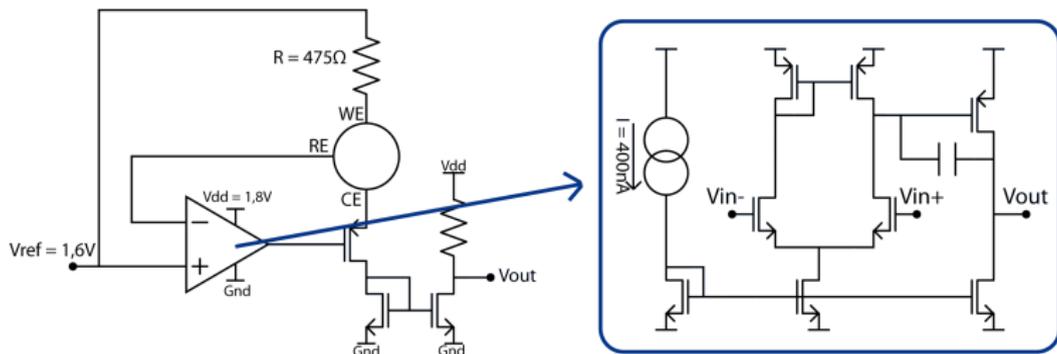
# Design Low Voltage, définition. [15]

- Condition nécessaire pour assurer le fonctionnement des deux interrupteurs  $V_{DDmin\_STD} > 2V_{th} + 2V_{ov}$ .
- Condition nécessaire pour un design dit "Low voltage",  $V_{DD} < 2(V_{th} + V_{ov})$



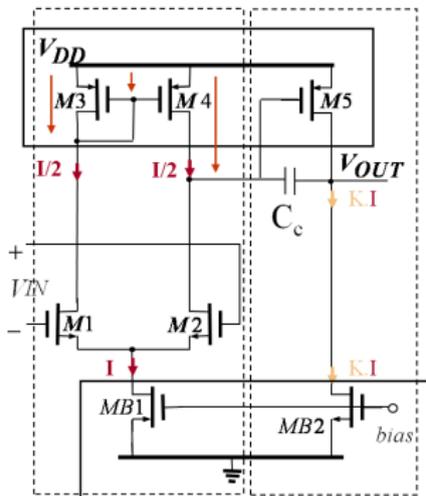
# Dimensionnement de l'OTA.

- *Architecture privilégiée à miroir de courant.*
- *Méthodologie dimensionnement EKV.*
- *Design low voltage,  $V_{DD} = V_{th} + 3V_{ov} = 1,8 V$*



## Dimensionnement de l'OTA. [16]

- Expression du gain en Boucle ouverte.



- Common source output stage
- Open Loop Gain:

$$A_v = \frac{g_{m1}}{g_{ds2} + g_{ds4}} \cdot \frac{g_{m5}}{g_{ds5} + g_{ds*}} =$$

$$\frac{g_{m2}}{I_{D2} \left( \frac{1}{U_{an}} + \frac{1}{U_{ap}} \right)} \frac{L}{I_{D5} \left( \frac{1}{U_{an}} + \frac{1}{U_{ap}} \right)}$$

- Low systematic offset

$$\frac{\left( \frac{W}{L} \right)_{MB1}}{K \left( \frac{W}{L} \right)_{MB2}} = \frac{2 \cdot \left( \frac{W}{L} \right)_{M4}}{K \cdot \left( \frac{W}{L} \right)_{M5}}$$

## Dimensionnement de l'OTA.

## ■ Conditions de stabilité.

$$GBW \approx \frac{g_{m1}}{C_c} \quad P_2 \approx \frac{g_{m5}}{C_c + C_2} \quad Z \approx \frac{g_{m5}}{C_c}$$

(60 degree phase margin)

$$\frac{P_2}{GBW} > 2.2 \rightarrow \frac{g_{m5}}{g_{m1}} > \frac{2.2(C_c + C_2)}{C_c} \Rightarrow \frac{g_{m5}}{I_5} > \frac{1}{2K} \frac{2.2(C_c + C_2)}{C_c} \frac{g_{m1}}{I_1}$$

$$\frac{Z}{GBW} > 10 \rightarrow \frac{g_{m5}}{g_{m1}} > 10 \Rightarrow \frac{g_{m5}}{I_5} > \frac{5}{K} \frac{g_{m1}}{I_1}$$

$$\frac{g_{m5}}{I_5} > \frac{5}{K} \frac{GBW}{S_R}$$

## Dimensionnement de l'OTA.

## ■ Conditions générales.

|                |  |
|----------------|--|
| Speed          | $\frac{GBW}{S_R} \approx \frac{g_{m2}}{2I_{D2}}$   |
| Stability      | $\frac{g_{m5}}{I_{D5}} > \frac{5}{K} \frac{GBW}{S_R} = \frac{5}{K} \frac{g_{m2}}{2I_{D2}}$ $\frac{g_{m5}}{I_5} > \frac{1}{2K} \frac{2.2(C_c + C_L)}{C_c} \frac{g_{m1}}{I_1}$ |
| Noise & Offset | $\frac{g_{m3}}{I_{D3}} \ll \frac{g_{m1}}{I_{D1}}$  |
| DC Gain        | $\frac{g_{m2}}{I_{D2}} \frac{g_{m5}}{I_{D5}} \frac{I^2}{\left(\frac{1}{U_{an}} + \frac{1}{U_{ap}}\right)}$   |
| Consumption    | $(K+1)I_{SS1}V_{DD}$   |
| ....           | ....   |

$$\text{With } \frac{I_{D5}}{I_{D1,2}} = 2K$$

# Dimensionnement de l'OTA.

- *Caractéristiques de l'OTA en BO chargé avec  $C = 200 \text{ fF}$ .*

|                               |                  |
|-------------------------------|------------------|
| Tension d'alimentation        | 1,8 V            |
| Consommation                  | $10 \mu\text{W}$ |
| Capacité de charge            | 200 fF           |
| MC entrée                     | 1,6 V            |
| MC sortie                     | 1,3 V            |
| Gain                          | 79 dB            |
| Bandwidth ( $-3 \text{ dB}$ ) | 550 Hz           |
| Gain-Bandwidth                | 630 kHz          |
| Marge Phase                   | $65^\circ$       |
| Capacité de compensation      | 200 fF           |

# Quelques éléments pour conclure.

- *Le bipolaire évidemment jusqu'à quand ??*
- *Les technologies modernes de plus en plus complexes, nécessité absolue de former des personnes aux nouvelles contraintes technologiques.*
  - *Formations Idesa par Europractice <http://www.idesa-training.org/>*
- *Le digital corrige l'analogique qui fait ce qu'il peut !*
- *Quel avenir pour notre métier ? en pleine révolution, probablement.*

# Annexe I

- [1] P. Allen, D. Holberg. *CMOS analog circuit design*. Springer, 2002.
- [2] D. Stefanovic, M. Kayal. *Structured analog CMOS Design*. Springer, 2008.
- [3] P. Jespers. *The  $g_m/I_D$  Methodology, a sizing tool for low-voltage analog CMOS Circuits*. Springer, 2010.
- [4] Sedra/Smith. *Microelectronics Circuits*. Oxford University, 2010.
- [5] Alan B. Grebene. *Bipolar and MOS analog integrated circuit design*. John Wiley & Sons, 1984.
- [6] Gray/Hurst/Lewis/Meyer. *Analysis and Design of analog integrated circuits*. John Wiley & Sons, 2001.
- [7] K.R. Laker, W.M.C. Sansen. *Design of Analog integrated circuits and systems*. McGraw-Hill, Inc., 1994.

# Annexe II

- [8] M.C. Schneider, C. Galup-Montoro. *CMOS analog design using all-region MOSFET modeling*. Cambridge University, 2010.
- [9] W.M.C. Sansen. *Analog design essentials*. Springer, 2006.
- [10] B. Razavi. *Design of analog CMOS integrated circuits*. MacGraw-Hill, 2001.
- [11] H. Spieler. *Semiconductor detector systems*. Oxford University, 2005.
- [12] R. Dutton, B. Murmann. EE114, EE214, Advanced analog integrated circuits design. [Cours en ligne](#), 2010.
- [13] P.E. Allen. CMOS Analog circuit design. [Cours en ligne](#), 2006.
- [14] K.C. Saraswat and G.Thareja. EE216, Principles and models of semiconductor devices. [Cours en ligne](#), 2011.

# Annexe III

- [15] A. Baschirotto. Low voltage analog CMOS design in scaled CMOS technology. [MUX 2010, CERN, 2010.](#)
- [16] B. Parvais, J.M. Sallese, K. Maher, M. Pastre. Advanced analog implementation flow. [IDESAs, Europractice, 2010.](#)
- [17] C. Saunier. Evolution du secteur de la micro/nanoélectronique. Sénat, Office parlementaire d'évaluation des choix scientifiques et technologiques., 2011.